

戦略的創造研究推進事業 CREST
研究領域「情報システムの超低消費電力化を
目指した技術革新と統合化技術」
研究課題「極限ゲート構造によるシステムディスプレイの超低消費電力化」

研究終了報告書

研究期間 平成17年10月～平成23年3月

研究代表者:小林 光
(大阪大学産業科学研究所、教授)

§ 1 研究実施の概要

本プロジェクトでは、システムディスプレイの超低消費電力化を目的として、材料、プロセス、デバイス、回路、システムを統合的に研究開発した。材料、プロセス、デバイスからのアプローチとして、大阪大学小林研究室で開発したシリコンの低温酸化法である「硝酸酸化法」を活用した。硝酸酸化法では、シリコンを濃度 68% の共沸硝酸に浸漬するだけで、高性能な極薄 SiO₂/Si 構造を 120℃ 以下の低温で創製できる。120℃ 以下の低温で酸化膜を形成するにもかかわらず、従来最も特性が良いとされていた 900℃ 程度の高温を用いる熱酸化法よりも良好な電気特性、特に低いリーク電流密度が達成できる。本プロジェクトでは、硝酸酸化膜の極低リーク電流特性を、システムディスプレイ駆動の薄膜トランジスタ (TFT) のゲート酸化膜に応用することによって、ゲート酸化膜の薄膜化と微細化、超低消費電力化を行った。

TFT のゲート酸化膜は、従来プラズマ CVD 法などの堆積法を用いて形成されていた。堆積法で形成したゲート酸化膜は、1) 凹凸のある多結晶シリコン薄膜上に均一な膜厚の酸化膜を形成できない、2) 膜中に多くの水素や水分を含み、膜密度が低く、バルク特性が悪い、3) 堆積膜の形成前の表面が堆積後 SiO₂/Si 界面となるため、界面での不完全な結合形成や堆積前の表面汚染のため、界面特性が悪いという問題点があった。一方、硝酸酸化法は直接酸化法であるため、1) 凹凸のある多結晶シリコン薄膜上にも均一な膜厚の酸化膜が形成できる、2) 膜密度が高く良好なバルク特性を持つ、3) 界面準位密度が低く、良好な界面特性を持つといった利点がある。したがって、多結晶シリコン薄膜上に硝酸酸化法によって極薄酸化膜を形成した場合、ここでリーク電流をブロックできるため、その上に堆積法で形成する SiO₂ 膜の膜厚を低減できると発想した。本プロジェクトでは、この発想に基づき、硝酸酸化法の上に形成するゲート酸化膜の膜厚を従来の 80nm から 40nm、さらに 20nm、最終的には 10nm と低減していった。TFT の消費電力は駆動電圧の自乗に比例し、駆動電圧はゲート絶縁膜の膜厚の増加と共に増加する。したがって、ゲート酸化膜が 80nm の場合駆動電圧は 15V であったが、それを 40、20、10nm と低減した場合、低消費電力化率の大きな向上が期待できる。さらに、ゲート絶縁膜の薄膜化によって、TFT の微細化が可能となり、これによって高性能化と低消費電力化を行うことも可能となる。

40nm のゲート酸化膜を持つ TFT の駆動電圧は 2.5V であり、低消費電力化率は 1/36 であった。20nm のゲート酸化膜では駆動電圧が 2V、低消費電力化率は 1/56 であった。最終的に達成した 10nm のゲート酸化膜を持つ TFT では 1V 駆動が可能となり、低消費電力化率は 1/225 と、当初予想していた 1/25 の低消費電力化率よりも格段に良好な低消費電力化率を達成することができた。10nm のゲート酸化膜を持つ TFT の閾値電圧の絶対値は、n-ch TFT、p-ch TFT 共に、0.4~0.6V と良好であった。10nm までゲート酸化膜を薄膜化させたにもかかわらず、ゲートリークは 10⁻¹³A とノイズレベル程度であり、硝酸酸化膜が有効にリーク電流をブロックしていることがわかった。極低オフ電流が達成できた結果、on/off 比は、10⁹ と非常に良好であった。良好な界面特性のため、S 値は理論限界 60mV/dec に近い 70~80mV/dec であった。チャネル移動度は、n-ch TFT で約 150cm²/Vs、p-ch TFT で約 100cm²/Vs と良好であった。また、硝酸酸化法で形成した TFT のリングオシレータの出力特性は良好であり、3V で 250MHz 以上の周波数で動作が可能であることがわかった。

回路、システム面からもシステムディスプレイの超低消費電力化を行った。動画と静止画面部分を区別して駆動するマルチドライバ方式を用いて、さらにリフレッシュレートを低くすることによって、超低消費電力化率 1/9 を達成した。ディスプレイ全体の低消費電力化率は、デバイス部分によって達成されている低消費電力化率とシステム部分のそれとの積になる。したがって、全体の低消費電力化率は、40nm ゲート酸化膜 TFT では 1/324、20nm ゲート酸化膜 TFT では 1/504、10nm ゲート酸化膜 TFT では 1/2025 となる。

システム面からの超低消費電力化の他のアプローチとして、画素メモリを用いる方式を開発した。それによって、外部周辺回路を停止でき、リフレッシュレートを従来の 60Hz から 1Hz にまで低減できた。その結果、低消費電力化率 1/50 が達成できた。

§ 2. 研究構想

(1) 当初の研究構想

TFT の消費電力は駆動電圧の自乗に比例するため、本プロジェクトでは駆動電圧を低減して消費電力を大幅に削減することを第一の目的とする。その目的を達成するため、新規のシリコンの低温酸化法である「硝酸酸化法」をゲート酸化膜の形成に用いる。硝酸酸化膜は、硝酸を沸騰させ発生する原子状酸素とシリコンを反応させる直接酸化法である。原子状酸素は反応性が非常に高く、共沸硝酸の沸点である 120°C の低温でもシリコンを酸化して SiO₂ 膜を形成できる。

硝酸酸化法は直接酸化法であるため、従来の低温での SiO₂ 膜の形成法であるプラズマ CVD 法に比較して格段に良質の SiO₂ 膜が形成できる。さらに、凹凸のある表面にも均一な膜厚の SiO₂ 膜を形成することができる。その上、直接酸化法であるため、酸化前にシリコンバルクであったところに SiO₂/シリコン界面が形成される結果、良好な界面特性を得ることができる。これらの結果、ゲート酸化膜厚を現在の 50nm 程度から 20nm 以下に低減することが可能である。ゲート酸化膜の薄膜化によって、TFT の駆動電圧を現在の 15V から 5V に、さらに 3V にまで低減し、その結果 TFT の消費電力を 1/9、さらに 1/25 に削減することを目指す。

液晶用 TFT の微細化・高性能化は現在ゲート長が開発レベルで最小 1.5 μm レベルでとどまっており、これ以上の微細化には新たな発想による技術革新が求められている。微細化が困難な理由は、TFT の重要性能を決定するゲート絶縁膜が前述したように PECVD 法を用いて作製されており、その悪い膜質のため薄膜化ができないことである。本プロジェクトでは、TFT のゲート酸化膜の形成に硝酸酸化法を用いることによって低温で良質の酸化膜を形成して、それによって TFT の微細化を目指す。最終的には、硝酸酸化法を用いることによって世界で初めてサブミクロン TFT の創製を目指す。

このような高性能 TFT トランジスタを用いれば、液晶用 TFT デバイスのシステム化、高機能化を実現できる。機能集積化を実現するためには、TFT の微細化・高性能化が必須であるが、回路・システムとしての低消費電力化も重要である。超低消費電力化のためには、CMOS 回路構成に代わり、パストラジスタロジック構成を用いることが有効である。本プロジェクトでは、この構成を用いて、従来の 1/5 から 1/10 に消費電力を低減することを目指す。また、マルチドライブ技術や画素メモリ SRAM を活用したカラー画像ソフト処理や並列処理を採用することにより、1/2 以下に消費電力が削減できる。以上の回路技術・システムアーキテクチャ・ソフトウェアを採用することにより、1/10 以下に消費電力を削減することを目指す。

以上の新しい材料・プロセス・デバイス・回路・システムアーキテクチャ・ソフトウェア処理を統合して、TFT の消費電力を 1/250 以下に削減することを目指す。

硝酸酸化法では、120°C の低温で SiO₂ 膜が形成できるため、従来のガラス基板に代わりプラスチック基板を用いることが可能となる。ガラス上の TFT とそれを用いた高機能 SDOG の研究開発を推進することにより、プラスチック基板を用いた TFT と高機能 SDOP(system display on plastics)の研究開発を加速することも、本プロジェクトの目的とする。

(2) 新たに追加・修正など変更した研究構想

本研究を進めていく中、硝酸酸化法 SiO₂/CVD 法 SiO₂ スタック構造を持つゲート酸化膜が予想以上に良好な特性を持つことがわかった。したがって、TFT 試作は、このスタックゲート構造 TFT を中心として行った。上述したように、このスタックゲート構造を用いて当初予定の 3V 駆動よりも大幅に低減した 1V で TFT が駆動できることがわかり、この技術単独で低消費電力化率 1/225 を達成できた。当初計画に含まれていた二段階硝酸酸化法で形成する 10nm 程度の比較的厚い膜厚を持つ SiO₂ 膜も、900°C で形成される熱酸化膜と同等以上の電気特性を持つことがわかった。しかし、二段階硝酸酸化法を用いた場合、従

来の TFT プロセスが大幅に変更になるため、TFT 試作は見送った。

一方、エネルギー問題、環境問題に対する社会の関心が高まり、硝酸酸化技術を太陽電池に応用する研究を進めた。その結果、硝酸酸化法によりシリコン表面のパッシベーションが可能で、これを用いた場合シリコン太陽電池の変換効率が 1.5 割程度向上することがわかった。

§ 3 研究実施体制

(1)「小林」グループ

① 研究参加者

氏名	所属	役職	参加時期
小林 光	大阪大学産業科学研究所	教授	H17.10～H23.3
岩佐 仁雄	大阪大学産業科学研究所	特任教授	H17.10～H23.3
寺川 澄雄	大阪大学産業科学研究所	特任教授	H17.10～H23.3
中戸 義禮	大阪大学産業科学研究所	特任教授	H17.10～H23.3
笠井 俊夫	大阪大学産業科学研究所	特任教授	H22.4～H23.3
高橋 昌男	大阪大学産業科学研究所	准教授	H17.10～H23.3
松本健俊	大阪大学産業科学研究所	助教	H.19.1～H23.3
金 佑柄	大阪大学産業科学研究所	特任助教	H18.4～H23.3
毎田 修	大阪大学産業科学研究所	助手	H17.10～H18.3
山本 泰正	大阪大学産業科学研究所	特任教授	H17.10～H18.3
長山	大阪大学産業科学研究所	特任研究員	H17.10～H22.3
田中 祐士	大阪大学産業科学研究所	特任研究員	H17.10～H18.3
吉田 亮	大阪大学産業科学研究所	特任研究員	H18.4～H20.3
桐原 正治	大阪大学産業科学研究所	特任研究員	H18.4～H19.3
野桜 玲子	大阪大学産業科学研究所	研究補助員	H18.4～H23.3
正司 雅美	大阪大学産業科学研究所	研究支援推進員	H17.10～H23.3
Motaharu Mazumder	大阪大学産業科学研究所	特任研究員	H21.4～H23.3
劉 玥伶	大阪大学産業科学研究所	特任研究員	H18.9～H19.3
山田 幹浩	大阪大学産業科学研究所	特任研究員	H18.4～H23.3
石川 幸男	大阪大学大学院理学研究科	大学院生	H17.10～H19.3
任 星淳	大阪大学大学院理学研究科	大学院生	H17.10～H19.9
成田 比呂晃	大阪大学大学院理学研究科	大学院生	H17.10～H19.3
服部 研作	大阪大学大学院理学研究科	大学院生	H17.10～H18.3
大江 秀樹	大阪大学大学院理学研究科	大学院生	H17.10～H18.3
深山 権一	大阪大学大学院理学研究科	大学院生	H17.10～H18.3
小林 克稔	大阪大学大学院理学研究科	大学院生	H17.10～H18.3
今村 健太郎	大阪大学大学院理学研究科	大学院生	H18.4～H20.3
浦郷 将英	大阪大学大学院理学研究科	大学院生	H18.4～H20.3
宋戸 豪	大阪大学大学院理学研究科	大学院生	H18.4～H20.3

柳瀬 隆	大阪大学大学院理学研究科	大学院生	H18.4～H21.3
Madani Mohammad	大阪大学大学院理学研究科	大学院生	H17.10～H20.3
一花 祐一	大阪大学大学院理学研究科	大学院生	H18.4～H21.3
山崎 大地	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
岩田 隆	大阪大学大学院理学研究科	大学院生	H19.4～H.21.3
東 裕子	大阪大学大学院理学研究科	大学院生	H19.4～H.22.3
大仲 亜由美	大阪大学大学院理学研究科	大学院生	H20.4～H22.3
黒木 貴久	大阪大学大学院理学研究科	大学院生	H20.4～H21.3
田中 峻介	大阪大学大学院理学研究科	大学院生	H20.4～H22.3
深谷 洋介	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
井川 麻衣	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
趙 恵淑	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
Francisco Franco	大阪大学大学院理学研究科	大学院生	H22.6～H23.3
金 昌鍋	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
王 愷	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
谷 礼王馬	大阪大学大学院理学研究科	大学院生	H22.4～H23.3
古川 淳一	大阪大学大学院理学研究科	大学院生	H22.4～H23.3
柳生 真依	大阪大学大学院理学研究科	大学院生	H22.4～H23.3
前田 譲章	大阪大学大学院理学研究科	大学院生	H21.4～H23.3
清野 友樹	大阪大学大学院理学研究科	学部生	H22.4～H23.3

②研究項目

1. 硝酸酸化プロセスの研究開発
2. 気体硝酸酸化法の検討
3. 硝酸法による CVD 堆積膜の改質
4. 新規欠陥消滅法による TFT の高性能化
5. 大面積 TFT 用硝酸酸化装置の開発
6. 大面積 TFT の硝酸酸化技術の開発と試作

(2)「谷口」グループ

①研究参加者

氏名	所属	役職	参加時期
谷口 研二	大阪大学大学院工学研究科	教授	H17.10～H23.3
鎌倉 良成	大阪大学大学院工学研究科	助教	H17.10～H23.3
辻 博史	大阪大学大学院工学研究科	特任研究員	H17.10～H23.2
葛岡 毅	大阪大学大学院工学研究科	学部生	H17.10～H18.3
桐原 正治	大阪大学大学院工学研究科	特任研究員	H19.4～H22.3
大倉 鉄郎	大阪大学大学院工学研究科	大学院生	H22.5～H23.3
Bogoda Indika Udaya Kumara	大阪大学大学院工学研究科	大学院生	H22.5～H23.3

中野 慎介	大阪大学大学院工学研究科	大学院生	H20.4～H22.3
金 良守	大阪大学大学院工学研究科	特任研究員	H22.10～H23.3

②研究項目

1. 新構造デバイスの研究開発
2. 硝酸酸化膜 TFT の SPICE モデルの研究開発
3. 超低消費電力 TFT 用の新回路機能ブロックの研究開発

(3)「今井」グループ

研究参加者

氏名	所属	役職	参加時期
今井 繁規	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	所長	H17.10～H23.3
中野 成能	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	参事	H17.10～H19.9
迫野 郁夫	シャープ株式会社 研究開発本部 ディスプレイデバイス研究所	所長	H17.10～H19.9
小川 裕之	シャープ株式会社 研究開発本部 ディスプレイデバイス研究所	主任研究員	H17.10～H19.9
赤阪 仁孝	シャープ株式会社 研究開発本部 ディスプレイデバイス研究所	副参事	H18.1～H19.9
中島 伸二	シャープ株式会社 研究開発本部 ディスプレイデバイス研究所	主事	H18.1～H19.9
寺内 崇	シャープ株式会社 研究開発本部 ディスプレイデバイス研究所	主事	H18.1～H19.9
小渕 保司	シャープ株式会社 研究開発本部 ディスプレイデバイス研究所	副参事	H18.4～H19.9
河合 倫大	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	主事	H18.4～H23.3
吉田 茂人	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	主事	H18.10～H23.3
平山 泰弘	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	主任技師	H19.4～H23.3
嶋谷 貴文	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	主事	H19.10～H23.3
佐々木 伸夫	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	副所長	H19.4～H19.9
松田 登	シャープ株式会社 液晶事業本部 パネル設計センター	参事	H21.6～H23.3
西 修司	シャープ株式会社 液晶事業本部 パネル設計センター	主事	H21.6～H23.3
今村 健太郎	シャープ株式会社 研究開発本部 ディスプレイシステム研究所	担当	H22.4～H23.3
久保田 靖	シャープ株式会社 液晶事業本部 パネル設計センター	副所長	H22.4～H23.3
福島 隆史	シャープ株式会社 研究開発本部 総務部	部長	H22.4～H23.3

②研究項目

1. 大面積 TFT 用硝酸酸化装置の開発
2. 大面積 TFT の硝酸酸化技術の研究開発
3. メモリ・CPU 内蔵の超低消費電力 SDOG の研究開発

§ 4 研究実施内容及び成果

1. 硝酸酸化プロセスの研究開発 (大阪大学 小林グループ)

1-1. 共沸硝酸酸化法の研究開発

(1) 研究実施内容及び成果

硝酸酸化法では、シリコンを共沸硝酸(68%)以上の濃度の硝酸に浸漬することによって、リーク電流密度が低く良好な電気特性を持つ1.2~1.4nmの極薄SiO₂膜が形成できる。したがって、後述するようにこれをTFTのゲート酸化膜の界面層に用いることによって、その上にCVD法で形成するSiO₂膜の膜厚を減少でき、その結果駆動電圧と消費電力を大幅に低減することができる。以

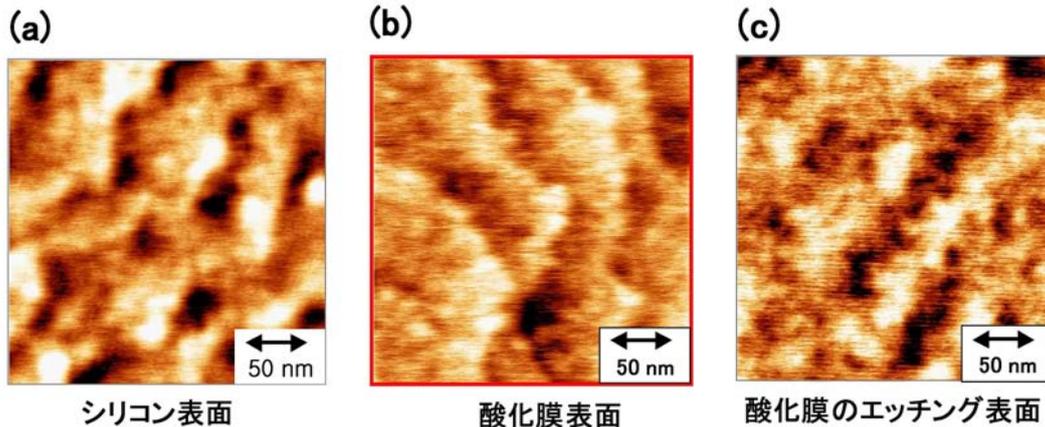


図1 シリコン表面のAFM写真：a) NH₄Fエッチングによって形成したSi(111)平坦面；b) 試料aを共沸硝酸で酸化した表面；c) 試料bをNH₄Fでエッチング後のSi(111)表面

下、リーク電流密度の低い極薄SiO₂膜を形成するための研究を行った。

原子レベルで平坦なシリコン表面は、化学エッチングや水素処理を用いて比較的容易に形成できる。原子レベル平坦面上に、硝酸酸化法を用いてSiO₂膜を形成する場合、120℃の低温で成膜ができるため、SiO₂界面が荒れることなく元の平坦性を保つと期待できる。平坦な界面を形成できれば、均一なSiO₂膜厚と均一な電界等により、リーク電流密度の低減とSiO₂膜の薄膜化が可能で、TFTの超低消費電力化に繋がる技術となる。

Si(111)ウェーハをRCA洗浄後、フッ酸(HF)でエッチングした場合、原子レベルでラフな表面が形成され、ルート平均自乗(RMS)ラフネスは、0.19nmであった。このラフな表面を硝酸酸化した場合、酸化膜の表面はラフであった。また、硝酸酸化膜を除去した後のシリコン表面もラフであった。この結果は、ラフな表面を硝酸酸化すると、ラフなSi/SiO₂界面が形成されることを示している。

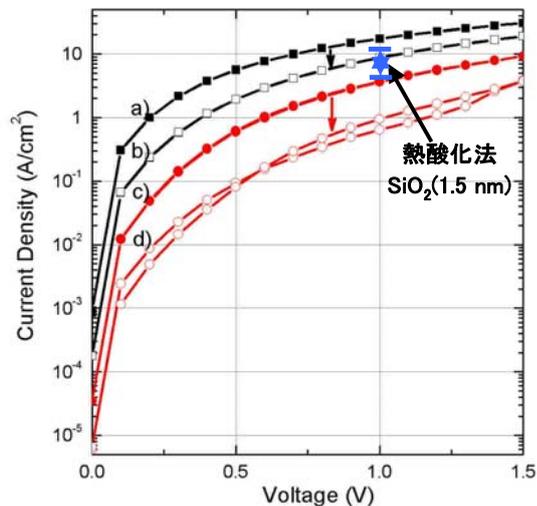


図2 共沸硝酸酸化法で形成した<Al/1.2~1.3nm SiO₂/Si(111)> MOSダイオードの電流-電圧特性：a) ラフなSi(111)表面を硝酸酸化；b) ダイオードaをPMA処理；c) 原子レベルで平坦なSi(111)表面を硝酸酸化；d) ダイオードcをPMA処理

一方、フッ化アンモニウム (NH₄F) でシリコンをエッチングした場合、図 1a に示すように **bi-layer step** が観測された。これは、シリコン表面が原子レベルで平坦であることを示している。図 1a では、RMS ラフネスは 0.13nm であった。この表面を硝酸酸化した場合、やはり **bi-layer step** が観測され(図 1b)、さらに、この酸化膜をエッチングした後も、**bi-layer step** が観測され(図 1c)、Si/SiO₂ 界面が原子レベルで平坦であったことがわかる。すなわち、平坦なシリコン表面を硝酸酸化した場合、平坦な Si/SiO₂ 界面が形成される。RMS ラフネスは 0.07nm と、超平坦な界面が形成されたことがわかる。

図 2 に、硝酸酸化膜をもつ <Al/SiO₂/Si(111)> MOS ダイオードの電流-電圧特性を示す。共沸硝酸に 1 時間浸漬することにより形成された酸化膜の膜厚は、1.2~1.3nm であった。図中の矢印は、種々の文献で報告されている約 1.5nm の膜厚を持つ熱酸化膜のリーク電流密度

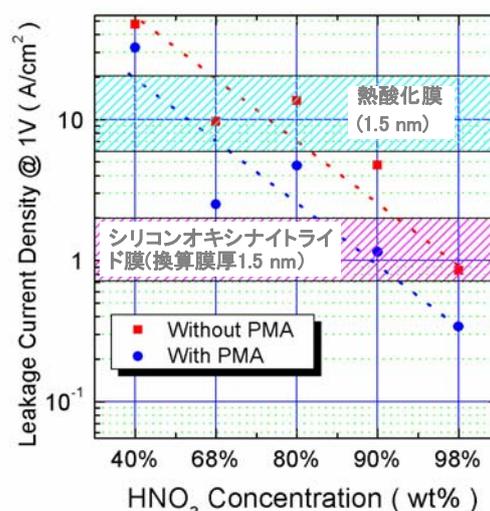


図 3 一段階硝酸酸化法で形成した <Al/1.2~1.4 nm SiO₂/Si(100)> MOS ダイオードのリーク電流密度の硝酸濃度依存性

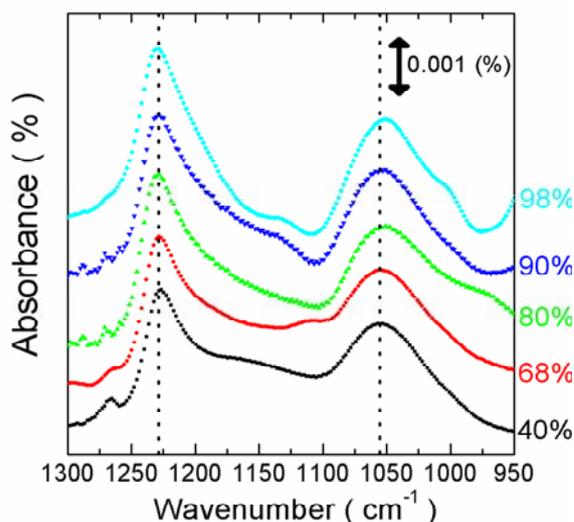


図 4 硝酸酸化法で形成した極薄 SiO₂/Si 構造のフーリエ変換赤外吸収スペクトルの硝酸濃度依存性

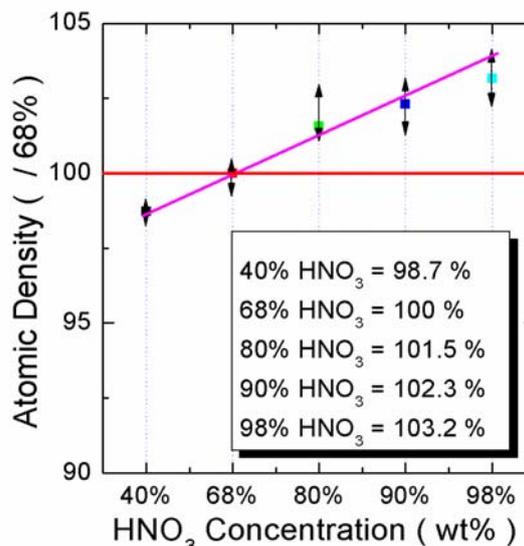


図 5 硝酸酸化法で形成した極薄 SiO₂ 膜の原子密度の硝酸濃度依存性

度である。フッ酸エッチングしたシリコン上に形成した硝酸酸化膜のリーク電流密度は、熱酸化膜に比較して少し高いが(曲線 a)、5%の水素雰囲気中 250°C で熱処理(Post-metallization anneal, PMA)した後は、熱酸化膜とほぼ同等のリーク電流密度となった(曲線 b)。一方、フッ化アンモニウムでエッチングして原子レベルの平坦面を形成し、それを硝酸酸化した場合、リーク電流密度は熱酸化膜よりも少し低くなった(曲線 c)。これを

PMA 処理することによって、リーク電流密度はさらに低減して(曲線 d)、熱酸化膜の 1/10 程度の低いリーク電流密度を達成できた。

超平坦面と PMA 処理による硝酸酸化膜の低いリーク電流密度は、1)均一な膜厚の SiO₂ 膜、2)SiO₂ 中の均一な電界、3)Si²⁺に起因する欠陥準位の低減、4)SiO₂/Si 界面での高いバンドの不連続エネルギー、によると結論した。

一段階硝酸酸化法を用いて単結晶シリコン上に膜厚 1.2~1.4 nm の酸化膜を形成し、その上に Al 電極を作製して、<Al/SiO₂/Si(100)> MOS 構造とした。図 3 に、MOS ダイオードのリーク電流密度と酸化に用いた硝酸濃度の関係を示す。硝酸濃度の増加と共にリーク電流密度は低減し、濃度 98wt% の高濃度硝酸を用いた場合、リーク電流密度は 1.5 nm の膜厚を持つ熱酸化膜の 1/100 程度、同換算膜厚を持つシリコンオキシナイトライド膜と比較してもさらに低いリーク電流密度を持つことが確認された。

図4に、硝酸酸化法で形成した極薄 SiO₂/Si 構造のフーリエ変換赤外吸収スペクトルを示す。Si-O-Si 非対称伸縮振動の longitudinal optical (LO)フォノン及び transverse optical (TO)フォノンの 2 本のピークが観測されている。これら二本のピークの振動数、 ν_{LO} 及び ν_{TO} 、から SiO₂ 膜の原子密度、 ρ 、を次式を用いて求めることができる。

$$C\rho = \nu_{LO}^2 - \nu_{TO}^2 \quad (1)$$

ここで、定数 C は熱酸化膜の値から求めることができる。

図 5 に、 ν_{LO} 及び ν_{TO} から求めた SiO₂ 膜の原子密度を示す。原子密度はシリコンの酸化に用いた硝酸濃度の増加に伴って増加した。SiO₂ 膜の原子密度の増加に伴って、SiO₂/Si 界面でのバンドの不連続エネルギーが増加することがわかった。バンドの不連続エネルギーが増加することによって、キャリアが酸化膜をトンネルする確率が減少して、リーク電流密度が低減したと考えられる。

図 6 に、硝酸酸化法で形成した極薄 SiO₂/Si 構造の Si 2p 領域の XPS スペクトルを示す。99 及び 103eV 近傍に強度の強いピークが観測されており、これらはそれぞれシリコン基板と SiO₂ 膜のものである。これ

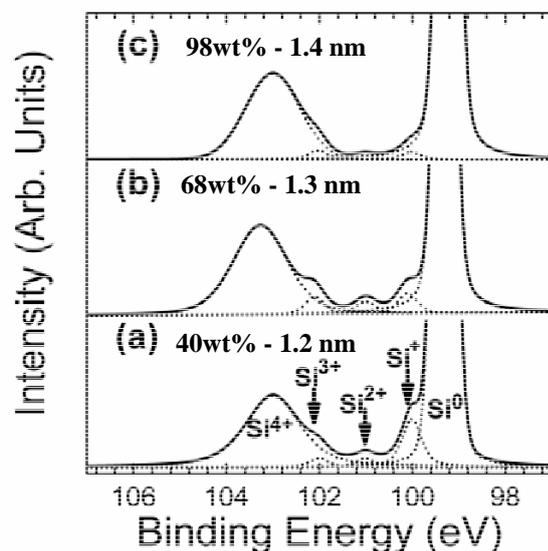


図 6 種々の濃度の硝酸を用いて形成した極薄 SiO₂/Si 構造の XPS スペクトル: (a) 40wt%; (b) 68wt%; (c) 98wt%

らのピークの面積強度比から、SiO₂ 膜の膜厚が 1.2~1.4nm と求められた。これら二本のピークの間、サブオキサイド(Si⁺、Si²⁺、Si³⁺)による強度の弱いピークが観測された。硝酸濃度の増加に伴って、これらサブオキサイドのピークの強度は減少した。硝酸濃度の増加に伴い、酸化力が増加し、不完全な酸化物であるサブオキサイドが減少したと考えられる。サブオキサイドは、電子やホールのトラップ準位として働くと思われる。硝酸濃度の増加に伴い、トラップ準位が減少することも、リーク電流密度低減の一要因であると思われ

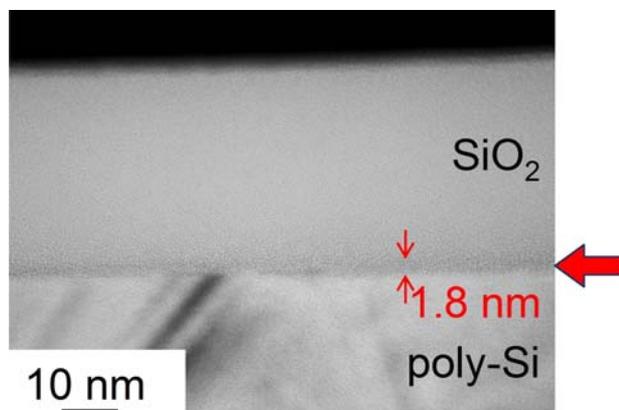


図 7 室温硝酸酸化膜/CVD 酸化膜のスタックゲート構造を持つ TFT の断面 TEM 写真

る。

室温共沸硝酸酸化法を用いて、TFT TEG を作製した。作製した TEG の断面透過顕微鏡 (TEM) 写真を図 7 に示す。Poly-Si と CVD SiO₂ 膜の間に約 1.8nm の厚さで黒い部分が観測され、これが硝酸酸化膜である。黒く観測されることから、硝酸酸化膜の原子密度が CVD 酸化膜の原子密度よりも高いことがわかる。

(2) 研究成果の今後期待される効果

一段階硝酸酸化法では、緻密で界面特性の良好な極薄 SiO₂ 膜を 120°C 以下の低温で形成できる。したがって、一段階硝酸酸化法を、ガラス基板上に製造される TFT のゲート酸化膜形成に応用することができる。良好な界面特性のために、TFT の高性能化さらに微細化を行うことが可能となる。また、極薄であるため、LSI のゲート酸化膜に応用することができる。LSI では、微細化の進行に伴い、ゲート酸化膜が薄膜化しそれを流れるリーク電流の増大が問題になっているが、硝酸酸化法で形成した SiO₂ 膜は従来の熱酸化膜よりも格段に低いリーク電流を持つため、応用が期待される。

さらに、一段階硝酸酸化法で形成した SiO₂ 膜の良好な界面特性を利用して、シリコンの表面パッシベーションを行うことができる。我々が開発した硝酸酸化法を表面パッシベーションに用いる研究、特に表面パッシベーションによってシリコン太陽電池を高効率化する研究が、ヨーロッパ、オーストラリア、台湾、韓国等で行われている。我々が所有している多くの硝酸酸化法のノウハウをシリコン太陽電池に活用することによって、大きな変換効率の向上が期待できる。

1-2. 二段階硝酸酸化法の研究開発

(1) 研究実施内容及び成果

一段階硝酸酸化法では、良好な電気特性を持つ極薄 SiO₂ 膜を形成することができるが、酸化膜の膜厚を 1.5nm 以上に増加することはできない。厚い酸化膜は、二種類の濃度の硝酸を用いる二段階硝酸酸化法によって、120°C の低温で形成することができる。

表 1 に、二段階硝酸酸化法で形成された SiO₂ 膜厚を示す。Si(100) と Si(111) 基板を酸化した際、酸化時間が 4 時間で両方とも約 6nm の SiO₂ 膜が形成された。つまり、二段階硝酸酸化法では、酸化速度の面方位依存性が存在しないことが確認された。800°C 以上の高温を要する熱酸化では、Si(111) 面の酸化速度は Si(100) 面の酸化速度の約 1.7 倍であり、その結果種々の面方位が露出している多結晶シリコンを酸化した場合、均一な膜厚を持つ SiO₂ 膜は形成できない。一方、硝酸酸化法では、酸化速度の面方位依存性がないために、多結晶シリコン表面を酸化した場合にも均一な膜厚を持つ SiO₂ 膜が形成できると期待される。

表 1 二段階硝酸酸化法により Si(100) 及び Si(111) 表面上に形成された SiO₂ 膜の膜厚

	Oxidation time (h)	SiO ₂ thickness (nm)
n-Si(100) ~ 10 Ω cm	4	5.8
n-Si(111) ~ 8 Ω cm	4	6.2

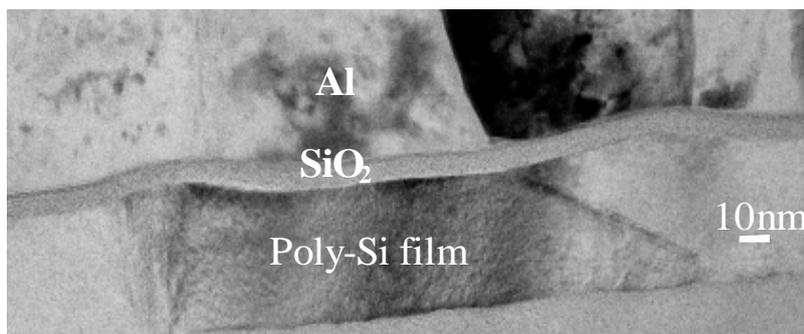


図 8 二段階硝酸酸化法により多結晶シリコン薄膜上に形成された SiO₂ 膜の TEM 写真

図 8 に、TFT 用多結晶シリコン薄膜を二段階硝酸酸化した後観測した断面 TEM 写真を示す。共沸硝酸を用いた二段階目の酸化時間は、100 分である。多結晶シリコン表面にはかなりの凹凸が存在するにもかかわらず、均一な膜厚、約 10nm を持つ SiO₂ 膜が形成されていることがわかる。粒界領域が選択的に酸化されないこともわかる。均一な膜厚を持つ SiO₂ 膜の形成は、二段階硝酸酸化が、1) 直接酸化である、2) 面方位依存性が無いことによる。均一な膜厚の SiO₂ 膜が形成されることによって、ゲート酸化膜の膜厚を低減でき、この結果 TFT の消費電力が低減できる。

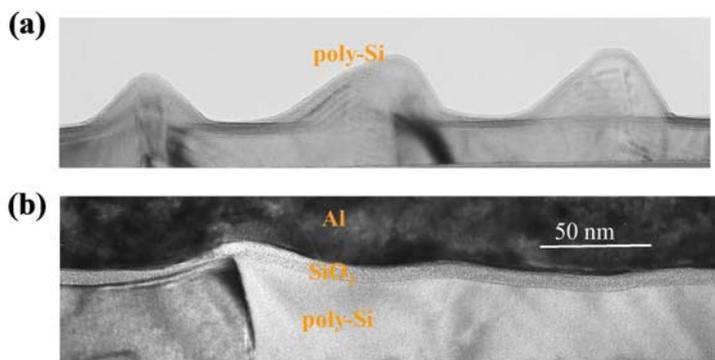


図 9 多結晶シリコン薄膜の TEM 写真 : a) 硝酸酸化前、b) 二段階硝酸酸化後

多結晶シリコン TFT はガラス基板上にプラズマ CVD 法を用いてアモルファスシリコンを堆積して、それをレーザーアニールして結晶化することによって作製される。レーザーアニール後の冷却過程で、表面に突起物(リッジ)が生成する(図9a)。凹凸のある表面に CVD 等の堆積法を用いてゲート酸化膜を形成すれば、凸の部分で酸化膜厚が小さくなりここをリーク電流が流れる。リーク電流を防止するためゲート酸化膜を 50 ~ 100nm と厚くする必要があり、この結果駆動電圧が増加し消費電力が大きくなる。また、リッジの存在は微細構造の作製を困難にして歩留りを低下させる。

図9b に、TFT 多結晶シリコン薄膜上に二段階硝酸酸化法を用いて形成した SiO₂/多結晶シリコン構造の断面透過電子顕微鏡(TEM) 写真を示す。約 10nm の均一な膜厚を持つ SiO₂ 膜が形成されていることがわかる。さらに、図9a と比較すれば、硝酸酸化前に 50nm 以上の高さであったリッジが、半分以下の高さまで低減していることがわかる。したがって、硝酸酸化法を用いれば、リッジ低減の面からも TFT の低消費電力化が可能となる。

二種類の濃度の硝酸を用いる二段階硝酸酸化法では、120℃の低温で 10 nm 以上の膜厚を持つ酸化膜が形成でき、その良好なリーク電流特性と界面特性より、TFT のゲート酸化膜厚を大幅に減少でき、TFT 駆動電圧を 2.5 V 程度に低減できると考えられる。

二段階目の硝酸濃度を 68wt%(共沸硝酸)とした場合そのリーク電流密度は小さくなり、さらに

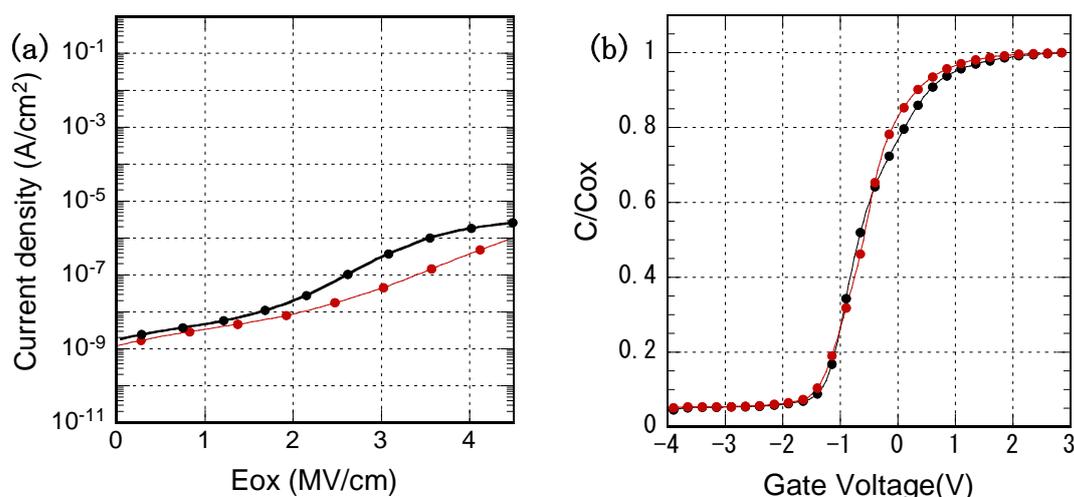


図 10 <Al/SiO₂/Si(100)> MOS ダイオードの電流-電圧特性(a)、電気容量-電圧特性(b)。黒は 120℃で形成された二段階硝酸酸化膜、赤は 900℃で形成された熱酸化膜の特性を示す。

250°Cで水素処理を施した場合、図 10a に示すように 900°Cの高温で形成された熱酸化膜と同レベルのリーク電流密度を持つことがわかった。さらに、図 10b に示すようにその電気容量・電圧 (C-V)特性は熱酸化膜とほぼ同レベルであり、界面準位密度、固定電荷密度が共に非常に小さいことが確認された。

(2) 研究成果の今後期待される効果

二段階硝酸酸化法では、10nm 以上の膜厚を持つ厚い SiO₂ 膜を 120°Cの低温で形成できる。したがって、この SiO₂ 膜を単独で TFT のゲート酸化膜に応用できると考えている。10nm 程度の膜厚で十分に低いリーク電流が得られるため、ゲート酸化膜の薄膜化が可能となり、この結果微細化と駆動電圧の大幅な低減による超低消費電力化ができる。また、LSI で比較的厚いゲート酸化膜を必要とする高耐圧アナログ IC に応用することも期待される。さらに、オーストラリアでは、この二段階硝酸酸化法をシリコンの表面パッシベーションに利用する研究が行われており、今後益々応用範囲の拡大が期待される。

2. 気体硝酸酸化法の検討 (大阪大学 小林グループ)

(1) 研究実施内容及び成果

図 11 に、シリコンを 400°Cの低温で酸化した際に形成される SiO₂ 膜厚と酸化時間の関係を示す。従来の乾燥酸化や加湿酸化では、400°Cの低温ではシリコンはあまり酸化されず SiO₂ 膜厚は最大 2.5nm である。一方、気相硝酸酸化では酸化が進行して、4nm 以上の膜厚を持つ SiO₂ 膜が形成できることがわかった。I-V 測定の結果、350°Cで形成した SiO₂ 膜では Poole-Frenkel 機構によって、500°Cで形成した場合は Fowler-Nordheim 機構によってリーク電流が流れることが分かった。

98%の高濃度硝酸の蒸気を用いる硝酸酸化を検討した。濃度 98%硝酸の蒸気中の硝酸濃度は 99.7%であり、ほぼ純粋の硝酸による酸化といえる。この蒸気を用いて 100°Cで酸化した後に観測した断面 TEM 写真を図 12a に示す。0.7nm の均一な膜厚を持つ SiO₂ 膜がシリコン表面に形成されていることがわかる。この SiO₂ 膜を空气中に 2 週間放置した後に測定した膜厚も、0.7nm であった。また、この酸化膜の原子密度は、 $2.53 \times 10^{22}/\text{cm}^3$ と熱酸化膜 ($2.28 \times 10^{22}/\text{cm}^3$) や濃度 68%の硝酸蒸気で形成した酸化膜 ($2.46 \times 10^{22}/\text{cm}^3$) よりも高かった。緻密な酸化膜が形成されたために、酸素の拡散が防止された結果、空气中に放置しても酸化が進行しないと考えられる。硝酸蒸気酸化の温度を 200°Cに上昇した場合、SiO₂ 膜厚は 1.6nm に増加した (図 12b)。

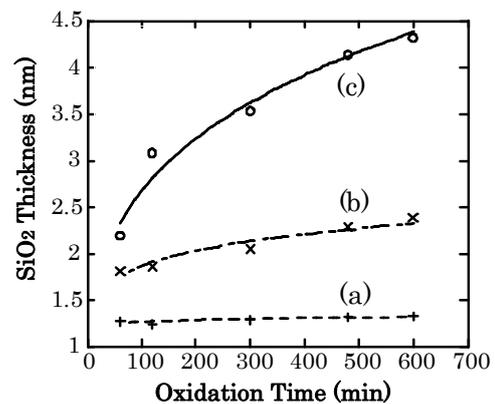


図 11 シリコンを 400°Cで酸化した場合に形成される SiO₂ 膜の膜厚と酸化時間の関係 : a) 乾燥酸化; b) 加湿酸化; c) 気相硝酸酸化

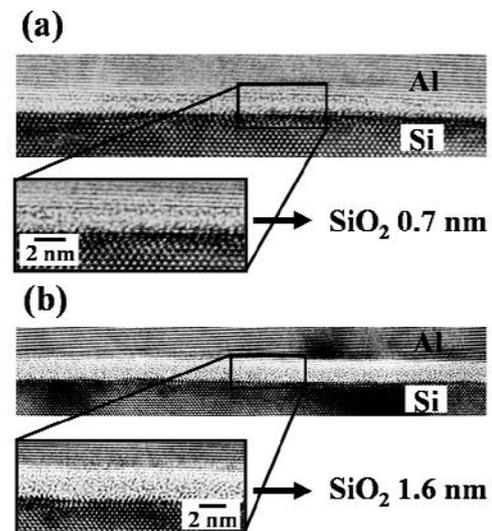


図 12 ~100%硝酸蒸気で形成した SiO₂/Si(100)構造の断面 TEM 写真 : (a) 100°Cでの硝酸蒸気酸化; (b) 200°Cでの硝酸蒸気酸化

図 13 に、 $\sim 100\%$ 硝酸蒸気で形成した $\text{SiO}_2/\text{Si}(100)$ 構造のリーク電流特性を示す。曲線(a)~(d)では 100°C で硝酸酸化を行い、 SiO_2 膜厚は 0.7nm である。硝酸酸化膜上にアルミニウム (Al) 電極を形成後、 5% の水素雰囲気中 250°C での post-metallization anneal (PMA)を施すことによってリーク電流密度が大幅に低減し、同膜厚の熱酸化膜に比較して $1/50$ 程度と低いリーク電流密度が得られた。硝酸蒸気で形成した SiO_2 膜を電子がトンネル伝導する確率から、 SiO_2/Si の平均障壁高として 1.02eV を得た。この値は、熱酸化膜の値よりも約 0.2eV 高い値である。高いエネルギー障壁高の原因は、高い原子密度であると考えられ、これによってトンネル確率が小さくなり低いリーク電流密度が得られたと思われる。

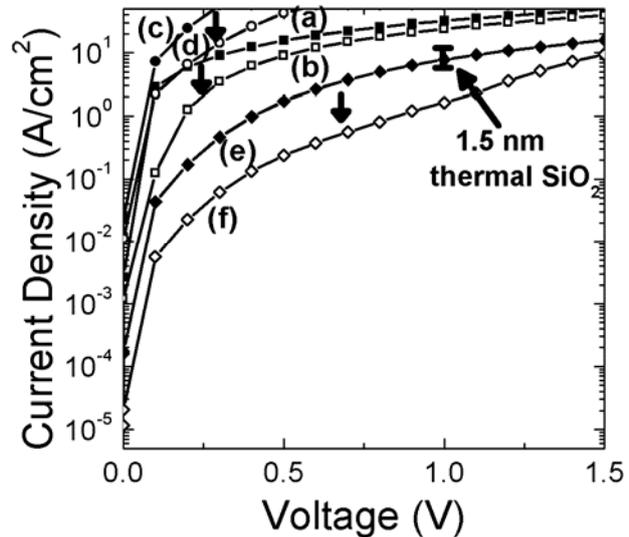


図 13 $\sim 100\%$ 硝酸蒸気で形成した $\text{SiO}_2/\text{Si}(100)$ 構造のリーク電流特性。酸化膜厚とシリコン基板の比抵抗 : (a) 0.65nm , $\sim 10 \Omega\text{cm}$, PMA なし; (b) 0.65nm , $\sim 10 \Omega\text{cm}$, PMA あり; (c) 0.65nm , $\sim 0.01 \Omega\text{cm}$, PMA なし; (d) 0.65nm , $\sim 0.01 \Omega\text{cm}$, PMA あり; (e) 1.5nm , $\sim 10 \Omega\text{cm}$, PMA なし; (f) 1.5nm , $\sim 10 \Omega\text{cm}$, PMA あり

(2) 研究成果の今後期待される効果

気体硝酸酸化法では、 $0.65\sim 5\text{nm}$ の SiO_2 膜が 400°C 以下の低温で形成できる。したがって、TFT のゲート酸化膜に応用できる以外、以下の用途に応用できる。すなわち、 0.65nm という極薄かつ超高性能特性を利用して、1)高誘電体膜を用いる LSI のゲート絶縁膜の界面層、2)シリコン太陽電池の表面パッシベーション層。1)では、LSI の集積度の増加とともに、ゲート絶縁膜の薄膜化が進行し、これを流れるリーク電流の増加が問題となっている。これを解決するため、 HfO_2 などの高誘電体薄膜が検討されているが、界面特性が悪いという問題がある。気体硝酸酸化法では、界面特性の良好な極薄 SiO_2 膜を形成できるので、この上に高誘電体膜を形成して、LSI のゲート酸化膜として用いることができる。太陽電池へも、気体硝酸酸化膜の良好な界面特性を利用して表面パッシベーションを行うことができるが、光生成した少数キャリアはこの酸化膜をトンネル的に通過する必要がある。したがって、酸化膜は極薄である必要があり、気体硝酸酸化法がこの用途に最も適していると考えられる。

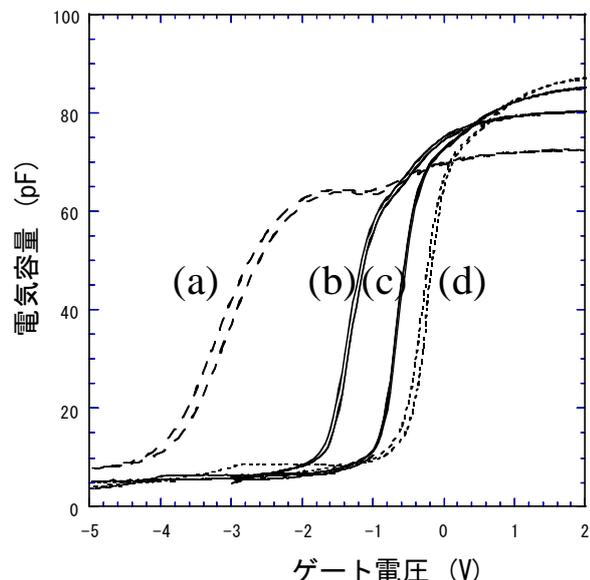


図 14 プラズマ CVD 酸化膜/シリコン構造の C-V 曲線 : a) 処理なし; b) 121°C の共沸硝酸で 1 時間処理; c) b) の試料を 200°C で加熱処理; d) 熱酸化膜

3. 硝酸法による CVD 堆積膜の改質 (大阪大学 小林グループ)

(1) 研究実施内容及び成果

共沸硝酸に浸漬することによって、プラズマ CVD 法で形成された SiO_2 膜を改

質することができる。図 14 に、<Al/プラズマ CVD-SiO₂膜(38nm)/Si(100)>MOS ダイオードの電気容量－電圧(C-V)曲線を示す。処理しない場合(曲線 a)、C-V 曲線はかなり負ゲートバイアス領域に観測され、これは SiO₂ 膜や SiO₂/Si 界面に正電荷が高密度で存在することを示す。共沸硝酸処理を 1 時間施した場合、C-V 曲線は約 2V 正電圧方向にシフトして、正電荷密度が低減したことを示す。共沸硝酸処理後、200℃で加熱処理を施すことによってさらに正電圧方向にシフトして(曲線 c)、熱酸化膜の C-V 曲線(曲線 d)とほぼ同じ位置に観測された。この結果は、CVD 酸化膜の特性が、共沸硝酸処理によって熱酸化膜に近くなることを示すものである。共沸硝酸による改質は、酸素原子が SiO₂ 中の欠陥準位に結合してそれが消滅することによると考えられる。

(2) 研究成果の今後期待される効果

硝酸法による CVD 膜の改質法は、液晶ディスプレイ用 TFT のゲート酸化膜の改質に限定されず、CVD 堆積膜を用いる種々の半導体デバイスに広く応用できる。例えば、LSI 用層間絶縁膜のリーク電流低減、太陽電池のパッシベーション膜の改質、積層 3 次元 TFT のゲート酸化膜の改質などに展開できる。

4. 新規欠陥消滅法による TFT の高性能 (大阪大学 小林グループ)

(1) 研究実施内容及び成果

HCN 水溶液等のシアン溶液では、CN⁻イオンがシリコンダングリングボンド等の欠陥準位に選択的に吸着することによって欠陥準位が消滅すると共に、金属汚染を除去できる。図 15 に示すように、低濃度の HCN 水溶液(従来洗浄法では数%濃度の洗浄液が必要)に室温で(従来洗浄法では 50~80℃に加熱)洗浄するだけで、鉄、ニッケル、クロム、銅、亜鉛等の種々の金属汚染を除去することができる。本プロジェクトでは、大型 TFT に使用できる欠陥消滅型洗浄法を開発した。

TFT は LSI に比較して大型であり、LSI の洗浄に用いる高濃度(数%以上)の薬液を使用することはできない。本プロジェクトでは、ppm オーダーの極低濃度 HCN 水溶液でも十分な金属除去効果を有することを見出した。(これは、当初計画では想定されていなかった。)

図 16 に、2.6ppm と 1ppm

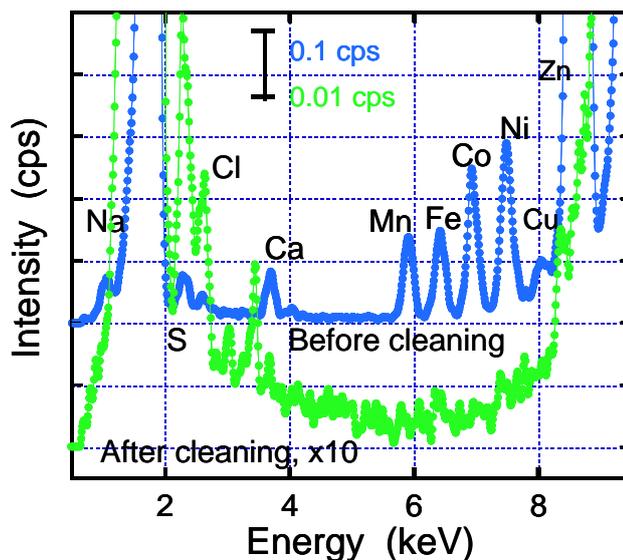


図 15 0.15%の HCN 水溶液を室温で用いて、種々の金属で汚染されたシリコンウェーハを洗浄する前後に観測した全反射蛍光 X 線スペクトル

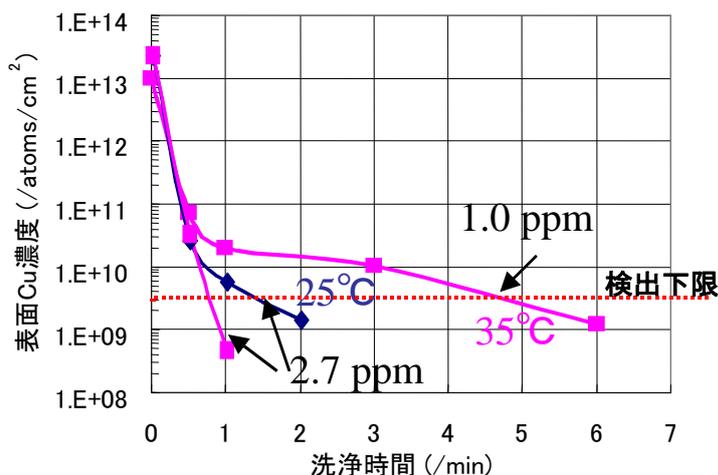


図 16 極低濃度 HCN 水溶液で銅汚染のあるシリコンウェーハを洗浄した際の銅濃度と洗浄時間の関係：a) 22℃の 2.6ppmHCN 水溶液で洗浄、b) 35℃の 1ppm HCN 水溶液で洗浄。

の濃度を持つ HCN 水溶液を用いて銅で強制汚染したシリコンウェーハを洗浄した際の、表面銅濃度と洗浄時間の関係を示す。2.6ppm の HCN 水溶液で洗浄した場合、室温(25℃)でも 2 分以内に分光装置の検出限界(全反射蛍光 X 線分光装置、検出下限: $\sim 3 \times 10^9$ 原子/cm²)以下に銅汚染が除去された。さらに低濃度の 1ppm HCN 水溶液で洗浄した場合も、液温を 35℃に上昇することによって 5 分以内に銅汚染が完全に除去された。

シアン化合物の一般的な環境排出基準は 1ppm であり、HCN 洗浄液の廃液の排出は困難でない。また、紫外線照射+オゾン水処理で、シアン成分は炭酸ガスと窒素に完全無毒化・分解でき、イオン交換膜を用いても簡単に除去できる。さらに、金属触媒を用いてメタンとアンモニア等から高濃度(~ 3000 ppm)の HCN 水溶液をかなりの速度(500 mL/h)で合成することにも成功しており、TFT 製造への応用に必要な基本的技術は確立できている。

(2) 研究成果の今後期待される効果

HCN 水溶液による洗浄法は、欠陥消滅型半導体洗浄法と呼んでいる。すなわち、HCN 水溶液中のシアン化物イオン(CN⁻)がシリコンダングリングボンドなどの欠陥準位に選択的に吸着して欠陥準位が消滅する。したがって、この欠陥消滅型半導体洗浄法では、金属汚染の除去と同時に欠陥準位が消滅するため、これら 2 つの効果によって半導体デバイスの特性が向上する。TFT に用いられている多結晶シリコン薄膜には特に粒界に多くの欠陥準位が存在し、これを欠陥消滅型半導体洗浄法で消滅させることによって、移動度の向上による高性能化を行うことができる。また、多結晶シリコン、単結晶シリコン、球状シリコン等のシリコン太陽電池の高性能化を欠陥消滅型半導体洗浄法で行えることがわかっており、今後硝酸酸化法を用いる表面パッシベーション法と組み合わせる実用化が進行するものと考えている。この方法を用いて、現在すでに日本の太陽電池メーカーのみならず韓国、台湾、ヨーロッパ等の海外でも広く実用化を見据えた共同研究を行っている。

5. 大面積 TFT 用硝酸酸化装置の開発 (大阪大学 小林グループ)

(1) 研究実施内容及び成果

32×40cm² サイズの TFT ガラス基板の硝酸酸化装置(図 17)を用いて、多結晶シリコン薄膜の酸化を行った。今回の実験では、硝酸の温度を徐々に上げ 116℃以上の温度を保持することによって多結晶シリコン薄膜の酸化を行った。

微細・高性能な TFT の作製を行うため、クリーンな試作実験環境を実現した。重金属などの微量分析は、全反射蛍光 X 線分析(TXRF)を用いた。その結果、LSI の製造も可能で、TXRF の検出限界でもある 3×10^9 atoms/cm² 以下まで、金属汚染レベルを低減することに成功した。(表 2)



図 17 TFT 用硝酸酸化装置

表 2 大面積 TFT 用硝酸酸化装置の改良前後での硝酸酸化膜を形成したシリコンウェーハ上の汚染金属濃度

汚染金属	改良前(10^{10} atom/cm ²)	改良後(10^{10} atom/cm ²)
K	168.9	検出限界以下
Ca	119.2	検出限界以下
Ti	805.0	0.3
V	検出限界以下	検出限界以下
Mn	6.4	検出限界以下
Cr	227.8	検出限界以下
Fe	573.2	検出限界以下
Ni	50	検出限界以下
Zn	9.2	検出限界以下
Cu	0.3	検出限界以下

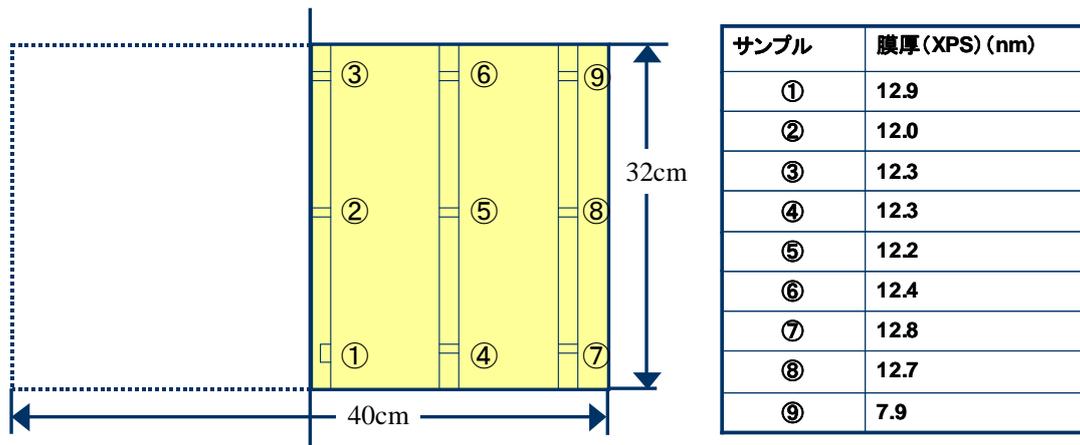


図 18 二段階硝酸酸化法で、 $32 \times 40\text{cm}^2$ サイズの多結晶シリコン基板上に 120°C で形成された SiO_2 膜の膜厚分布

図 18 に、大面積 TFT 用硝酸酸化装置を用いて $32 \times 40\text{cm}^2$ サイズの基板上に形成した SiO_2 膜の膜厚分布を示す。 SiO_2 膜厚は、エリプソメーターを用いて測定した。 SiO_2 膜厚は $12.5 \pm 0.5\text{nm}$ であり、膜厚分布は $\pm 4\%$ (ポイント 9 を除く)と良好である。ポイント 9 は試料を保持していた箇所であり、硝酸との直接接触が妨げられたために SiO_2 膜厚が小さくなったと考えられる。

(2) 研究成果の今後期待される効果

開発した硝酸酸化装置は、TFT 製造のみならず、LSI、太陽電池等の半導体製品に広く応用できる。本プロジェクトの遂行によって我々は硝酸酸化装置について多くのノウハウを見出しており、それを装置メーカーに技術移転することによって硝酸酸化装置を実用化する予定である。現在すでに国内外の半導体装置メーカー数社に対して技術移転と共同研究が進行中である。

6. 新構造デバイスの研究開発（大阪大学谷口グループ）

(1) 研究実施内容及び成果

6-1. C-V 特性の周波数依存性の検討

二次元デバイスシミュレータを用い、TFT における C-V 特性の周波数依存性の検討を行った。図 19 に C-V 特性のシミュレーション結果を示す。計算には、I-V 特性の実測値から見積もった界面準位密度を用いた。図 19a は Si/SiO₂ 界面に界面準位が存在する場合の計算結果で、kHz オーダーの低い周波数で C-V 特性に大きな周波数分散が生じることが分かる。これは、界面準位におけるキャリアの捕獲・放出が入力信号の周波数に追従できなくなるのが主な原因である。一方、図 19b に示すように、界面準位が存在しない場合には、C-V 特性に周波数分散がほとんど見られない。

次に、C-V 特性の周波数分散に対する界面準位密度およびゲート酸化膜厚の影響を調べるために、界面準位密度を 1/2 にした場合(図 20)と、ゲート酸化膜厚を 1/2 にした場合(図 21)について、C-V 特性の計算を行った。図 20, 21 と図 19a の比較から、界面準位密度が低く、また、ゲート酸化膜厚が薄くなるほど、周波数分散が小さく抑えられることが分かった。

以上から、硝酸酸化法により、界面準位密度の低減および酸化膜の薄膜化が実現されれば、C-V 特性における周波数分散の大幅な低減ができると期待される。

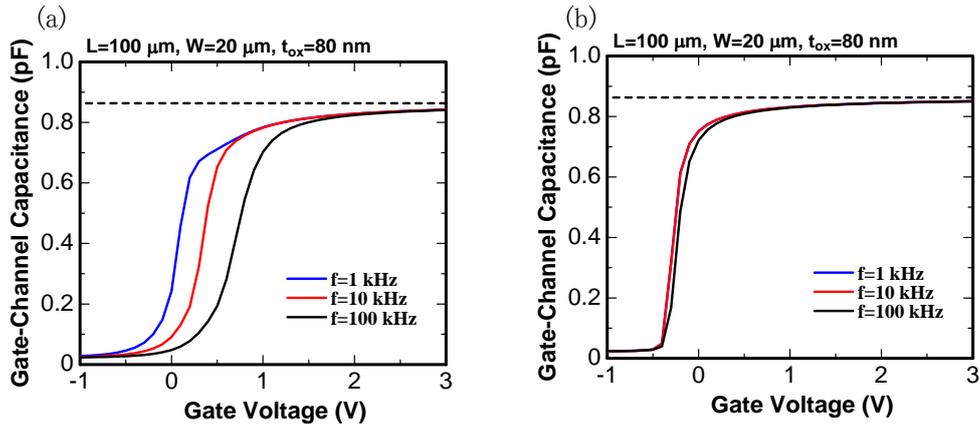


図 19 (a)Si/SiO₂ 界面に界面準位が存在する場合と(b)存在しない場合の TFT における C-V 特性のシミュレーション結果

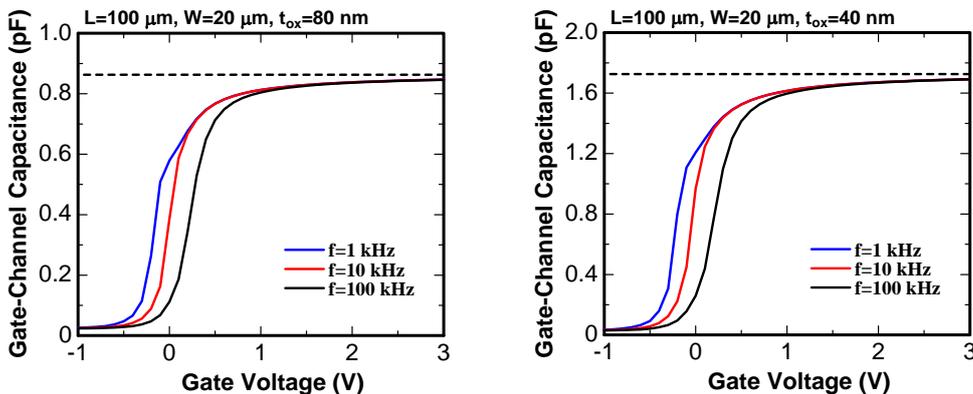


図 20 界面準位密度が 1/2 の場合の C-V 特性のシミュレーション結果

図 21 ゲート酸化膜厚が 1/2 の場合の C-V 特性のシミュレーション結果

6-2. 酸化膜のスタック構造の有効性の検討

TFTの低電圧動作の実現には、TFT特有の緩やかなサブスレッショルド特性の改善が必要である。そこで、本研究では、サブスレッショルド係数(S 値)を改善するための方法として、硝酸酸化膜とCVD酸化膜を組み合わせたスタック構造について、その有効性をデバイスシミュレータを用いて検討した。以下に、シミュレーションに用いた条件を示す。

シミュレーション条件 (2D デバイスシミュレータ:ATLAS)

- L=4 μm
- CVD 酸化膜厚: $t_{\text{ox,CVD}}=20, 40, 80\text{ nm}$
- NAOS 酸化膜厚: $t_{\text{ox,NAOS}}=1\text{ nm}$
- ボディ膜厚: $t_{\text{si}}=50\text{ nm}$
- 固定電荷: $N_f=1\text{e}11\text{ cm}^{-2}$
- 界面準位密度: $D_{\text{IT}}=5\text{e}11\text{ cm}^{-2}\text{eV}^{-1}$ (Reference) / $5\text{e}10\text{ cm}^{-2}\text{eV}^{-1}$ (スタック構造)

スタック構造をとるTFTでは、酸化膜がNAOS膜とCVD膜の二段構造になっているのに対して、比較のためのReferenceのTFTでは、酸化膜はCVD膜のみで構成されている。また、シミュレ-

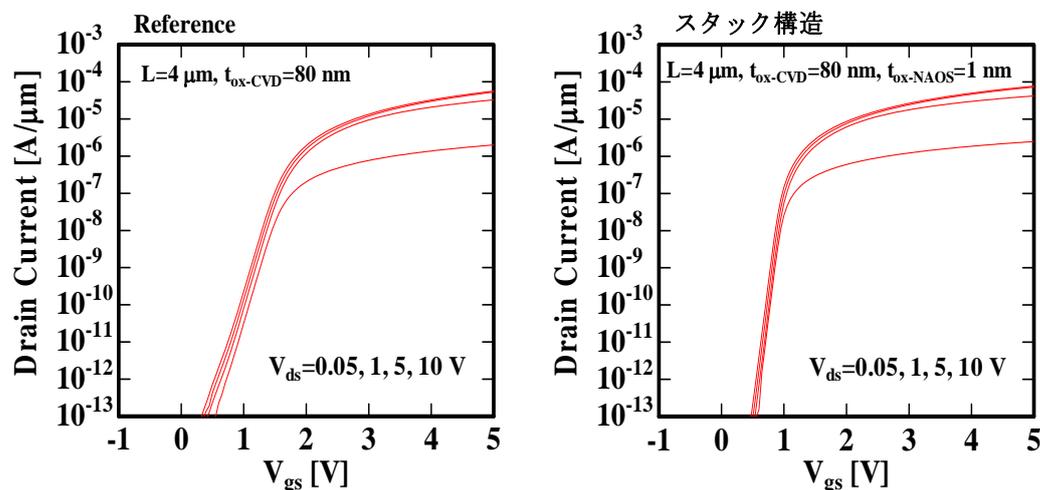


図 22 I_d - V_g 特性のシミュレーション結果

ーションでは、NAOS酸化膜はCVD酸化膜に比べて、界面準位密度が一桁小さくすると仮定している。図 22 に、CVD酸化膜が80nmの場合の I_d - V_g 特性のシミュレーション結果を示す。ReferenceTFTに比べて、スタック構造TFTではサブスレッショルド特性が急峻になっているが、これは、界面準位密度の低減効果によるものである。

次に、CVD酸化膜の膜厚を変えて同様のシミュレーションを行い、S値のCVD酸化膜厚依存性を調べた。その結果を図 23 に示す。酸化膜厚を変えても、S値はスタック構造TFTの方が小さくなっており、スタック構造の優位性が示された。

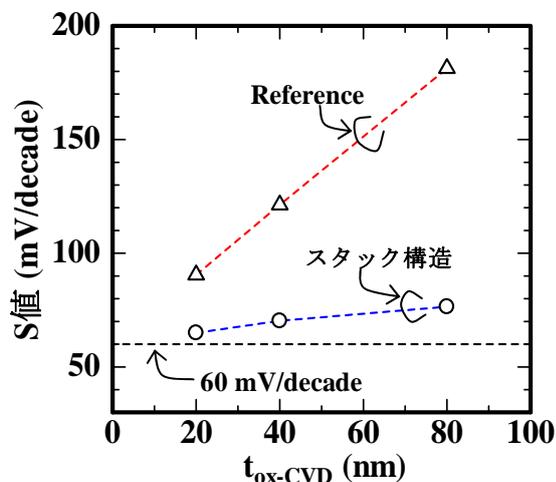


図 23 S 値の CVD 酸化膜厚依存性

6-3. 回路 TEG の試作・評価

硝酸酸化プロセスを用いて回路 TEG (リングオシレータ) の試作を行い、特性評価を行った。図 24 に 37 段リングオシレータの出力特性 (電源電圧 VDD=3 V) の測定結果、図 25 に動作周波数の電源電圧依存性を示す。VDD=3 V で TFT の動作周波数が 250 MHz となり、低電圧で高速なデバイス動作を確認した。

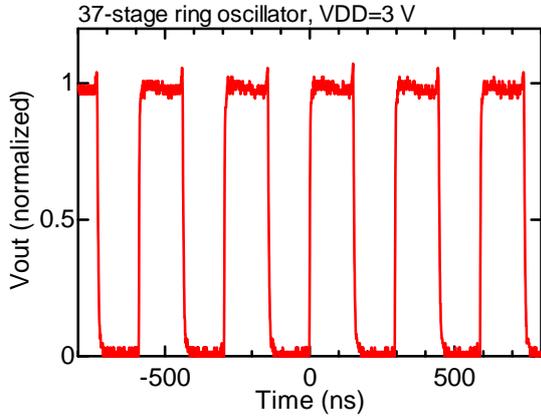


図 24 リングオシレータの出力特性

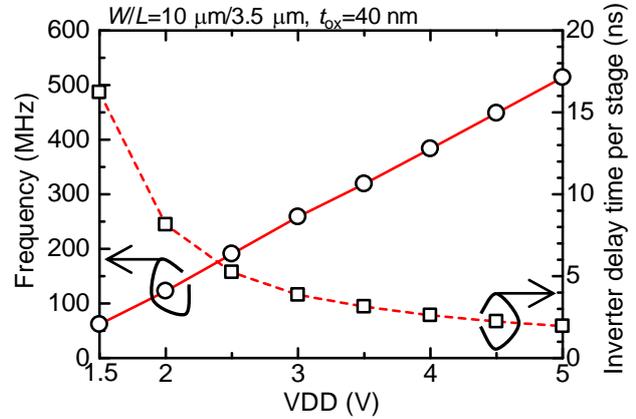


図 25 動作周波数の電源電圧(VDD)依存性

(2) 研究成果の今後期待される効果

デバイスシミュレータを用いた解析により、界面準位密度の低減および酸化膜の薄膜化により、C-V 特性における周波数分散の低減や、I-V 特性におけるサブスレッショルド特性の大幅な改善が期待できることが分かった。さらに、硝酸酸化プロセスを用いた回路 TEG の試作・評価結果から、低電圧で高速な TFT のデバイス動作が確できたことから、硝酸酸化 TFT の様々な機能回路への応用が期待される。

7. 硝酸酸化膜 TFT の SPICE モデルの研究開発 (大阪大学谷ログループ)

(1) 研究実施内容及び成果

多結晶シリコン TFT におけるモデリングの課題として、緩やかなサブスレッショルド特性の再現が挙げられる。多結晶シリコン薄膜の結晶粒が大きく、さらに、その結晶性が良い場合、Si/SiO₂ 界面の界面準位がこの緩やかな電流特性の原因であることが指摘されている。また、緩やかなサブスレッショルド特性により弱反転領域と強反転領域の境界が曖昧になるため、従来からのしきい値電圧をパラメータとして用いたモデリング手法では、高精度なドレイン電流モデルの構築は困難である。

本研究では、界面準位の影響を考慮し、表面ポテンシャルを用いた多結晶シリコン

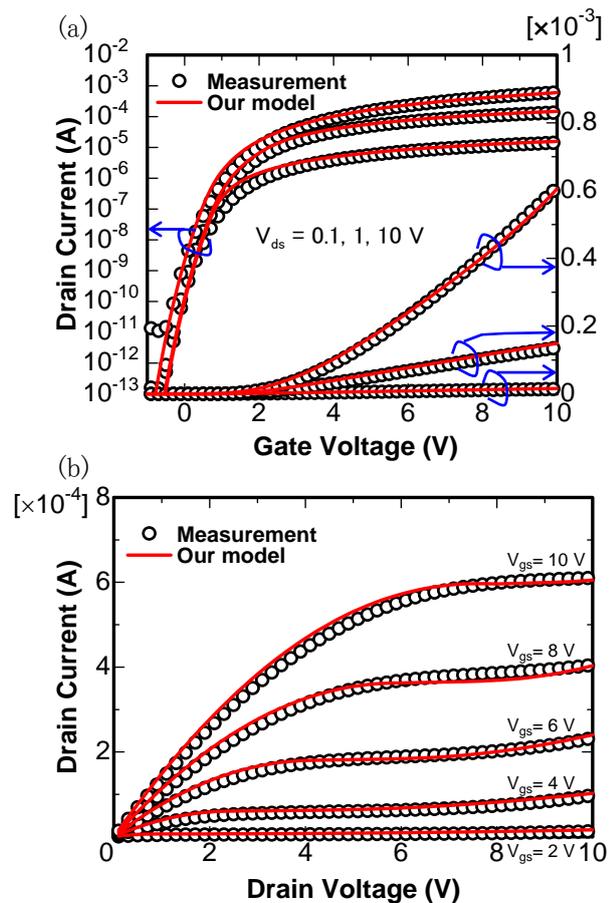


図 26 N-ch poly-Si TFT における(a)I_a-V_g特性と(b)I_a-V_a特性の実測値と計算値の比較

TFT のドレイン電流モデルを開発した。ドリフト-拡散近似に基づいてモデリングを行うことで、弱反転領域から強反転領域(線形、飽和領域)までのドレイン電流特性を単一のドレイン電流式を用いて計算することが可能となった。さらに、本モデルでは、短チャンネル TFT にも対応できるように、キंक効果、DIBL(Drain Induced Barrier Lowering)効果、チャンネル長変調効果などの影響も考慮している。

図 26 に標準的なプロセスで試作された n 型多結晶シリコン TFT における (a) I_d-V_g 特性と (b) I_d-V_d 特性の実測値と、本モデルによる計算値の比較結果を示す。比較に用いたデバイスは、チャンネル長 $L=10\ \mu\text{m}$ 、チャンネル幅 $W=20\ \mu\text{m}$ 、酸化膜厚 $t_{\text{ox}}=80\text{nm}$ である。図 26(a) に示すように、実測値の緩やかなサブスレッショルド特性及び DIBL による I_d-V_g 特性の低ゲート電圧側へのシフトが本モデルにより再現されている。また、図 26(b) から、高ドレイン電圧印加時のキंक効果を含め、線形領域から飽和領域まで、実測値が精度よく再現されており、本モデルの有効性を示している。

さらに、図 27 に、NAOS プロセスで試作された TFT に本モデルを適用した結果を示す。比較に用いたデバイスは、チャンネル長 $L=3.6\ \mu\text{m}$ 、チャンネル幅 $W=10\ \mu\text{m}$ 、酸化膜厚 $t_{\text{ox}}=20\text{nm}$ である。弱反転領域から強反転(線形、飽和)領域までのドレイン電流特性が高精度に再現されていることが分かる。

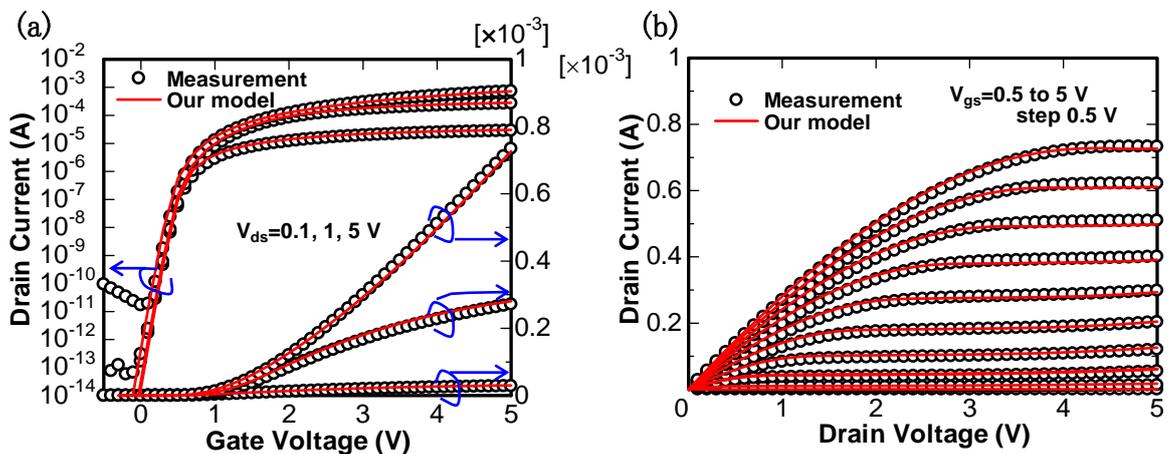


図 27 NAOS-TFT における(a) I_d-V_g 特性と(b) I_d-V_d 特性の実測値と計算値の比較

(2) 研究成果の今後期待される効果

考案した TFT のドレイン電流モデルは、モデルパラメータの数が少ないことに特長があり、さらに、弱反転領域から強反転(線形、飽和)領域までの特性を高精度に再現することができる。今後、上記モデルを用いることで、高精度な回路シミュレーションの実現が期待される。

8. 超低消費電力 TFT 用の新回路機能ブロックの研究開発 (大阪大学谷口グループ)

(1) 研究実施内容及び成果

現在の液晶ディスプレイ等では、TFT パネル(ポリシリコン)と外部の D/A コンバータや駆動回路(単結晶シリコン)等をケ

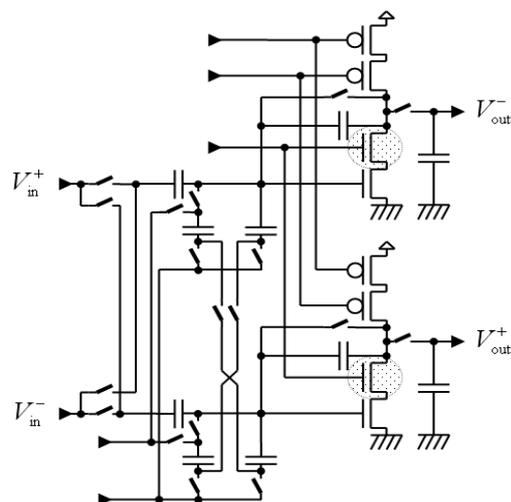


図 28 全差動カスコード増幅器

ケーブルで接続している。もし外部回路がガラス基板上に作製できるなら、ケーブルの浮遊容量に対する無駄な充放電がなくなり、消費電力の削減が見込まれる。しかし TFT パネル上のアナログ回路の実現は、個々の素子特性のばらつきが非常に大きいため非常に困難を極める。そこでそのような素子特性を考慮してアナログ基本回路である全差動増幅器を考案した。

アナログ回路は正相信号と逆相信号の処理をするために同一回路が必要となる。既存回路アーキテクチャではすべてのトランジスタの特性が揃っているとして設計されているため、そのような同一回路は簡単に設計できるが、TFT では素子ごとに特性が異なる。そこで信号処理の根本から考え直し、正相出力信号と逆相出力信号の基準電位が違うゆえ特性が異なる素子を用いたアナログ回路が実現できないことを見出した。その基準電位が揃うように図 28 に示すカスコード構造の全差動アンプ回路を考案した。簡単な解析の結果、しきい値や移動度のバラツキが小さければ電源電圧が抑えられることがわかった。

これとは別に TFT の電極からなる負荷容量へのユニティゲインバッファを提案した (図 29)。ユニティゲインバッファは入力と同一の電位を出力する回路であるが、入力を直接負荷容量に接続すると駆動能力が低いため充電時間がかかる。そこで提案回路では一旦 VDD まで充電するようなブースター回路を動作させる。そして、その出力をモニターしながら入力電位と等しくなる時にその回路を切り、容量の電位が入力電位とほぼ等しくなってから入力を接続するようになった。しかもその回路を切断した時点でブースター回路の漏れ電流をなくすように改良した。シミュレーションによる検証結果、消費電力は理論的に必要な消費電力の約 3~4 倍程度に抑えることができた。

(2) 研究成果の今後期待される効果

考案した TFT に特化したカスコード型全差動増幅器は、シミュレーション結果より通常の差動増幅器と比較してバラツキが 2 桁以下になることがわかった。また、TFT の電極からなる負荷容量への新規ユニティゲインバッファは、駆動能力が低い TFT を用いても消費電力を低減することが可能であることをシミュレーション結果で確認した。今後上記トポロジーを組み合わせることで、TFT アナログ回路の集積化の加速が期待される。

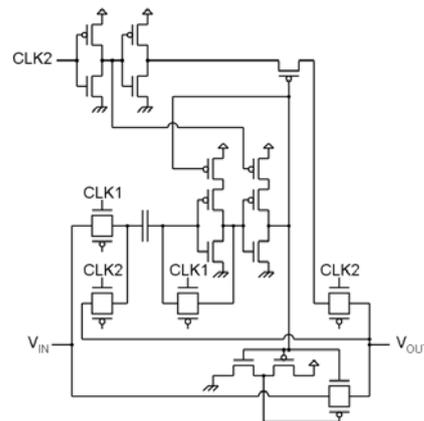


図 29 TFT ユニティゲインバッファ

9. 大面積 TFT の硝酸酸化技術の開発と試作（大阪大学小林グループ、シャープ今井グループ）

(1) 研究実施内容及び成果

本プロジェクトの中心課題である硝酸酸化法を用いる TFT の創製とその超低消費電力化について、以下に記載する。本プロジェクトの超低消費電力を達成するために、TFT のゲート酸化膜の膜厚を市販 TFT の 80nm から 40nm、20nm、さらに最終的には 10nm に低減させた。硝酸酸化膜の極低リーク特性の結果、このようにゲート酸化膜の膜厚を大幅に低減しても TFT のゲートリーク電流は許容範囲以下で、TFT が正常に動作した。ゲート酸化膜の薄膜化によって当然駆動電圧は低減し(10nm ゲート酸化膜を持つ TFT では 1V 駆動に成功)、超低消費電力化(10nm ゲート酸化膜を持つ TFT では低消費電力化率 1/225)が達成できた。さらに、微細化にも成功し、サブミクロン TFT を創製することができた。

室温硝酸酸化法で形成する 1.8nm SiO₂膜と CVD 法で形成する SiO₂膜のスタックゲート構造を持つ TFT を創製した。図 30 に、CVD 酸化膜の膜厚を 40nm とした場合に観測され

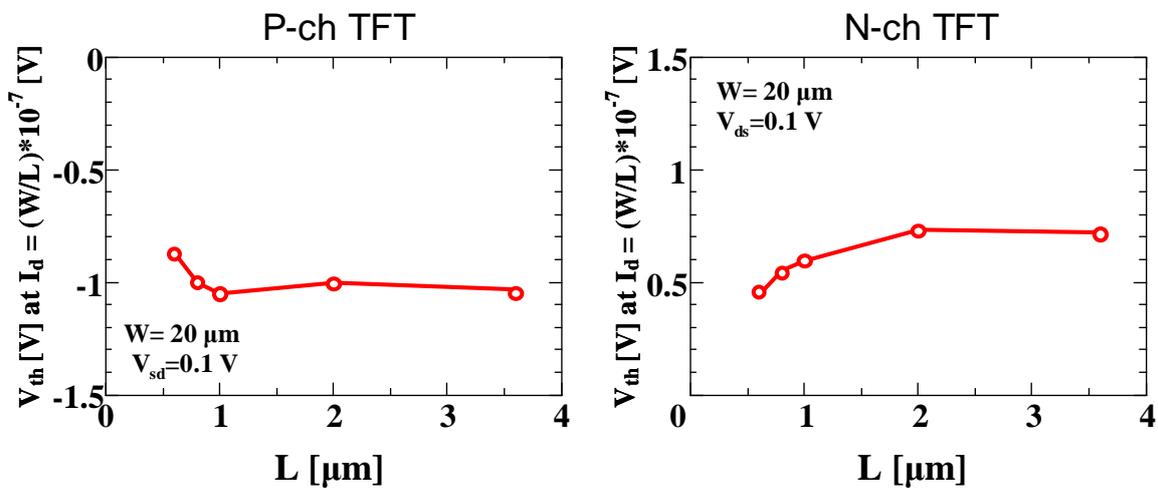


図 30 1.8nm 硝酸酸化膜/40nm CVD 酸化膜のスタックゲート構造を持つ P-ch 及び N-ch TFT の閾値電圧

た閾値電圧を示す。閾値電圧は、P-ch TFT では 0.8~1.1V、N-ch TFT では 0.4~0.7V と良好であった。この低い閾値電圧のため、以下に示すように 2.5V 駆動が可能であった。

図 31 に 1.8nm 硝酸酸化膜/40nmSiO₂ 膜スタックゲート構造を持つ TFT のドレイン電流-ドレイン電圧 (I_d-V_d) 特性を示す。P-ch TFT と N-ch TFT 共に、高電圧領域で飽和する理想的な形状を持ち、飽和電流も高かった。観測した I_d-V_d 特性から、P-ch、N-ch TFT 共に 2.5V 駆動が可能であることがわかった。したがって、従来の 15V 駆動の TFT

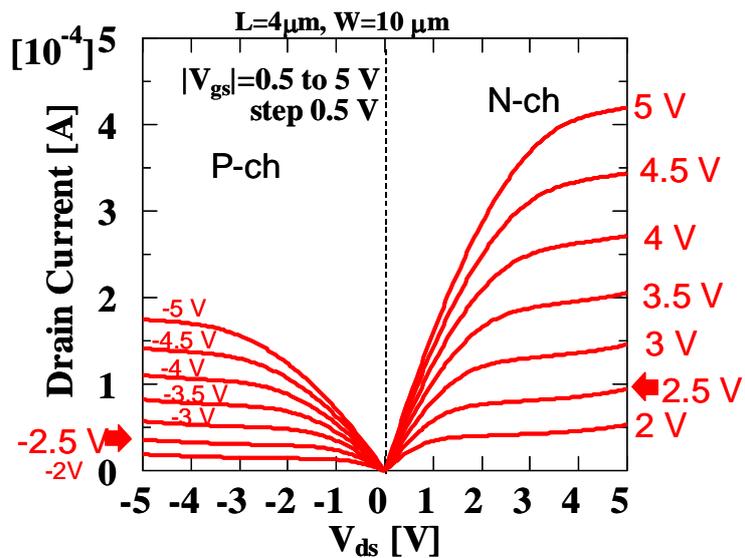


図 31 硝酸酸化法 1.8nm SiO₂/CVD 法 40nm SiO₂ のスタックゲート構造を持つ TFT の I_d-V_d 特性

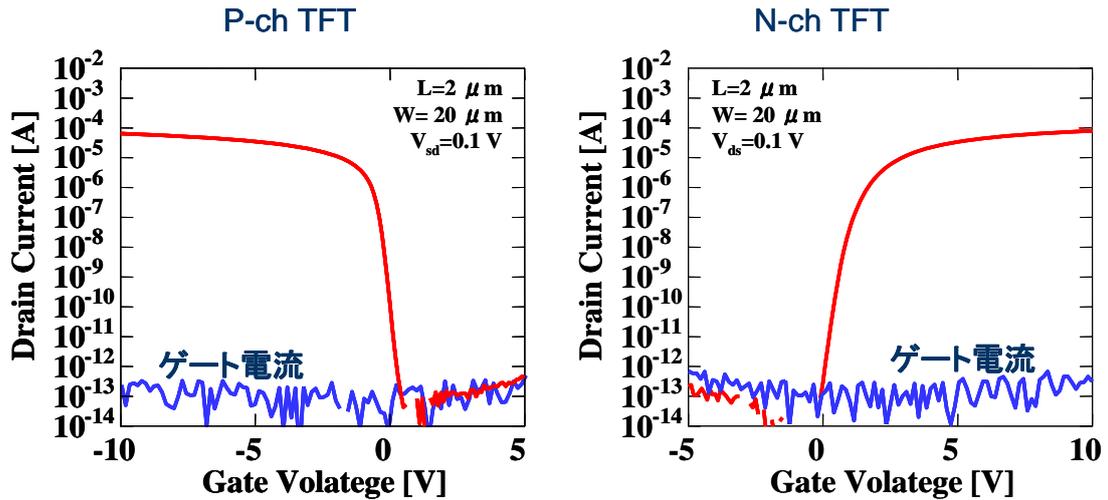


図 32 硝酸酸化法 1.8nm SiO₂/CVD 法 40nm SiO₂ のスタックゲート構造を持つ TFT の I_d-V_g 特性とゲートリーク電流

と比較して、低消費電力化率は 1/36 となった。

図 32 に、同スタックゲート構造を持つ TFT のドレイン電流-ゲート電圧 (I_d-V_g) 特性とゲート酸化膜を流れるリーク電流を示す。P-ch TFT と N-ch TFT 共に、急峻な立ち上がりを示した。両 TFT 共に、リーク電流は 10⁻¹³A 程度とノイズレベルであった。この結果は、硝酸酸化膜が効果的にリーク電流を遮断するために、その上に形成する CVD 酸化膜の膜厚を従来の半分である 40nm としても、十分に良好なリーク電流特性を持つことを示している。また、硝酸酸化法は直接酸化法であるため、CVD 酸化膜に比較して格段に良好な界面特性を持つために、急峻な I_d-V_g 特性が得られたと考えられる。

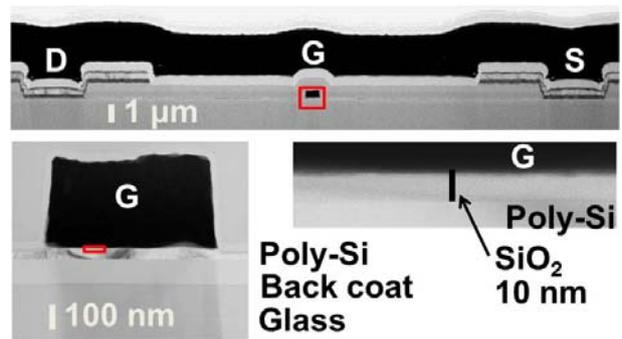


図 33 1.4nm 共沸硝酸酸化膜/10 nm CVD スタックゲート構造を持つ TFT の断面 TEM 像

以下、本プロジェクトで達成した最も薄いゲート酸化膜厚である 10nm のゲート酸化膜厚を持つ TFT について記載する。

図 33 に、形成した TFT の断面 TEM 像を示す。~10 nm のゲート絶縁膜が形成されていることがわかる。

図 34 に、1.4nm 共沸硝酸酸化膜/10nm CVD SiO₂ 膜のスタックゲート構造を持つ TFT の閾値電圧を示す。N-ch TFT の閾値電圧は 0.2~0.4V、P-ch TFT では -0.3~-0.6V であった。このように低い閾値電圧のため、駆動電圧を以下に示すように 1 V まで低減することに成功している。ここでは、10nm という極薄ゲ

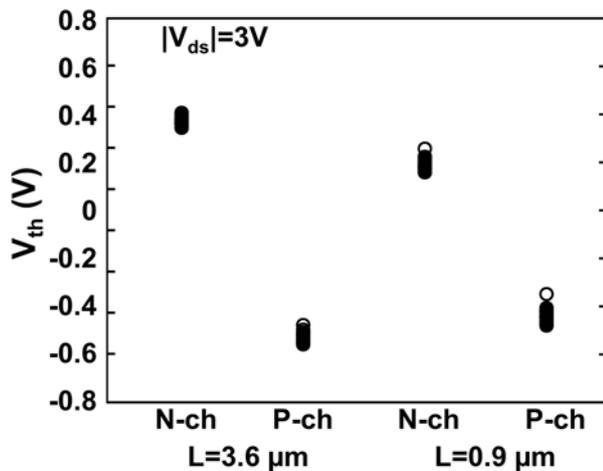


図 34 1.4nm 共沸硝酸酸化膜/10 nm CVD SiO₂ 膜のスタックゲート構造を持つ TFT の閾値電圧

ト酸化膜を用いているため TFT の微細化が可能となり、ゲート長 $0.9\mu\text{m}$ のサブミクロン TFT の創製ができています。

図 35 に、 1.4nm 共沸硝酸酸化膜/ 10nm CVD SiO_2 膜のスタックゲート構造を持つ TFT のドレイン電流-ドレイン間電圧 (I_d - V_{ds}) 曲線を示す。市販されている TFT の動作電圧 15V からこれを 3V 、 2V 、 1V と低下させても十分に大きな飽和電流と飽和電流特性を持ち、 1V 駆動が可能であることがわかる。前述したように、**TFT の消費電力は動作電圧の自乗に比例するため、 15V 駆動の従来 TFT に比較して、低消費電力化率は $1/225$ となる。**

図 36 に、 1.4nm 共沸硝酸酸化膜/ 10nm CVD SiO_2 膜のスタックゲート構造を持つ TFT のドレイン電流-ゲート電圧 (I_d - V_{gs}) 特性を示す。P-ch TFT では 0V 以上のゲート電圧で、N-ch TFT では -0.2V 以下のゲート電圧でのドレイン電流、すなわち off 電流は $10^{-7}\mu\text{A}$ とノイズレベル程度である。これは、硝酸酸化膜は 1.4nm と極薄であるがリーク電流を効果的に遮断しているためである。また、ドレイン電流はゲート電圧の増加に伴って急峻な立ち上がりを示しており、以下に示す sub-threshold swing (S 値) が小さいことがわかる。

図 37 に、 1.4nm 共沸硝酸酸化膜/ 10nm CVD SiO_2 膜のスタックゲート構造を持つ TFT の S 値を示す。S 値とは、図 36 に示すドレイン電流を一桁増加するために必要なゲート電圧の増加分で定義される。S 値は、N-ch TFT では $70\sim 80\text{mV/dec}$ 、P-ch TFT では約 $70/\text{dec}$ と室温での理論値 60mV/dec に近い値であった。このように良好な S 値は、1) ゲート酸化膜厚が 10nm と極薄である、2) 界面準位密度が低いためである。1)、2) が満たされている場合、ゲート電圧は有効にシリコンに印加されそのバンドベンディングが変化する結果、ドレイン電流が大きく増加する。

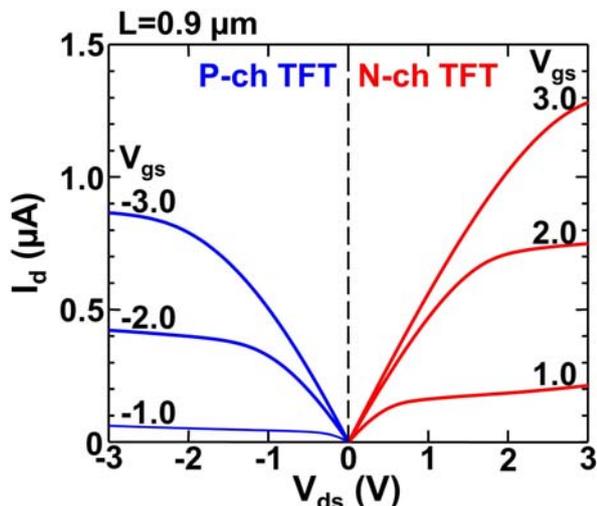


図 35 1.4nm 共沸硝酸酸化膜/ 10nm CVD SiO_2 膜のスタックゲート構造を持つ TFT の I_d - V_{ds} 曲線

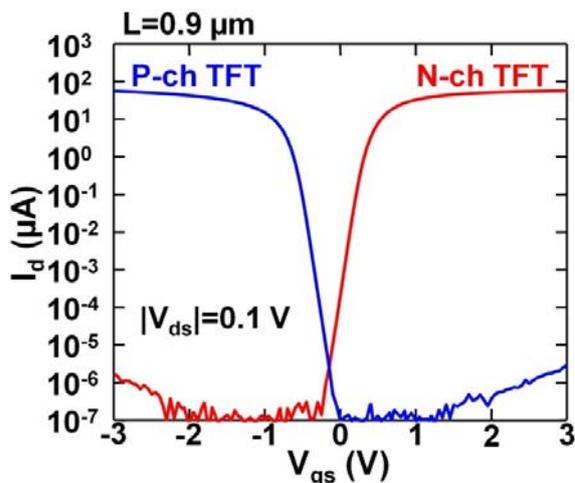


図 36 1.4nm 共沸硝酸酸化膜/ 10nm CVD SiO_2 膜のスタックゲート構造を持つ TFT の I_d - V_{gs} 特性

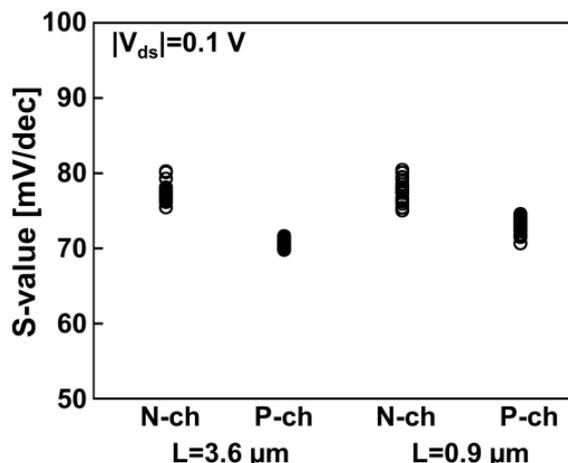


図 37 1.4nm 共沸硝酸酸化膜/ 10nm CVD SiO_2 膜のスタックゲート構造を持つ TFT の S 値

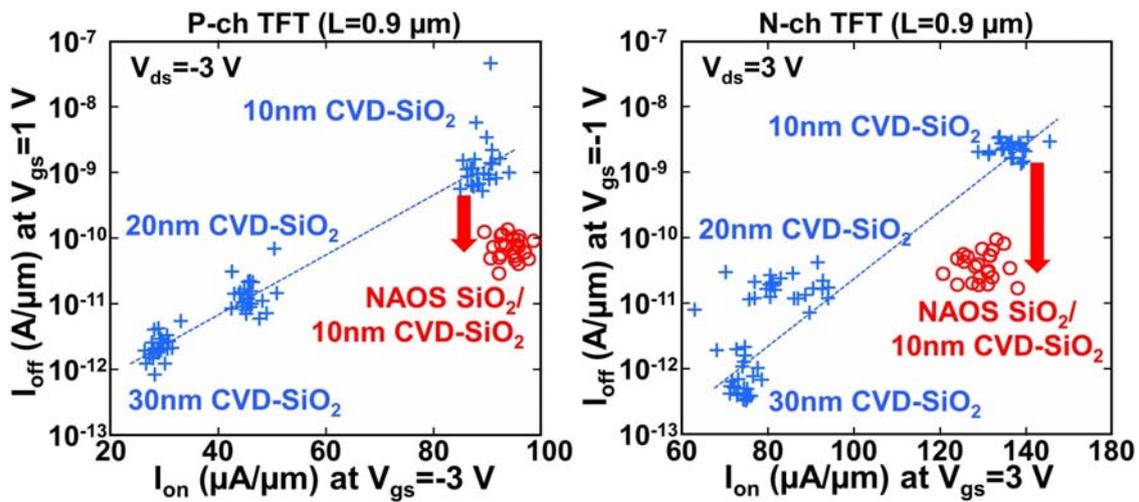


図 38 1.4nm 共沸硝酸酸化膜/10 nm CVD SiO₂膜のスタックゲート構造を持つ TFT のオン電流に対するオフ電流のプロット

図 38 に、1.4nm 共沸硝酸酸化膜/10 nm CVD SiO₂膜のスタックゲート構造を持つ TFT のオフ電流とオン電流の関係を示す。青色で示したプロットは、硝酸酸化膜を持たない TFT のオフ電流とオン電流の関係である。硝酸酸化膜を形成することによって、P-ch TFT ではオフ電流が約一桁、N-ch TFT では約二桁低減していることがわかる。このように、低いオフ電流を持つ結果、上に示したように 10⁹ という大きな on/off 比が得られている。硝酸酸化膜が効果的にリーク電流を遮断していることによって得られている結果である。

図 39 に、1.4nm 共沸硝酸酸化膜/10 nm CVD SiO₂膜のスタックゲート構造を持つ TFT のチャネル移動度を示す。N-ch TFT のチャネル移動度は 100~150cm²/Vs、P-ch TFT のチャネル移動度は約 100cm²/Vs とかなり大きいものであった。硝酸酸化膜の良好な界面特性、特に小さな界面準位密度は、大きなチャネル移動度に貢献しているものと思われる。

(2) 研究成果の今後期待される効果

以上示したように、硝酸酸化法を TFT に応用することによって、超低消費電力化と微細化を達成することに成功した。ここで用いた硝酸酸化膜/CVD 酸化膜スタックゲート構造 TFT は液晶デバイスのみならず、シリコン基板を用いない安価な基板を用いた高機能集積回路の創製に応用可能である。また、その低電圧高性能 TFT の特徴を生かして、有機 EL 駆動用 TFT にも展開できる。ポリシリコン TFT 以外にも、SiC

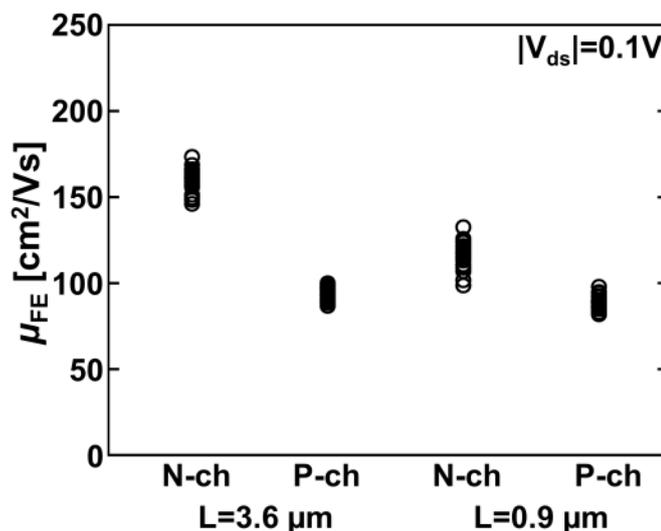


図 39 1.4nm 共沸硝酸酸化膜/10 nm CVD SiO₂膜のスタックゲート構造を持つ TFT のチャネル移動度

を用いるパワーデバイスや高周波デバイス、に広く応用でき、その良好な界面特性によってこれら半導体デバイスの高性能化を行うことができる。

10. メモリ・CPU 内蔵の超低消費電力 SDOG の研究開発 (シャープ今井グループ)

10-1. システムディスプレイの超低消費電力化の研究開発 (シャープ今井グループ、大阪大学小林グループ)

(1) 実施内容及び成果

システムディスプレイの超低消費電力化のために、CMOS 回路構成を基本として、マルチドライバ機能と表示リフレッシュ制御の低周波数化に取り組み、図 40 に示すように、マルチドライバ機能と表示リフレッシュ制御の両効果により、消費電力を 1/9(従来比)まで低減、そして、これら機能を

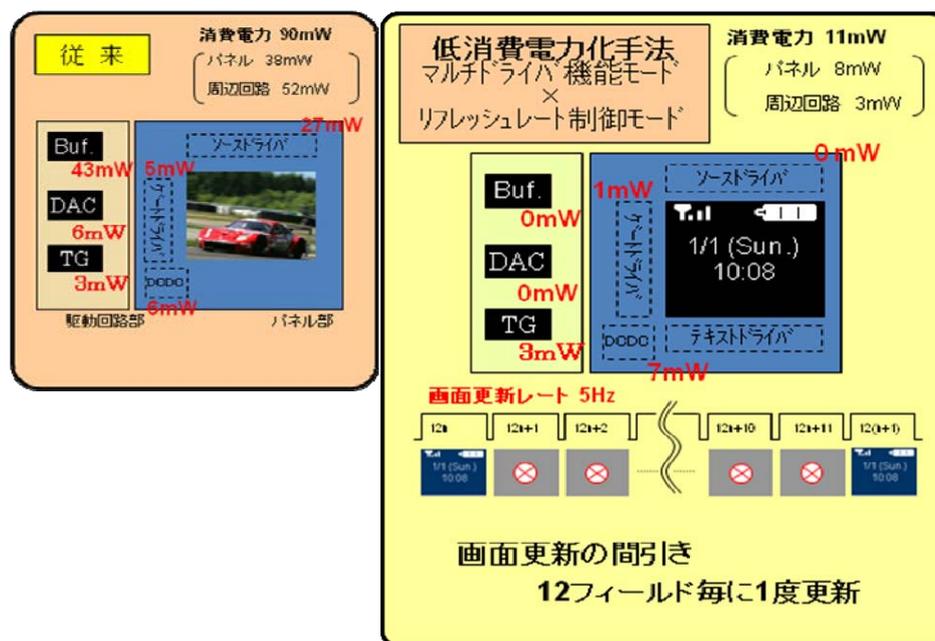


図 40 マルチドライバ機能とリフレッシュレート制御モードの利用による低消費電力化の効果実証

備えた 3V 動作の 2 型 QVGA TFT パネル基板の基本設計を行った。

以上を踏まえ、図 41 に示す 2 型 QVGA TFT 実パネルの 3V 動作版と 15V 動作版の回路設計、マスク設計、パネル試作を行った。これらのパネルの実動作(回路、表示)を目指し、TFT 基板試作ラインの設計ルールとの適合性検証とその試作、入手可能な低電圧液晶材料を用いて液晶モジュールの試作、その評価用システムの設計・製作を行い、TFT 回路、液晶表示の何れについても実機(デモシステム I)で 3V 回路完全動作と絵出しに成功した。最終年度の研究成果報告会にて、図 42 に示すように、その実機デモを行った。

デモシステム I : 硝酸酸化法を適用した 3V 動作超低消費電力液晶パネル

【ディスプレイ仕様】

- ・画面サイズ：2.0 型透過型
- ・解像度：QVGA (320×RGB×240 ドット)
- ・画素ピッチ：43×129 (μm)
- ・駆動方式：マルチドライバ+低リフレッシュレート
- ・消費電力：従来の 1/250 以下 (回路部分)
 - 低駆動電圧化により 1/25 以下、新規駆動回路採用により 1/10 以下
 - ディスプレイとして表示動作させるため TFT 動作電圧と見合う液晶材料を入手
- ・TFT ゲート絶縁膜構造：約 1.3 nm 硝酸酸化膜+CVD40nm 酸化膜の積層構造

【表示駆動回路仕様】

FPGA+ディスクリート回路による機能検証レベル

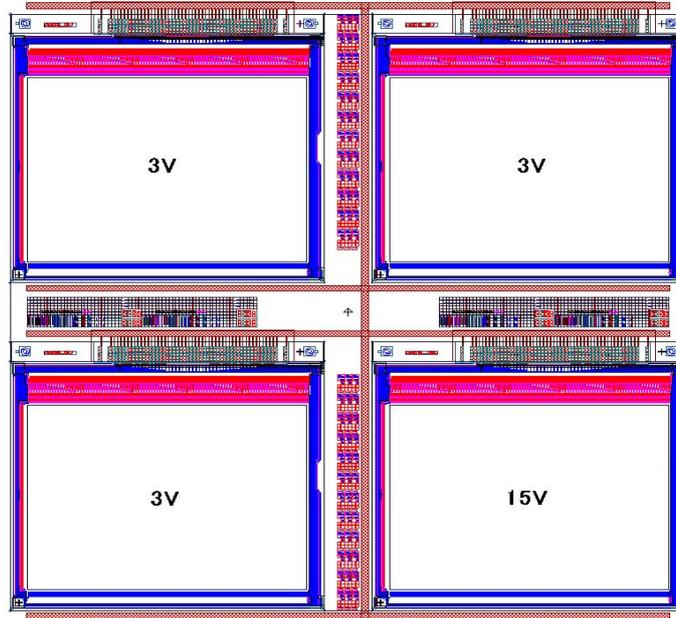


図 41 2型 QVGA パネル/TEG レイアウト (3V、15V 混載)

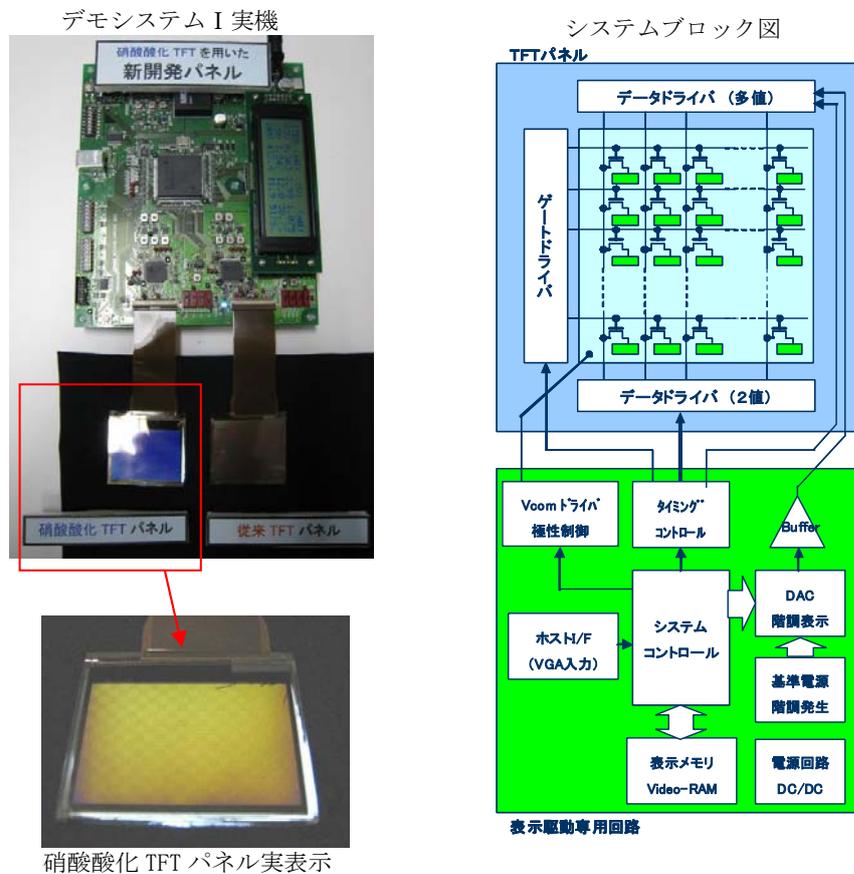


図 42 デモシステム I (硝酸酸化法を適用した 3V 動作液晶パネルの実動作)

(2) 成果の今後期待される効果

今回の試作により、TFT パネル回路の3Vの低電圧化の可能性、既存の低電圧液晶材料を用い低コントラストながらも表示を実証できた。今後、液晶材料の開発が進み、回路に見合う低電圧化が行われると、消費電力重視の携帯機器用ディスプレイとして市場に浸透していくことが期待される。

10-2. 超低消費電力化の画素メモリの研究・開発（シャープ今井グループ）

(1) 研究実施内容及び成果

従来の液晶ディスプレイの画素部は、TFT とキャパシタで構成され、ホスト側からパネル側に表示データを周期的に転送する必要があった。この表示データ転送のトラフィックの低減に着目し、画素部にメモリを組み込み、セルフリフレッシュを実現させることで、ホスト側データ転送回路を表示更新以外は停止させることで、更なる低消費電力が可能となる。また、リフレッシュレートの低周波数化、表示モードを透過型から反射型にして、バックライトの代わりに環境光を利用する技術も用いれば、大きく低消費電力化を低減させることが可能となる。以上を踏まえ、図 43 に示す表示システム全体を太陽電池からの給電で賄う実機（デモシステムⅡ）を製作し、低消費電力を実証、確認した。また、最終年度の研究成果報告会にて、実機デモを行った。

デモシステムⅡ：画素メモリを搭載した反射型超低消費電力液晶パネル

【ディスプレイ仕様】

- ・画面サイズ：1.35 型モノクロ反射型
- ・解像度：96×96 ドット
- ・新たな低消費電力駆動アーキテクチャ（回路部分）
パネル内部（画素）メモリ＋低リフレッシュ駆動＋低駆動電圧モノクロ液晶材料
- ・パネルに周辺回路を内蔵し、ホストとシンプル I/F
- ・パネル消費電力 < 1 mW

【表示駆動回路仕様】

- ・ワンチップマイコン：汎用 I/O ポート＋ソフトウェア
- ・消費電力低減：表示更新時のみ表示データ転送
- ・ホスト I/F 外部からのデータ受信表示

【システム電源仕様】

- ・太陽電池パネルによるスタンドアロン動作

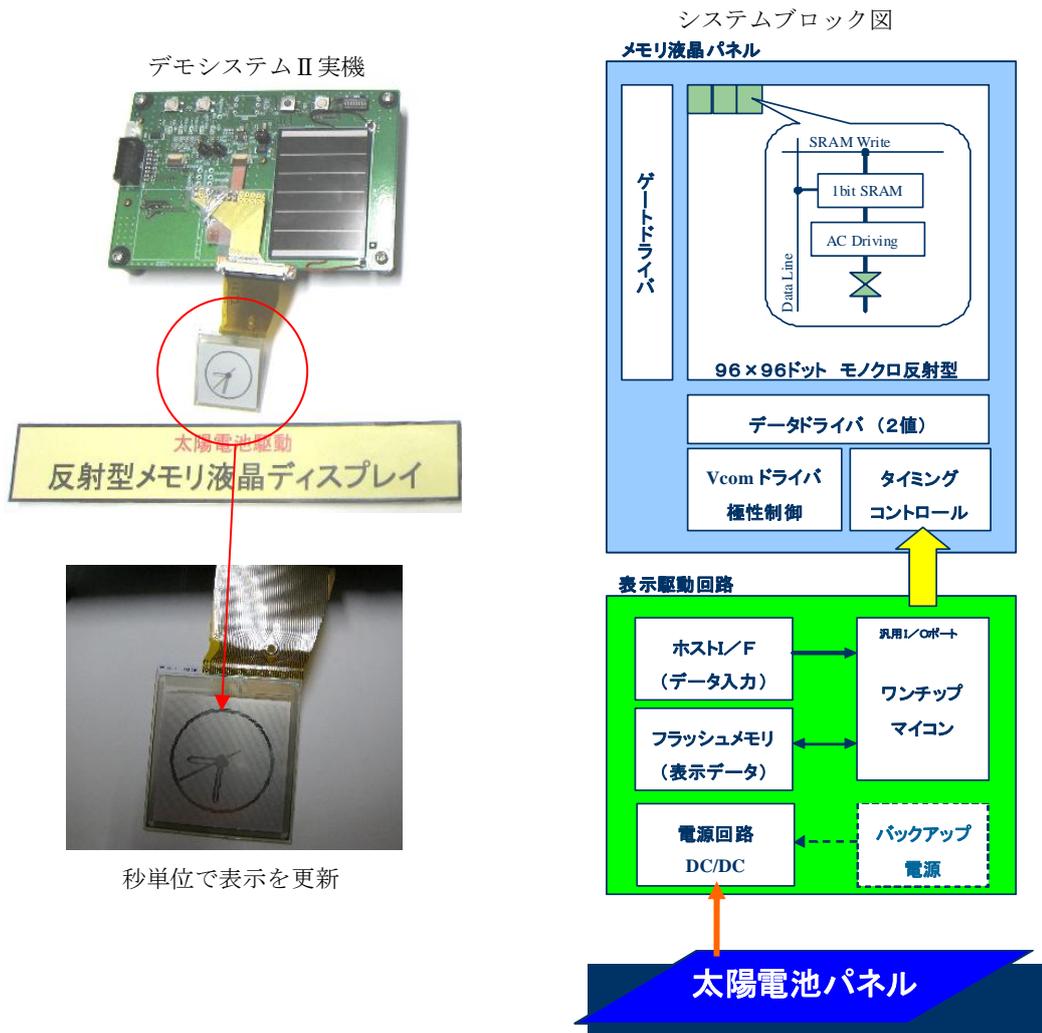


図 43 デモシステムⅡ（画素メモリを搭載した反射型超低消費電力液晶パネル）

(2) 研究成果の今後期待される効果

システムアーキテクチャ上の低消費電力化のアプローチとして、パネルの画素毎にメモリを持たせるディスプレイにより、表示システム全体の消費電力を大きく抑え、太陽電池で電力を賄える可能性を今回の試作で確認できた。ディスプレイの回路素子(TFT)を硝酸酸化法により高性能化することで、更なる小型携帯情報端末用に低消費電力化が可能となる。また、太陽電池で電力が賄える大画面ディスプレイに発展させることで、デジタルサイネージへの応用が期待される。

§ 5 成果発表等

(1) 原著論文発表(国内(和文) 0件、国際(欧文)誌 55件)

1. K. Imamura, O. Maida, K. Hattori, M. Takahashi, and H. Kobayashi, Low temperature formation of SiO₂/Si structure by nitric acid vapor, *J. Appl. Phys.* **100**, 114910-1-114910-4 (2006).
2. Osamu Maida, Ken-ichi Fukayama, Masao Takahashi, Hikaru Kobayashi, Young-Bae Kim, Hyun-Chul Kim, and Duck-Kyun Choi, Interface states for HfO₂/Si structure observed by XPS measurements under bias, *Appl. Phys. Lett.* **89**(18), 122112-1-122112-3 (2006).
3. S.-S. Im, M. Takahashi, and H. Kobayashi, Room temperature formation of silicon oxynitride/silicon structure by use of electrochemical method, *J. Appl. Phys.* **100**, 044101-1-5 (2006).
4. Y.-L. Liu, M. Takahashi, and H. Kobayashi, Mechanism of Ni removal from Si materials by use of hydrogen cyanide aqueous solutions, *J. Electrochem. Soc.* **153**(5), G394-G398 (2006).
5. Asuha, S.-S. Im, M. Tanaka, S. Imai, M. Takahashi, and H. Kobayashi, Formation of 10~30 nm SiO₂/Si structure with a uniform thickness at ~120 °C by nitric acid oxidation method, *Surf. Sci.* **600**, 2523-2527 (2006).
6. N. Fujiwara, Y.-L. Liu, M. Takahashi, and H. Kobayashi, Mechanism of copper removal from SiO₂ surfaces by hydrogen cyanide aqueous solutions, *J. Electrochem. Soc.* **153** (5), G394-G398 (2006).
7. Y.-L. Liu, N. Fujiwara, H. Iwasa, M. Takahashi, S. Imai, and H. Kobayashi, Reaction of cyanide ions with copper on Si surfaces and its use for Si cleaning, *Surf. Sci.* **600**, 1165-1169 (2006).
8. H. Kobayashi, Asuha, S.-S. Im, S. Imai, and M. Takahashi, Nitric acid oxidation of Si method for the formation of high quality Si/SiO₂ structure at ~120 °C, *AJAM*, 104-108 (2006).
9. H. Kobayashi, Y.-L. Liu, A. Asano, Y. Yamashita, J. Ivanco, and M. Takahashi, Methods of observation and elimination of semiconductor defect states, *Solar Energy*, **80**, 645-652 (2006).
10. H. Kobayashi, T. Sakurai, Y. Yamashita, T. Kubota, O. Maida, and M. Takahashi, A method of observation of low density interface states by means of X-ray photoelectron spectroscopy under bias and passivation by cyanide ions, *Appl. Surf. Sci.* **252**, 7700-7712 (2006).
11. E. Pincik, H. Kobayashi, J. Rusnak, M. Takahashi, R. Brunner, M. Jergel, Passivation of Si and a-Si:H surfaces by thin oxide and oxy-nitride layers, *Appl. Surf. Sci.* **252** 7713-7721 (2006).
12. S. Imai, M. Fujimoto, Asuha, M. Takahashi, and H. Kobayashi, Formation of atomically smooth SiO₂/SiC interfaces at ~120 °C by use of nitric acid oxidation method, *Surf. Sci.* **600**, 547-550 (2006).
13. M. Takahashi, Y.-L. Liu, N. Fujiwara, H. Iwasa, and H. Kobayashi, Silicon cleaning and defect passivation effects of hydrogen cyanide aqueous solutions, *Solid State Commun.* **137**, 263-267 (2006).
14. E. Pincik, H. Kobayashi, R. Hajosy, H. Gleskova, M. Takahashi, M. Jergel, R. Brunner, L. Ortega, M. Kucera, M. Kral, and J. Rusnak, On interface properties of ultra-thin and very-thin oxide/a-Si:H structures prepared by oxygen based plasmas and chemical oxidation, *Appl. Surf. Sci.* **253**, 6697-6715 (2007).
15. E. Pincik, H. Kobayashi, M. Takahashi, R. Brunner, S. Jurecka, and J. Rusnak, On formation of thin SiO₂/a-Si:H interface when biased oxidized semiconductor surface interacts with plasma or liquid solution, *Cent. Eur. J. Phys.* **5**(3), 428-445 (2007).
16. S. Mizushima, S. Imai, Asuha, M. Tanaka, and H. Kobayashi, Nitric acid method for fabrication of gate oxides in TFT, *Appl. Surf. Sci.* **254**, 3685-3689 (2008).

17. M. Madani, Y.-L. Liu, M. Takahashi, H. Iwasa, and H. Kobayashi, SiC cleaning method by use of dilute HCN aqueous solutions, *J. Electrochem. Soc.* **155**(11) H895-H898 (2008).
18. W.-B. Kim, Asuha, T. Matsumoto, and H. Kobayashi, Ultrathin SiO₂ layer on atomically flat Si(111) surfaces with excellent electrical characteristics formed by nitric acid oxidation method, *Appl. Phys. Lett.* **93**, 072101-1-3 (2008).
19. E. Pincik, H. Kobayashi, R. Brunner, M. Takahashi, Yueh-Ling Liu, K. Imamura, M. Jergel, and J. Rusnák, Passivation of defect states in Si-based and GaAs structures, *Appl. Surf. Sci.* **254**, 8059-8066 (2008).
20. H. Kobayashi, K. Imamura, K. Fukayama, S.-S. Im, O. Maida, Y.-B. Kim, H.-C. Kim, and D.-K. Choi, Complete prevention of reaction at HfO₂/Si interfaces by 1 nm silicon nitride layer, *Surf. Sci.* **602**, 1948-1953 (2008).
21. S. Imai, S. Mizushima, Asuha, W.-B. Kim, and H. Kobayashi, Properties of thick SiO₂/Si structure formed at 120°C by use of two-step nitric acid oxidation method, *Appl. Surf. Sci.* **254**, 3685-3689 (2008).
22. H. Narita, M. Takahashi, H. Iwasa, and H. Kobayashi, Complete removal of copper contaminants on bare silicon surfaces by use of HCN aqueous solutions, *J. Electrochem. Soc.* **155**(2), H103-H107 (2008).
23. M. Takahashi, S.-S. Im, M. Madani, and H. Kobayashi, Nitric acid oxidation of 3C-SiC to fabricate MOS diodes with a low leakage current density, *J. Electrochem. Soc.* **155**(1), H47-51 (2008).
24. S.-S. Im, S. Terakawa, H. Iwasa, and H. Kobayashi, Nitric Acid Oxidation Method to Form SiO₂/3C-SiC Structure at 120 °C, *Appl. Surf. Sci.* **254**, 3667-3671 (2008).
25. M. Takahashi, Y.-L. Liu, H. Narita, and H. Kobayashi, Si cleaning method without surface morphology change by cyanide solutions, *Appl. Surf. Sci.* **254**, 3715-3720 (2008).
26. E. Pincik, R. Brunner, H. Kobayashi, M. Takahashi, and M. Kucera, Photoluminescence of very thin oxide/a-Si:H structures passivated in HCN solutions, *Appl. Surf. Sci.* **254**, 3710-3714 (2008).
27. H. Tsuji, Y. Kamakura, and K. Taniguchi, Extraction of the Density of Interface Trap States in Thin-Film Transistors, *ECS Transactions* **16**, 73-77 (2008).
28. K. Imamura, M. Takahashi, S. Imai, and H. Kobayashi, Band alignment of SiO₂/Si structure formed with nitric acid vapor below 500°C, *Surf. Sci.* **603**(7), 968-972 (2009).
29. M. Takahashi, T. Shishido, H. Iwasa, and H. Kobayashi, Passivation of defect states in surface and edge regions on pn-junction Si solar cells by use of hydrogen cyanide solutions, *Cent. Eur. J. Phys.* **7**(2), 227-231 (2009).
30. T. Matsumoto, Asuha, W.-B. Kim, M. Yamada, S. Imai, S. Terakawa, and H. Kobayashi, Low temperature formation of SiO₂ thin films by nitric acid oxidation of Si (NAOS) and application to thin film transistor (TFT), *Microelectron. Eng.* **86**, 1939-1941 (2009).
31. P. Bury, H. Kobayashi, M. Takahashi, K. Imamura, P. Sidor, and F. Cermobila, Acoustic spectroscopy and electrical characterization of SiO₂/Si structures with ultrathin SiO₂ layers formed by nitric acid oxidation, *Cent. Eur. J. Phys.* **7**(2), 237-241 (2009).
32. S. Jurecka, M. Jureckova, F. Chovanec, H. Kobayashi, M. Takahashi, M. Mikula, and E. Pincik, On the topographic and optical properties of SiC/SiO₂ surface, *Cent. Eur. J. Phys.* **7**(2), 321-326 (2009).
33. E. Pincik, H. Kobayashi, R. Brunner, M. Takahashi, J. Rusnak, and M. Jergel, On similar electrical, optical and structural properties of MOS structures prepared on a-Si:H/c-Si, porous silicon/c-Si, and c-Si, *Mater. Sci. Forum* **609**, 11-25 (2009).
34. J. Rusnak, M. Ruzinsky, K. Imamura, T. Matsumoto, M. Stefecka, M. Takahashi, H. Kobayashi, and E. Pincik, Investigation of deep interface traps in very-thin oxide/Si

- structures prepared at low temperatures using chemical solutions, *Mater. Sci. Forum* **609**, 123-127 (2009).
35. S. Jurecka, H. Kobayashi, M. Takahashi, R. Brunner, M. Madani, and E. Pincik, On topographic properties of semiconductor surfaces and thin film systems, *Mater. Sci. Forum* **609**, 275-279 (2009).
 36. W.-B. Kim, T. Matsumoto, and H. Kobayashi, Ultrathin SiO₂ layer with an extremely low leakage current density formed in high concentration nitric acid, *J. Appl. Phys.* **105**, 103709-1-6 (2009).
 37. R. Brunner, H. Kobayashi, M. Kucera, M. Takahashi, J. Rusnak, and E. Pincik, Photoluminescence of passivated a-Si:H, *Mater. Sci. Forum* **609**, 281-285 (2009).
 38. H. Tsuji, Y. Kamakura, and K. Taniguchi, Simple Extraction Method of Interface Trap Density in Thin-Film Transistors, *J. Electrochem. Soc.* **156**, H430-H433 (2009).
 39. H. Seo, Y.-B. Kim, G. Lucovsky, I.-D. Kim, K.-B. Chung, H. Kobayashi, D.-K. Choi, Enhanced leakage current properties of Ni-doped Ba_{0.6}Sr_{0.4}TiO₃ thin films driven by modified band edge state, *J. Appl. Phys.* **107**, 024109/1-7 (2010).
 40. K. Imamura, M. Takahashi, Asuha, Y. Hirayama, S. Imai, and H. Kobayashi, Nitric acid oxidation of SI method at 120 °C: HNO₃ concentration dependence, *J. Appl. Phys.* **107**(5), 054503-1-5 (2010).
 41. W.-B. Kim, M. Nishiyama, and H. Kobayashi, Removal of charging on SiO₂/Si structure during photoelectron spectroscopy measurements by metal overlayer, *J. Electron Spectroscopy Related Phenom.* **176**, 8-12 (2010).
 42. T. Yanase, M. Matsumoto, and H. Kobayashi, SiO₂/Si structure having low leakage current fabricated by nitric acid oxidation method with Si source, *Electrochem. Solid-State Lett.* **13** (7), H253-H256 (2010).
 43. Y. Fukaya, T. Yanase, Y. Kubota, S. Imai, T. Matsumoto, and H. Kobayashi, Low temperature fabrication of 5~10 nm SiO₂/Si structure using advanced nitric acid oxidation of silicon (NAOS) method, *Appl. Surf. Sci.* **256**, 5610-5613 (2010).
 44. S. Jurecka, H. Kobayashi, M. Takahashi, T. Matsumoto, M. Jureckova, F. Chovanec, and E. Pincik, On the influence of the surface roughness onto the ultrathin SiO₂/Si structure properties, *Appl. Surf. Sci.* **256**, 5623-5628 (2010).
 45. P. Hockicko, P. Bury, P. Sidor, H. Kobayashi, M. Takahashi, and T. Yanase, Analysis of A-DLTS spectra of MOS structures with thin NAOS SiO₂, *Cent. Eur. J. Phys.* **9**, 242-249 (2010).
 46. R. Brunner, E. Pincik, H. Kobayashi, M. Kucera, M. Takahashi, and J. Rusnak, On photoluminescence properties of a-Si:H-based structures, *Appl. Surf. Sci.* **256**, 5596-5601 (2010).
 47. E. Pincik, H. Kobayashi, J. Rusnak, W. B. Kim, R. Brunner, L. Malinovsky, T. Matsumoto, K. Imamura, M. Jergel, M. Takahashi, Y. Higashi, M. Kucera, and M. Mikula, On ultra-thin oxide/Si and very-thin oxide/Si structures prepared by wet chemical process, *Appl. Surf. Sci.* **256**, 5757-5764 (2010).
 48. H. Kobayashi, K. Imamura, W.-B. Kim, S.-S. Im, and Asuha, Nitric acid oxidation of Si (NAOS) method for low temperature fabrication of SiO₂/Si and SiO₂/SiC structures, *Appl. Surf. Sci.* **256**, 5744-5756 (2010).
 49. T. Iwata, M. Matsumoto, S. Terakawa, and H. Kobayashi, Fabrication of Al₂O₃/Al structure by nitric acid oxidation at room temperature, *Cent. Eur. J. Phys.* **8**, 1015-1020 (2010).
 50. W.-B. Kim, T. Matsumoto, and H. Kobayashi, Ultrathin SiO₂ layer with a low leakage current density formed with ~100 % nitric acid vapor, *Nanotechnology* **21**, 115202-1-8 (2010).
 51. T. Matsumoto, Y. Kubota, M. Yamada, H. Tsuji, T. Shimatani, Y. Hirayama, S. Terakawa, S. Imai, and H. Kobayashi, Ultra-low power TFT with gate oxide fabricated by nitric acid oxidation method, *IEEE Electron Device Lett.* **31**, 821-823 (2010).

52. H. Tsuji, Y. Kamakura, and K. Taniguchi, Drain current model for thin-film transistors with interface trap states, *J. Appl. Phys.* **107**, 034502/1-5 (2010).
53. H. Tsuji, Y. Kamakura, and K. Taniguchi, Capacitance Model for Thin-Film Transistors with Interface Traps, *ECS Transactions* **33**, 105-109 (2010).
54. T. Fukushima, A. Ohnaka, M. Takahashi, H. Kobayashi, Fabrication of low reflectivity poly-crystalline Si surfaces by structure transfer method, *Electrochem. Solid-State Lett.*, **14**, B13-B15 (2011).
55. Y. Kubota, T. Matsumoto, S. Imai, M. Yamada, H. Tsuji, K. Taniguchi, S. Terakawa, H. Kobayashi, Sub-micrometer ultralow power TFT with 1.8 nm NAOS SiO₂/20 nm CVD SiO₂ gate stack structure, *IEEE Trans. Electron Dev.*, **58**, 1134-1140 (2011).
56. T. Matsumoto, Y. Kubota, S. Imai, H. Kobayashi, Nitric Acid Oxidation to Form a Gate Oxide Layer in Sub-Micrometer TFT, *ECS Transactions*, accepted

(2)その他の著作物(総説、書籍など)

1. 葛岡毅, 辻博史, 桐原正治, 鎌倉良成, 谷口研二, Poly-Si TFT における容量-電圧特性のシミュレーションによる解析, *IEICE Technical Report* **107**, 15-18 (2007).
2. 高橋昌男, 小林光, シリコン材料表面の金属除去用新洗浄溶液, *クリーンテクノロジー*, **18**(10), 42-46 (2008).
3. 松本健俊, アスハ, 今村健太郎, 小林光, 硝酸溶液を用いた Si 表面上への SiO₂酸化薄膜の低温形成と酸化膜の電気特性評価, *表面科学* **29**, 498-502 (2008).
4. 辻博史, 鎌倉良成, 谷口研二, 表面ポテンシャルを用いた薄膜トランジスタのドレイン電流モデル, *IEICE Technical Report* **109**, 19-22 (2009).
5. 鎌倉良成, 日昔崇, 辻博史, 谷口研二, Poly-Si TFT におけるゲート酸化膜へのホットホール注入と捕獲/放出特性の評価, *IEICE Technical Report* **109**, 35-38 (2009).
6. 小林 光, 青酸を利用した新発想の半導体洗浄技術, *化学*, **65**(8), 77 (2010).

(3)国際学会発表及び主要な国内学会発表

- ① 招待講演 (国内 4 件、国際 33 件)
1. H. Kobayashi(大阪大学), H. Narita, Y.-L. Liu, and M. Takahashi, Improvement of Si solar cell characteristics by use of new semiconductor defect passivation method, 2005' Qingdao International Forum for New Energy Materials and Technology Application, pp.24-33, Qingdao, China, Nov.24-27, 2005 .
 2. H. Kobayashi(大阪大学), Asuha, M. Tanakal, S. Lmai, and M. Takahashi, Low temperature formation of SiO₂/Si structure by use of nitric acid oxidation method and its application to thin film, 7th International Symposium on Eco-Materials Processing and Design, Chengdu, China, Jan. 8-11, 2006.
 3. H. Kobayashi(大阪大学), Nitric Acid oxidation of Si method for low temperature fabrication of Si/SiO₂ structure and its application to semiconductor, International Congress on Materials Science and Engineering 2006 (CISGM4), Algeria, May 2-4, 2006.
 4. M. Takahashi(大阪大学), Si defect passivation and cleaning method by use of new chemistry, International Congress on Materials Science and Engineering 2006 (CISGM4), Algeria, May 2-4, 2006.
 5. 小林 光(大阪大学), 第 10 回関西半導体解析技術研究会、新規半導体化学プロセスの開発と半導体デバイスの高性能化、門真、2006 年 5 月 19 日.
 6. H. Kobayashi(大阪大学), Two-step nitric acid oxidation of Si and SiC (NAOS) method for the formation of SiO₂/Si and SiO₂/SiC structures at 120 °C, 5th Solid State Surfaces and Interfaces, Slovak Republic, Nov. 19-24, 2006.
 7. M. Takahashi(大阪大学), Semiconductor surface cleaning and passivation by the

- chemical treatment in solutions of hydrogen cyanide, 5th Solid State Surfaces and Interfaces, Slovak Republic, Nov. 19-24, 2006.
8. H. Kobayashi(大阪大学), Two-step nitric acid oxidation of Si and SiC (NAOS) method for the formation of SiO₂/Si and SiO₂/SiC structures at 120 °C, 5th Solid State Surfaces and Interfaces, Slovak Republic, Nov. 19-24, 2006.
 9. M. Takahashi(大阪大学), Semiconductor surface cleaning and passivation by the chemical treatment in solutions of hydrogen cyanide, 5th Solid State Surfaces and Interfaces, Slovak Republic, Nov. 19-24, 2006.
 10. H. Kobayashi(大阪大学), New defect passivation method for solar cells, The 8th International Symposium on Eco-Materials Processing and Design, Kitakushu, Japan, Jan. 11-14, 2007.
 11. 小林 光(大阪大学), LSI 作製に関わる革新的技術、世界と共に発展するための中核技術、IMAGINE セミナー、大阪、2007年3月8日～9日。
 12. H. Kobayashi(大阪大学), Asuha, T. Mastsumoto, and M. Takahashi, Osaka University, Nitric acid oxidation of Si and SiC for the low temperature fabrication of MOS structure, 5th International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 16-19, 2007.
 13. E. Pinčík(スロバキア科学アカデミー), H. Kobayashi, R. Brunner, M. Takahashi, Y.-L. Liu, K. Imamura, and J. Rusnák, On formation and passivation of defect states in Si- and GaAs-based semiconductor structures, 5th International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 16-19, 2007.
 14. M. Takahashi(大阪大学), Y.-L. Liu, and H. Kobayashi, Surface chemistry in Si cleaning with cyanide solutions, 5th International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 16-19, 2007.
 15. H. Kobayashi(大阪大学), M. Takahashi, and H. Iwasa, Defect passivation etch-less cleaning for semiconductor devices: Zero emission process. International Symposium on Advanced Ceramics and Technology for Sustainable Energy Applications, Pingtung, Taiwan, Nov. 4-7, 2007.
 16. H. Kobayashi(大阪大学), Improvement of solar cell and MOS characteristics by new defect passivation and metal removal method, 9th International Symposium on Eco-materials Processing and Design, Masan, Korea, Jan. 10-14, 2008.
 17. Y. Kamakura(大阪大学), Y. Kishida, T. Kuzuoka, H. Tsuji, S. Ikeda, Y. Shimizu, M. Kirihara, M. Morifuji, Y. Uraoka, and K. Taniguchi, "Simulation and Modeling for Small Signal AC Properties of Poly-Si TFTs (Invited)," 2007 The Fourteenth International Workshop on Active-Matrix Flatpanel Displays and Devices —TFT Technologies and Related Materials— (July 11–13, 2007) Hyogo, Japan.
 18. H. Kobayashi(大阪大学), Nitric acid oxidation of Si at 120°C to fabricate MOS Structure with excellent electrical characteristics, 1st International Conference on Thin Films and Porous Materials, Zeralda, Algiers, May 19-22, 2008.
 19. M. Takahashi(大阪大学), Surface cleaning and defect passivation by the use of cyanide solutions, 1st International Conference on Thin Films and Porous Materials, Zeralda, Algiers, May 19-22, 2008.
 20. 小林 光(大阪大学), シリコン系太陽電池の欠陥制御と高効率化, 日本化学会東京講演会, 東京, 2008年6月27日。
 21. H. Kobayashi(大阪大学), Low temperature nitric acid oxidation of Si (NAOS) for fabrication of gate oxides in LSI and TFT, The 1st International Symposium on Hybrid Materials and Processing, Busan, Korea, Oct. 27-29, 2008.
 22. H. Kobayashi(大阪大学), One-step and two-step NAOS methods for fabrication of SiO₂/Si structure with excellent electrical characteristics, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 23. M. Takahashi(大阪大学), Passivation of defect states in surfaces and edge regions on

- pn-junction Si solar cells by use of hydrogen cyanide solutions, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
24. H. Kobayashi(大阪大学), T. Matsumoto, M. Yamada, S. Terakawa, S. Imai, Nitric acid oxidation of Si (NAOS) method for fabrication of ultra-low power thin film transistors, New Processing and Nanostructure/property Relationship for Multi Functional Materials, Awaji, Japan, Dec. 14-16, 2008.
 25. H. Kobayashi (大阪大学), Defect passivation etch-less cleaning method for improvement of Si solar cell characteristics, The 6th International Conference on High-Performance Ceramics, Harbin, China, Aug. 16-19, 2009.
 26. H. Kobayashi (大阪大学), Nitric acid oxidation of Si method for fabrication of Si/SiO₂ structure at 120°C and its application to thin film transistors, VI International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 13-16, 2009.
 27. M. Takahashi (大阪大学), Semiconductor surface cleaning by ppm order-defect passivation etchless solutions, VI International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 13-16, 2009.
 28. H. Kobayashi (大阪大学), Defect Passivation Etch-less Cleaning for Semiconductor Devices: Zero Emission Process, International Symposium on Advanced Ceramics and Technology for Sustainable Energy Application, Taipei, Taiwan, Nov. 1-4, 2009.
 29. H. Kobayashi (大阪大学), Nitric acid oxidation of Si (NAOS) method for the formation of gate oxides in TFT, Progress in Surface, Interface and Thin Film Science 2009, Florence, Italy, Nov. 16-19, 2009.
 30. M. Takahashi (大阪大学), Local structures around nickel contaminants on SiO₂ surfaces and mechanism of nickel removal by dilute hydrocyanic acid aqueous solutions, Progress in Surface, Interface and Thin Film Science 2009, Florence, Italy, Nov. 16-19, 2009.
 31. T. Matsumoto(大阪大学), T. Iwata. S. Terakawa and H. Kobayashi, Nitric acid oxidation of Al thin film to form Al₂O₃/Al structure at room temperature, Progress in Surface, Interface and Thin Film Science 2009, Florence, Italy, Nov. 16-19, 2009.
 32. H. Kobayashi (大阪大学), Chemical methods to improve Si solar cell characteristics, China-Japan-Korea 2010 Strategic Seminar on New Materials, Huhhot, China, Aug. 25-29, 2010.
 33. H. Kobayashi (大阪大学), M. Takahashi, T. Matsumoto, W.-B. Kim, New chemical methods improvement of Si solar cell performance, The 5th Meeting of the Saudi Physical Society, Abuha, Saudi Arabia, Oct. 25-27, 2010.
 34. 小林 光(大阪大学)、表面・界面制御によるシリコン太陽電池の高効率化、応用物理学会第39回薄膜・表面物理基礎講座、東京、2010年11月25日。
 35. H. Kobayashi (大阪大学), Improvement of Si solar cell performance by new chemical methods: surface passivation, defect elimination, metal removal, and surface structure transfer, 7th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 22-25, 2010.
 36. T. Matsumoto(大阪大学), M. Yamada, H. Tsuji, K. Taniguchi, Y. Kubota, S. Imai, S. Terakawa, H. Kobayashi, Characterization of ultra-low power thin film transistors (TFTs) with SiO₂ layer formed by the nitric acid oxidation of Si (NAOS) method, 7th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 22-25, 2010.
 37. S. Imai (シャープ), K. Imamura, T. Matsumoto, H. Kobayashi, Application of nitric acid oxidation of Si (NAOS) method to fabricate of thin film transistors, 7th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 22-25, 2010.

② 口頭講演 (国内 60件、国際 11件)

1. M. Takahashi(大阪大学), Y.-L. Liu, H. Narita, and H. Kobayashi, A new

- semiconductor cleaning method by the use of defect passivation etchless cleaning solutions, 208th Meeting of The Electrochemical Society, Los Angeles, California, U.S.A., Oct. 16-21, 2005.
2. 高橋昌男(大阪大学), アスハ, 田中祐士, 岩佐仁雄, 小林 光, 硝酸酸化法による低温生成 SiO_2 膜の微構造, 日本物理学会第 61 回年次大会, 27aYB-4, 松山, 2006 年 3 月 27 日~30 日.
 3. M. Madani(大阪大学), Y.-L. Liu, S.-S. I, M. Takahashi, H. Kobayashi, Control of SiC surfaces by the annealing in a hydrogen gas and the immersion in solutions of HCN, 26 回表面科学講演大会, 吹田, 2006 年 11 月 6 日-9 日.
 4. 高橋昌男(大阪大学), 深山権一, 毎田 修, 小林 光, 電圧印加時の XPS 測定による $\text{HfO}_2/\text{SiON}/\text{Si}$ 構造の界面準位, 第 67 回応用物理学会学術講演会, 草津, 2006 年 8 月 29 日-9 月 1 日.
 5. 成田比呂晃(大阪大学), 劉 玥伶, 高橋昌男, 小林 光, 欠陥消滅型半導体洗浄液による bare Si 上の Cu 汚染の除去, 第 67 回応用物理学会学術講演会, 草津, 2006 年 8 月 29 日-9 月 1 日.
 6. 任 星淳(大阪大学), 高橋昌男, 小林 光, 水素処理による SiC 表面の平滑化と SiO_2/SiC 構造の特性向上, 第 47 回真空に関する連合講演会, 吹田, 2006 年 11 月 7 日-9 日.
 7. 劉 玥伶(大阪大学), 成田比呂晃, 高橋昌男, 小林 光, シアン化物含有溶液による SiO_2 薄膜上の極微量吸着 Ni の除去, 第 25 回吸着分子の分光学的研究セミナー/第 7 回表面エレクトロニクス研究会, 守山, 2006 年 12 月 8 日.
 8. 高橋昌男(大阪大学), 任 星淳, アスハ, 小林 光, 120°C の硝酸水溶液中での SiC 上への酸化膜形成, 粉体粉末冶金協会平成 18 年度秋季大会, 吹田, 2006 年 12 月 5 日-7 日.
 9. 高橋昌男(大阪大学), 成田比呂晃, 劉 玥伶, 小林 光, 欠陥消滅型半導体洗浄液による bare Si 上の Cu 汚染の除去(2)表面形態制御, 第 54 回応用物理学関係連合講演会, 相模原, 2007 年 3 月 27-30 日.
 10. 今村健太郎(大阪大学), 深山権一, 高橋昌男, 小林 光, 低速電子衝撃法で形成した 1nm-SiN 層による HfO_2/Si 界面反応の完全防止, 第 54 回応用物理学関係連合講演会, 相模原, 2007 年 3 月 27-30 日.
 11. 高橋昌男(大阪大学), マダニモハマド, 任 星淳, アスハ, 小林 光, 硝酸酸化法で形成した SiO_2/SiC 構造の表面・界面: 水素処理の効果, 日本物理学会 2007 年春季大会, 鹿児島, 2007 年 3 月 18 日-21 日.
 12. 高橋昌男(大阪大学), 劉 玥伶, 宍戸 豪, 小林 光, 欠陥消滅型半導体洗浄液によるベアシリコン表面制御, 第 68 回応用物理学会学術講演会, 札幌, 2007 年 9 月 4 日~8 日.
 13. 浦郷将英(大阪大学), 今村健太郎, 松本健俊, 高橋昌男, 小林 光, 硝酸酸化法による多結晶シリコンの 120°C での酸化とリッジ低減, 第 68 回応用物理学会学術講演会, 札幌, 2007 年 9 月 4 日~8 日.
 14. 長山(大阪大学), 今村健太郎, 松本健俊, 高橋昌男, 小林 光, 硝酸酸化法を用いて 120°C で形成した $\sim 10\text{nm-SiO}_2/\text{Si}$ 構造の物性と電気特性, 第 68 回応用物理学会学術講演会, 札幌, 2007 年 9 月 4 日~8 日.
 15. 宍戸 豪(大阪大学), 高橋昌男, 劉 玥伶, 岩佐仁雄, 小林 光, 微少領域光電圧測定による太陽電池の光電変換特性の評価, 第 68 回応用物理学会学術講演会, 札幌, 2007 年 9 月 4 日~8 日.
 16. 高橋昌男(大阪大学), 成田比呂晃, 劉 玥伶, 岩佐仁雄, 小林 光, HCN 水溶液を用いる bare Si 表面上の吸着 Cu 除去とそのメカニズム, 第 27 回表面科学講演大会, 東京, 2007 年 11 月 1 日~3 日.
 17. 松本健俊(大阪大学), アスハ, 今村健太郎, 高橋昌男, 小林 光, 共沸硝酸を用いた

- Si 表面の低温酸化と酸化膜の電気特性, 第 27 回表面科学講演大会, 東京, 2007 年 11 月 1 日~3 日.
18. 高橋昌男(大阪大学), 劉 玥伶, 成田比呂晃, 小林 光, HCN 溶液によるシリコン表面上の吸着銅の完全除去と表面形態制御, 日本物理学会第 63 回年次大会, 東大阪, 2008 年 3 月 22 日~26 日.
 19. 金 佑柄(大阪大学), 松本健俊, 小林 光, 硝酸酸化法による低リーク電流を持つ極薄 SiO₂/Si(111)超平坦界面構造の創製, 日本物理学会第 63 回年次大会, 東大阪, 2008 年 3 月 22 日~26 日.
 20. マダニ・モハマド(大阪大学), 高橋昌男, 岩佐仁雄, 小林 光, 欠陥消滅型半導体洗浄液と RCA 洗浄液による 4H-SiC 上の金属汚染の除去, 第 55 回応用物理学関係連合講演会, 船橋, 2008 年 3 月 27 日~30 日.
 21. 金 佑柄(大阪大学), 松本健俊, 高橋昌男, 小林 光, 硝酸酸化法と水素処理で形成した低リーク電流の極薄 SiO₂/Si(111)構造, 第 55 回応用物理学関係連合講演会, 船橋, 2008 年 3 月 27 日~30 日.
 22. 松本健俊(大阪大学), 長山, 今村健太郎, 高橋昌男, 小林 光, 二段階硝酸酸化法による~10nm SiO₂/Si 構造の 120 μ mでの創製, 第 55 回応用物理学関係連合講演会, 船橋, 2008 年 3 月 27 日~30 日.
 23. 葛岡 毅(大阪大学), 辻 博史, 桐原 正治, 鎌倉良成, 谷口研二, Poly-Si TFT における容量-電圧特性のシミュレーションによる解析, 電子情報通信学会 シリコン材料・デバイス研究会 (SDM), 奈良, 2007 年 12 月 14 日.
 24. 日昔 崇(大阪大学), 辻 博史, 鎌倉良成, 谷口研二, 低温 Poly-Si TFT におけるリーク電流のヒステリシス特性, 第 55 回応用物理学関係連合講演会, 28a-G-7, 千葉, 2008 年 3 月 28 日.
 25. 辻 博史(大阪大学), 日昔 崇, 葛岡 毅, 鎌倉 良成, 谷口 研二, 多結晶シリコン薄膜トランジスタのモデリング, 応用物理学会 シリコンテクノロジー分科会 第 103 回研究集会, 東京, 2008 年 7 月 11 日.
 26. 金 佑柄(大阪大学), 松本健俊, 小林 光, 98%硝酸で形成した低リーク電流を持つ極薄 SiO₂/Si 構造, 第 69 回応用物理学会学術講演会, 愛知, 2008 年 9 月 2 日~5 日.
 27. 東 裕子(大阪大学), 高橋昌男, 岩佐仁雄, 小林 光, 極低濃度欠陥消滅型半導体洗浄液による SiO₂ 表面上の汚染 Cu の除去, 第 69 回応用物理学会学術講演会, 愛知, 2008 年 9 月 2 日~5 日.
 28. 柳瀬 隆(大阪大学), 高橋昌男, 松本健俊, 岩佐仁雄, 寺川澄雄, 小林 光, 新規の硝酸法による SiO₂/Si 構造の低温形成, 日本物理学会 2008 年秋季大会, 岩手, 2008 年 9 月 20 日~23 日.
 29. 高橋昌男(大阪大学), マダニ・モハマド, 劉 玥伶, 岩佐仁雄, 小林 光, HCN 水溶液による 4H-SiC 表面上の吸着金属の完全除去, 日本物理学会 2008 年秋季大会, 岩手, 2008 年 9 月 20 日~23 日.
 30. H. Tsuji(大阪大学), Y. Kamakura, and K. Taniguchi, Extraction of the Density of Interface Trap States in Thin-Film Transistors, Prime 2008 Joint International Meeting: the 214th ECS Meeting, and the 2008 Fall Meeting of ECSJ, Honolulu, Hawaii, Oct. 12-17 2008.
 31. W.-B. Kim(大阪大学), T. Matsumoto, and H. Kobayashi, Ultrathin SiO₂/Si(111) structure with low leakage current density formed by nitric acid oxidation method, International Symposium on Surface Science and Nanotechnology, Tokyo, Japan, Nov. 9-13, 2008.
 32. M. Madani(大阪大学), Y.-L. Liu, M. Takahashi, H. Iwasan and H. Kobayashi, SiC cleaning method by use of dilute HCN aqueous solutions, International Symposium on Surface Science and Nanotechnology, Tokyo, Japan, Nov. 9-13, 2008.
 33. M. Takahashi(大阪大学), Y. Higashi, H. Iwasa, and H. Kobayashi, Semiconductor

- cleaning by use of hydrocyanic acid solutions with extremely low concentrations, International Symposium on Surface Science and Nanotechnology, Tokyo, Japan, Nov. 9-13, 2008.
34. P. Bury (ギリナ大学), H. Kobayashi, M. Takahashi, P. Sidor, and P. Hockicko, Acoustic spectroscopy of Si/SiO₂ structures with ultrathin SiO₂ layers formed with nitric acid oxidation, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 35. 松本健俊(大阪大学), 金 佑柄, 長山, 今村健太郎, 高橋昌男, 小林 光, 硝酸酸化法と欠陥消滅型洗浄法を用いた新規半導体デバイスの開発, 表面・界面スペクトロスコピー2008, 大阪, 2008年12月5~6日.
 36. 東 裕子(大阪大学), 高橋昌男, 岩佐仁雄, 小林 光, 極低濃度欠陥消滅型半導体洗浄液によるSiO₂表面上の汚染Cuの除去, 表面・界面スペクトロスコピー2008, 大阪, 2008年12月5~6日.
 37. 柳瀬 隆(大阪大学), 松本健俊, 小林 光, 新規硝酸酸化法による低リーク電流をもつSiO₂/Si構造の低温形成, 第56回応用物理学関係連合講演会, つくば, 2009年3月30日~4月2日.
 38. 金 佑柄(大阪大学), 松本健俊, 小林 光, 98%硝酸蒸気で形成した低リーク電流を持つ極薄SiO₂/Si構造, 第56回応用物理学関係連合講演会, つくば, 2009年3月30日~4月2日.
 39. 松本健俊(大阪大学), 山田幹浩, 長山, 寺川澄雄, 小林 光, 短時間共沸硝酸酸化法によりSi(100)上に形成した低リーク電流をもつ極薄酸化膜, 第56回応用物理学関係連合講演会, つくば, 2009年3月30日~4月2日.
 40. 金 佑柄(大阪大学), 西山雅祥, 小林 光, SiO₂/Si構造のSi 2pスペクトル: 金属オーバーレイヤーによるチャージングの防止, 第56回応用物理学関係連合講演会, つくば, 2009年3月30日~4月2日.
 41. T. Matsumoto(大阪大学), W.-B. Kim, T. Yanase, Y. Fukaya, Asuha, M. Takahashi and H. Kobayashi (大阪大学産業科学研究所), Low temperature formation of SiO₂ thin films by nitric acid oxidation of Si (NAOS) and application to thin film transistor (TFT), INFOS2009, Cambridge, UK, Jun. 29-Jul. 1, 2009.
 42. 高橋昌男(大阪大学), 岩佐仁雄, 小林 光, 希薄な欠陥消滅型半導体洗浄液によるSiO₂表面上の汚染ニッケル除去反応, 第70回応用物理学関係連合講演会, 富山, 2009年9月8日~11日.
 43. 松本健俊(大阪大学), 山田幹浩, 辻 博史, 寺川澄雄, 小林 光, 硝酸酸化を用いたゲート絶縁膜の形成による薄膜トランジスタの低電圧化, 第70回応用物理学関係連合講演会, 富山, 2009年9月8日~11日.
 44. M.K. Mazumder(大阪大学), W.-B. Kim, Asuha, T. Matsumoto and H. Kobayashi, Low temperature formation of ultrathin SiO₂ films on Si surfaces for gate oxide of transistors by nitric acid oxidation of Si (NAOS) method, The 17th Conference of Crystal Growth and Epitaxy, Lake Geneva, USA, Aug. 10-13.
 45. 金 佑柄(大阪大学), 松本健俊, 小林 光, 98%硝酸で形成した低リーク電流を持つ極薄SiO₂/Si構造, 2009年秋季日本物理学会応用物理学会学術講演会, 熊本, 2009年9月25日~28日.
 46. 岩田 隆(大阪大学), 松本健俊, 寺川澄雄, 小林 光, 硝酸酸化法によるAl₂O₃/Al構造の室温形成, 2009年秋季日本物理学会応用物理学会学術講演会, 熊本, 2009年9月25日~28日.
 47. 高橋昌男(大阪大学), 東 裕子, 劉 玥伶, 小林 光, HCN水溶液によるSiO₂表面の吸着Ni除去機構, 2009年秋季日本物理学会応用物理学会学術講演会, 熊本, 2009年9月25日~28日.
 48. 東 裕子(大阪大学), 高橋昌男, 岩佐仁雄, 小林 光, 稀薄なHCN水溶液を用いるSiO₂表面の汚染銅除去, 第29回表面科学会学術講演会, 東京, 2009年10月27日~29

- 日.
49. 林 淳一(大阪大学), 辻 博史, 鎌倉良成, 中辻広志, 藤原正弘, 北角英人, 谷口研二, チャージポンピング法を用いた 2 重ゲート poly-Si 薄膜 p-i-n ダイオードのトラップ評価, 薄膜材料デバイス研究会第 6 回研究集会, 京都, 2009 年 11 月 2 日~3 日.
 50. 辻 博史(大阪大学), 鎌倉良成, 谷口研二, 表面ポテンシャルを用いた薄膜トランジスタのドレイン電流モデル, 応用物理学会 シリコンテクノロジー分科会 第 116 回研究集会, 東京, 2009 年 11 月 12 日~13 日.
 51. 鎌倉良成(大阪大学), 日昔 崇, 辻 博史, 谷口研二, Poly-Si TFT におけるゲート酸化膜へのホットホール注入と捕獲/放出特性の評価, 電子情報通信学会シリコン材料・デバイス研究会, 奈良, 2009 年 12 月 4 日.
 52. 太田俊史(大阪大学), 林 淳一, 辻 博史, 鎌倉良成, 谷口研二, Poly-Si TFT のターンオン過渡特性の評価とモデリング, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 17 日~20 日.
 53. 大仲亜由美(大阪大学), 高橋昌男, 岩佐仁雄, 小林 光, 金属触媒作用によるシリコン表面への構造転写と反射率の低減, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 17 日~20 日.
 54. 高橋昌男(大阪大学), 東 裕子, 岩佐仁雄, 小林 光, ppm オーダの HCN 水溶液による SiO₂ 表面の汚染銅除去: 銅の化学結合状態, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 20 日~23 日.
 55. 高橋昌男(大阪大学), 東裕子, 成田比呂晃, 岩佐仁雄, 小林光, 欠陥消滅型半導体洗浄液によるシリコン材料表面の汚染除去: 電子情報通信学会電子デバイス研究会, 石川, 2010 年 3 月 17 日~20 日.
 56. H. Kobayashi, New chemical method for improvement of Si solar cell efficiency, Nanofair 2010-Workshop „Commercialising Future Technologies for Energy and Energy Efficiency“, Dresden, Germany, Jul. 7-8, 2010.
 57. 松本健俊(大阪大学), 山田幹浩, 辻博史, モタハルマズンデル, 寺川澄雄, 今井繁規, 小林光, 硝酸酸化薄膜を界面層に用いた 20 nm 積層型ゲート絶縁膜とサブミクロンのゲート長を持つ超低消費電力型薄膜トランジスタの特性, 第 71 回応用物理学学会学術講演会, 長崎, 2010 年 9 月 14 日~17 日.
 58. 金佑柄(大阪大学), 松本健俊, 小林光, ~100%硝酸蒸気で形成した極薄 SiO₂/Si 構造の界面特性, 第 71 回応用物理学学会学術講演会, 長崎, 2010 年 9 月 14 日~17 日.
 59. 深谷洋介(大阪大学), 松本健俊, 柳瀬隆, 松本健俊, 小林光, 硝酸酸化 (NAOS) 法を用いた比較的厚い (~6 nm) SiO₂ 膜の低温創製, 第 71 回応用物理学学会学術講演会, 長崎, 2010 年 9 月 14 日~17 日.
 60. 高橋昌男(大阪大学), 東裕子, 岩佐仁雄, 小林光, HCN 水溶液による半導体表面清浄化: 10¹⁰ 原子/cm² オーダーの銅の化学状態解析, 物理学会 2010 年秋季大会, 大阪, 2010 年 9 月 23 日~26 日.
 61. 田中峻介, 趙惠淑, 松本健俊(大阪大学), 岩佐仁雄, 小林光, 気相硝酸酸化法により低温形成した SiO₂/Si 構造の物性と電気特性, 物理学会 2010 年秋季大会, 大阪, 2010 年 9 月 23 日~26 日.
 62. 趙惠淑(大阪大学), 松本健俊, 岩佐仁雄, 小林光, 気相硝酸酸化法を用いた SiO₂/SiC 構造の低温創製, 物理学会 2010 年秋季大会, 長崎, 2010 年 9 月 23 日~26 日.
 63. 松本健俊(大阪大学), 山田幹浩, 辻博史, 谷口研二, 久保田靖, 今井繁規, 寺川澄雄, 小林光, 硝酸酸化法により形成したゲート絶縁膜とこれを用いた超低消費電力サブミクロン薄膜トランジスタの特性評価, 第 30 回表面科学学術講演会, 大阪, 2010 年 11 月 4 日~6 日.
 64. 井川麻衣(大阪大学), 高橋昌男, 小林光, 太陽電池裏面電極用アルミニウムのシリコン基板との反応性, 第 30 回表面科学学術講演会, 大阪, 2010 年 11 月 4 日~6 日.
 65. 太田俊史(大阪大学), 辻博史, 鎌倉良成, 谷口研二, Poly-Si TFT のオーバーシュート

- 電流の評価, 薄膜材料デバイス研究会第7回研究集会, 奈良, 2010年11月5日~6日.
66. E. Pinčík(スロバキア科学アカデミー), H. Kobayashi, J. Rusnák, T. Matsumoto, M. Takahashi, R. Brunner, M. Jerger, 7th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 67. T. Matsumoto(大阪大学), M. Yamada, H. Tsuji, K. Taniguchi, Y. Kubota, S. Imai, S. Terakawa, H. Kobayashi, Ultra-low power TFTs with 10 nm stacked gate insulator fabricated by the nitric acid oxidation of Si (NAOS) method, 2010 International Electron Devices Meeting, San Francisco, US, Dec. 6-8, 2010.
 68. 井川麻衣(大阪大学), 高橋昌男, 小林光, 太陽電池電極用アルミニウムのシリコン基板との反応性, 第58回応用物理学関係連合講演会, 神奈川, 2011年3月24日~27日.
 69. 松本健俊(大阪大学), 山田幹浩, 辻博史, 谷口研二, 久保田靖, 今井繁規, 寺川澄雄, 小林光, 硝酸酸化法を用いて形成した10 nmの膜厚の積層型ゲート絶縁膜を持つ超低消費電力型薄膜トランジスタの創製, 第58回応用物理学関係連合講演会, 神奈川, 2011年3月24日~27日.
 70. 深谷洋介(大阪大学), 松本健俊, 小林光, 新規二段階硝酸酸化法によるゲート酸化膜の低温創製, 第58回応用物理学関係連合講演会, 神奈川, 2011年3月24日~27日.
 71. F.C. Franco Jr.(大阪大学), 金佑柄, 小林光, Stability of Nitric Acid Oxidized Silicon Wafers Evaluated by Microwave Photoconductance Decay Spectroscopy, 日本物理学会大66回年次大会, 新潟, 2011年3月25日~28日.

③ ポスター発表 (国内 13件、国際 34件)

1. S.-S. Im(大阪大学), M. Takahashi, and H. Kobayashi, Room temperature formation of silicon oxynitride/silicon structure by electrochemical method, The First International Workshop for R&D Clustering among China, Japan, Korea in Eco-materials Processing, Seoul, Korea, Nov. 10-13, 2005.
2. 任 星淳(大阪大学), 高橋昌男, アスハ, 小林 光, 硝酸酸化法により120°Cで創製したSiO₂/SiC構造の水素アニール, 第53回応用物理学関係連合講演会, 25a-P7-6, 東京, 2006年3月22日~26日.
3. M. Takahashi, (大阪大学) Asuha, K. Hattori, M. Tanaka, and H. Kobayash, Uniform SiO₂ layers formed by the nitric acid oxidation of silicon at low temperature, Symposium on hybrid nano materials toward future industries, Nagaoka, Japan, Feb. 3-5, 2006.
4. 今村健太郎(大阪大学), 高橋昌男, 服部研作, 毎田 修, 小林 光, 硝酸蒸気によるSiO₂/Si構造の低温創製(1), 第67回応用物理学学会学術講演会, 草津, 2006年8月29日-9月1日.
5. 高橋昌男(大阪大学), 今村健太郎, 服部研作, 毎田 修, 小林 光, 硝酸蒸気によるSiO₂/Si構造の低温創製(2), 第67回応用物理学学会学術講演会, 草津, 2006年8月29日-9月1日.
6. R. Brunner (スロバキア科学アカデミー), E. Pinčík, H. Kobayashi, M. Takahashi, M. Kučera, and J. Rusnák, Photoluminescence of passivated a-Si:H, 5th International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 16-19, 2007.
7. J. Rusnák(スロバキア科学アカデミー), E. Pinčík, M. Takahashi, R. Brunner, and M. Ružinský, New advanced charge version of deep level transient spectroscopy equipment and its application at investigation of passivated very thin oxide/silicon structures, 5th International Workshop on Semiconductor Surface Passivation, Zakopane, Poland, Sep. 16-19, 2007.
8. H. Kobayashi(大阪大学), S.-S. Im, M. Takahashi, and H. Nagasawa, Nitric acid oxidation of SiC for fabrication of 3C-SiC based MOS devices, International

- conference on Silicon Carbide and Related Materials 2007, Otsu, Japan, Oct. 14-19, 2007.
9. 辻 博史(大阪大学), 葛岡 毅, 日昔 崇, 鎌倉 良成, 森藤 正人, 谷口 研二, “Poly-Si TFT におけるしきい値電圧のドレイン電圧依存性の解析,” 薄膜材料デバイス研究会第4回研究集会, 京都, 2007年11月2日-3日.
 10. 桐原 正治(大阪大学), 池田 智, 鎌倉 良成, 谷口 研二, “デバイスのしきい値ばらつきに依らない差動増幅器,” 薄膜材料デバイス研究会第4回研究集会, 京都, 2007年11月2日-3日.
 11. H. Kobayashi(大阪大学), Improvement of Si solar cell characteristics by new defect passivation method, 5th 21st Century COE “Towards Creating New Industries Based on Inter-Nanoscience” International Symposium, Awaji, Japan, Dec. 8-9, 2007.
 12. M. Takahashi(大阪大学), S.-S. Im, Asuha, H. Kobayashi, Low temperature fabrication of 3C-SiC/SiO₂ MOS structures by nitric acid oxidation, 5th 21st Century COE “Towards Creating New Industries Based on Inter-Nanoscience” International Symposium, Awaji, Japan, Dec. 8-9, 2007.
 13. M. Madani(大阪大学), Y.-L. Liu, S.-S. Im, M. Takahashi, H. Kobayash, Improved Cleaning Method of SiC Using HCN Aqueous Solutions and 100 % H₂ Treatment, 5th 21st Century COE “Towards Creating New Industries Based on Inter-Nanoscience” International Symposium, Awaji, Japan, Dec. 8-9, 2007.
 14. Y. Ishikawa(大阪大学), Asuha, S. Imai, Masao Takahashi, Hikaru Kobayashi, Low Temperature Oxidation of 4H-SiC by Use of Nitric Acid Oxidation Method, 5th 21st Century COE “Towards Creating New Industries Based on Inter-Nanoscience” International Symposium, Awaji, Japan, Dec. 8-9, 2007.
 15. M. Takahashi(大阪大学), H. Narita, T. Shishido, H. Iwasa, and H. Kobayashi, Removal of copper adsorbates from silicon surfaces by the use of semiconductor cleaning solutions with capability of defect passivation, 11th SANKEN, 6th Nanotechnology Center, and 1st MSTEC International Symposium, Awaji, Japan, Feb. 2-4, 2008.
 16. T. Himukashi(大阪大学), H. Tsuji, Y. Kamakura, and K. Taniguchi, Hysteresis Characteristics of Off-State Leakage Current in Poly-Si Thin Film Transistors, The 2008 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 22-23, 2008.
 17. H. Tsuji(大阪大学), T. Kuzuoka, Y. Kamakura, and K. Taniguchi, Analysis and Modeling of Capacitance-Voltage Characteristics of Poly-Si TFTs using Device Simulation, 2008 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Hakone, Japan, Sep. 9-11 2008.
 18. T. Matsumoto(大阪大学), Asuha, S. Imai, S. Mizushima, M. Takahashi, J. Rusnák, K. Imamura, E. Pinčík, H. Kobayashi, Nitric Acid Oxidation of Si (NAOS) to Improve Si device characteristics and Application to Thin Film Transistors, 4th Handai Nanoscience and Nanotechnology International Symposium, Osaka, Japan, Sep. 29-Oct. 1, 2008.
 19. T. Himukashi(大阪大学), H. Tsuji, Y. Kamakura, K. Taniguchi, Mechanism of Hysteresis Characteristics of Off-State Leakage Current in Polycrystalline Silicon Thin-Film-Transistors, 4th Handai Nanoscience and Nanotechnology International Symposium, Osaka University, Osaka, Japan, Sep. 29-Oct. 1, 2008.
 20. H. Tsuji(大阪大学), T. Kuzuoka, Y. Kamakura, K. Taniguchi, Analysis of Capacitance-Voltage Characteristics of Short-Channel Polycrystalline Silicon Thin-Film Transistors, 4th Handai Nanoscience and Nanotechnology International Symposium, Osaka University, Osaka, Japan, Sep. 29-Oct. 1, 2008.
 21. 日昔 崇(大阪大学), 辻 博史, 鎌倉 良成, 谷口 研二, 低温 Poly-Si TFT のオフリーク電流におけるヒステリシス特性とそのメカニズム, 薄膜材料デバイス研究会第5回研究

- 集会, 奈良, 2008年10月31日-11月1日.
22. T. Matsumoto(大阪大学), W.B. Kim, J. Rusnák, K. Imamura, Asuha, S. Imai, E. Pinčík* and H. Kobayashi, Low temperature formation of SiO₂/Si structures for LSI and TFT by nitric acid oxidation of Si (NAOS) method, International Symposium on Surface Science and Nanotechnology, Tokyo, Japan, Nov. 9-13, 2008.
 23. R. Brunner (スロバキア科学アカデミー), H. Kobayashi*, M. Kučera, M. Takahashi*, M. Jergel, and E. Pinčík, Non-Gaussian photoluminescence peaks of thin a-Si:H layers, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 24. S. Imai (シャープ), K. Imamura, H. Kobayashi, HNO₃ concentration dependence of electrical characteristics of SiO₂/Si structure formed by NAOS method, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 25. M. Madani(大阪大学), Y.-L. Liu, M. Takahashi, H. Iwasa, and H. Kobayashi, SiC cleaning method by use of dilute HCN aqueous solutions, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 26. E. Pinčík(スロバキア科学アカデミー), H. Kobayashi, R. Brunner, M. Takahashi, K. Imamura, M. Kučera, T. Shishido, J. Rusnák, T. Matsumoto, M. Jergel, M. Madani, M. Mikula, M. Uragou, S. Jurečka, and M. Kopaný, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 27. J. Rusnák(スロバキア科学アカデミー), K. Imamura, T. Matsumoto, H. Kobayashi, and E. Pinčík, Investigation of very thin SiO₂/Si structures by charge version of DLTS using small excitation voltage steps, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 28. T. Yanase(大阪大学), M. Takahashi, T. Matsumoto, H. Iwasa, S. Terakawa, and H. Kobayashi, SiO₂/Si structure fabrication at low temperature by novel nitric acid method, 6th Solid State Surfaces and Interfaces, Smolenice, Slovakia, Nov. 24-27, 2008.
 29. T. Matsumoto(大阪大学), W.-B. Kim, T. Yanase, Y. Fukaya, Asuha, M. Takahashi, and H. Kobayashi, Nitric acid oxidation of Si (NAOS) method to form gate insulators in Si devices at 120°C, The 12th SANKEN International Symposium, Osaka, Jan. 22, 2009.
 30. Y. Higashi(大阪大学), M. Takahashi, H. Iwasa, and H. Kobayashi, New semiconductor cleaning method by use of ppm order HCN solutions, The 12th SANKEN International Symposium, Osaka, Jan. 22, 2009.
 31. H. Tsuji(大阪大学), Y. Kamakura, K. Taniguchi, Drain Current Model of Polycrystalline Silicon Thin-Film Transistors Including Influence of Interface Traps, 5th Handai Nanoscience and Nanotechnology International Symposium, Osaka, Japan, Sep. 1-3, 2009.
 32. T. Matsumoto(大阪大学), M. Yamada, H. Tsuji, S. Imai, S. Terakawa and H. Kobayashi, Stacked gate oxide in thin film transistors (TFTs) formed by three nitric acid oxidation of Si (NAOS) method, The 5th Handai Nanoscience and Nanotechnology International Symposium, Osaka, Japan, Sep. 1-3, 2009.
 33. T. Matsumoto(大阪大学), W.-B. Kim, T. Yanase, Y. Fukaya, Asuha, M. Takahashi and H. Kobayashi, Nitric acid oxidation of Si (NAOS) method to form gate insulators in Si devices at 120°C, International Symposium of Post-Silicon Materials and Devices Research Alliance Project, Osaka, Japan, Sep. 5-6, 2009.
 34. 辻 博史(大阪大学), 鎌倉良成, 谷口研二, 界面準位を考慮した多結晶シリコン薄膜トランジスタのドレイン電流モデル, 薄膜材料デバイス研究会第6回研究集会, 京都, 2009年11月2日~3日.
 35. S. Imai (シャープ), HNO₃ concentration dependence of electrical characteristics for SiO₂/Si structure fabricated by nitric acid oxidation method at 120°C, Progress in

- Surface, Interface and Thin Film Science 2009, Florence, Italy, Nov. 16-19, 2009.
36. W.-B. Kim (大阪大学), Electrical and physical properties of ultrathin (≤ 1.5 nm) SiO_2 layer fabricated with high concentration nitric acid (HNO_3), Progress in Surface, Interface and Thin Film Science 2009, Florence, Italy, Nov. 16-19, 2009.
 37. Y. Fukaya (大阪大学), Low temperature fabrication of thick SiO_2 layer using modified nitric acid oxidation of silicon (NAOS) method, Progress in Surface, Interface and Thin Film Science 2009, Florence, Italy, Nov. 16-19, 2009.
 38. 田中峻介(大阪大学), 松本健俊, 岩佐仁雄, 小林 光, 気相硝酸酸化法による ~ 3 nm SiO_2/Si 構造の低温創製, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 17 日 \sim 20 日.
 39. 松本健俊(大阪大学), 山田幹浩, 辻 博史, モタハルマズンデル, 寺川澄雄, 今井繁規, 小林 光, 硝酸酸化法によるゲート酸化膜の低温創成と薄膜トランジスタの超低消費電力化, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 17 日 \sim 20 日.
 40. T. Ota (大阪大学), H. Tsuji, Y. Kamakura, and K. Taniguchi, Evaluation of turn-on transient characteristics of poly-Si TFT, The 2010 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 13-14, 2010.
 41. T. Matsumoto M. Yamada, H. Tsuji, Y. Kubota, S. Imai, S. Terakawa, H. Kobayashi, Ultralow power thin film transistors (TFTs) with stacked gate oxide formed by the nitric acid oxidation of Si (NAOS) method, International Conference on Core Research and Engineering Science of Advanced Materials, Osaka, May. 30-Jun. 4, 2010.
 42. H. Kobayashi(大阪大学), T. Matsumoto, W.-B. Kim, M. Takahashi, New chemical methods for improving Si solar cell characteristics, Nanofair 2010-8th International Nanotechnology Symposium, Dresden, Germany, Jul. 6-7, 2010.
 43. H. Tsuji (大阪大学), Y. Kamakura, and K. Taniguchi, Capacitance Model for Thin-Film Transistors with Interface Traps, 218th ECS Meeting, Nevada, USA, Oct. 10-15, 2010.
 44. 趙惠淑(大阪大学), 松本健俊, 岩佐仁雄, 小林光, 気相硝酸酸化(NAVOS)法による $\text{SiO}_2/4\text{H-SiC}$ 構造の低温創製, SiC 及び関連ワイドバンドギャップ半導体研究会 第 19 回講演会, 茨城, 2010 年 10 月 21 日 \sim 22 日.
 45. 金昌鍋(大阪大学), 金佑柄, 高橋昌男, 小林光, 硝酸酸化法を用いる表面パッシベーション効果によるシリコン太陽電池の高効率化, 第 30 回表面科学学術講演会, 大阪, 2010 年 11 月 4 日 \sim 6 日.
 46. 趙惠淑(大阪大学), 松本健俊, 岩佐仁雄, 小林光, 気相硝酸酸化法により低温形成した SiO_2/Si 構造の低温創製, 第 30 回表面科学学術講演会, 大阪, 2010 年 11 月 4 日 \sim 6 日.
 47. 深谷洋介(大阪大学), 松本健俊, 柳瀬隆, 松本健俊, 小林光, 硝酸酸化 (NAOS) 法を用いた $5\text{-}10$ nm SiO_2/Si 構造の低温創製, 第 30 回表面科学学術講演会, 大阪, 2010 年 11 月 4 日 \sim 6 日.

(4)知財出願

①国内出願 (20 件)

1. “酸化膜の形成方法並びにその酸化膜を備えた半導体装置およびその製造方法”小林 光、国立大学法人大阪大学、2005/7/19 特願 2005-208133
2. “半導体上酸化膜の形成方法、高純度硝酸の再生方法およびその再生装置”小林 光、大田好郎、清水駿平、野崎 正、ピュアレックス、2005/9/30 特願 2005-313429
3. “絶縁膜形成方法、絶縁膜形成装置、半導体装置の製造方法、および半導体装置並びにシリコンカーバイドの基板の表面処理方法”小林 光、国立大学法人大阪大学、2006/8/08 特願 2006-215822
4. (3.の特願 2006-215822 の国優出願) “絶縁膜形成方法、絶縁膜形成装置、半導体装置の

- 製造方法、および半導体装置並びにシリコンカーバイドの基板の表面処理方法”小林光、国立大学法人大阪大学、2006/8/10 特願 2006-218012
5. “光半導体装置およびその製造方法”小林 光、清水裕一、国立大学法人大阪大学／株式会社K I T 2006/9/04 特願 2006-239646
 6. (2.の特願 2005-313429 の国優出願) “超高純度薬剤の再生方法及びその再生装置” 小林 光、大田好郎、清水駿平、野崎 正、ピュアレックス、2006/9/28 特願 2006-290507
 7. “半導体基板、半導体装置およびその製造方法”小林 光、2008/8/13 特願 2008-208398
 8. “半導体への絶縁性被膜の形成方法および半導体装置の製造方法” 小林 光、柳瀬 隆、小林 光、2008/9/02 特願 2008-224467
 9. “全差動増幅器” 桐原 正治、谷口 研二、 国立大学法人大阪大学、2008/11/21 特願 2008-298620
 10. “絶縁性被膜の形成方法および半導体装置の製造方法” 小林 光、柳瀬 隆、小林 光、2009/2/06 特願 2009-025764 (特願 2008-224467 の国内優先権主張出願)
 11. “絶縁膜の形成方法、半導体装置の製造方法および半導体装置の製造装置” 小林 光、小林 光、2009/3/27 特願 2009-77984
 12. “半導体基板の処理方法および半導体装置の製造方法” 小林 光、小林 光、2009/3/27 特願 2009-77985
 13. “半導体装置およびその製造方法” 小林 光、小林 光、2009/9/04 特願 2009-204471
 14. “転写用基板ならびに半導体装置及び半導体装置の製造方法” 小林 光、小林 光、2010/2/15 特願 2010-029643
 15. “絶縁膜の形成方法、半導体装置の製造方法および半導体装置の製造装置” 小林 光、小林 光、2010/2/16 特願 2010-030776 (特願 2009-077984 の国内優先権主張出願)
- 16～20 非公開

② 海外出願 (6 件)

1～6 非公開

(5)受賞・報道等

①受賞

②マスコミ (新聞・TV等) 報道

1. 2005 年 11 月 15 日、朝日新聞
発表テーマ 研究最前線インタビュー (小林 光)
発表概要
低温で良質の酸化膜を形成できる硝酸酸化法を新規開発し、リーク電流の大幅な低減に成功。LSI や TFT に応用可能。
2. 2006 年 6 月 17 日 読売新聞
発表テーマ 硝酸酸化法を開発
発表概要
LSI や TFT の微細化の障壁となっているゲート酸化膜のリークを大幅に減少可能とする硝酸酸化法という新しい薄膜形成法を開発し、リーク電流の低減に成功。
3. 2007 年 4 月 19 日 読売新聞
発表テーマ TFT の高性能化
発表概要
TFT の高性能化を達成するために、低温で薄膜を形成可能とする硝酸酸化法を開発
4. 2007 年 12 月 18 日 化学工業日報
発表テーマ シアノイオンで表面処理

発表概要

シアン化合物を用いて、室温の簡単な処理で欠陥消滅を簡便に行う方法を開発。

5. 2010年6月21日 時事ドットコム、MSN 産経ニュース

発表テーマ 半導体洗浄技術の開発

発表概要

シアン化水素水を用いて、金属汚染の除去と欠陥消滅の効果により、太陽電池発電効率を10%向上することに成功。

6. 2010年6月22日 毎日新聞、産経新聞、日刊工業新聞、日経産業新聞

発表テーマ 半導体洗浄技術の開発

発表概要

シアン化水素水を用いて、金属汚染の除去と欠陥消滅の効果により、太陽電池発電効率を10%向上することに成功。

7. 2010年6月28日 読売新聞

発表テーマ 太陽電池の金属汚染完全除去

発表概要

太陽電池の製造工程で付く微細な金属を除去する洗浄技術を開発し、長時間でも劣化せず変換効率が10%向上させる技術を開発。

8. 2010年10月13日 日刊工業新聞

発表テーマ 欠陥修復型半導体洗浄技術の開発

発表概要

半導体上の金属汚染を除去すると同時に、半導体にある欠陥準位を消滅する新しい技術を開発。

9. 2010年10月13日 日刊工業新聞

発表テーマ 半導体洗浄技術の開発

発表概要

シアン化水素水を用いて、金属汚染の除去と欠陥消滅の効果により、太陽電池発電効率を10%向上することに成功。

10. 2010年12月9日 朝日新聞、読売新聞、毎日新聞、日刊工業新聞、日経産業新聞

発表テーマ 硝酸酸化薄膜を用いた超低消費電力薄膜トランジスタの開発

発表概要

硝酸酸化法では、低温で電気特性の良好な SiO_2/Si 構造を形成できる。硝酸酸化法とは、68%以上の高濃度の硝酸にシリコンを浸すだけの簡単な方法であり、硝酸が分解して発生する原子状酸素や解離酸素イオン (O^-) がシリコンと直接反応して 120°C 以下の低温で二酸化シリコン (SiO_2) 膜が形成される。 120°C で形成される酸化膜にもかかわらず、 900°C で形成される熱酸化膜よりも良好な電気特性を持っている。本手法を用いて TFT のゲート酸化膜の膜厚を 10nm まで低減することに成功した。この結果、駆動電圧は 1V となり、現状の 12V 駆動の TFT に比較して消費電力は $1/144$ に低減することに成功し、さらに、微細化が可能となって、サブミクロン TFT を創製することに成功。

この硝酸酸化法を用いてシリコン太陽電池を高効率化することにも成功。本成果は2010年12月7日にアメリカで開催される国際学会 IEDM で発表。

(6) 成果展開事例

① 実用化に向けての展開

本プロジェクトで使用した欠陥消滅型半導体洗浄法については、JST の大学発ベンチャー推進事業に採択され、その終了と同時に 2007 年 4 月に大学発ベンチャー(株)KIT を設立した。

§ 6 研究期間中の主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
2005 年 12 月 2 日	半導体新規化学プロセス研究会	大阪大学	25 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2006 年 1 月 27 日	半導体新規化学プロセス研究会	大阪大学	25 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2006 年 3 月 10 日	半導体新規化学プロセス研究会	大阪大学	30 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2006 年 7 月 28 日	半導体新規化学プロセス研究会	大阪大学	25 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2006 年 11 月 17 日	サイエンスセミナー2006	大阪大学	50 名	奈良市立一条高校生を対象にした太陽電池ならびに半導体と光についての講義と実験ならびにCREST研究成果の公開[サイエンスパートナーシッププログラム(SPP)事業との提携]
2006 年 12 月 1 日	半導体新規化学プロセス研究会	大阪大学	22 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2007 年 3 月 23 日	半導体新規化学プロセス研究会	大阪大学	27 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2007 年 7 月 27 日	半導体新規化学プロセス研究会	大阪大学	30 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2007 年 11 月 16 日	サイエンスセミナー2007	大阪大学	50 名	奈良市立一条高校生を対象にした太陽電池ならびに半導体と光についての講義と実験ならびにCREST研究成果の公開[サイエンスパートナーシッププログラム(SPP)事業との提携]
2007 年 11 月 22 日	半導体新規化学プロセス研究会	大阪大学	26 名	CREST 研究成果と関連招待講演による会員企業への研究公開
2008 年 3 月 19 日	半導体新規化	大阪大学	24 名	CREST 研究成果と関連招待

	学プロセス研究会			講演による会員企業への研究公開
2008年8月1日	半導体新規化学プロセス研究会	大阪大学	28名	CREST研究成果と関連招待講演による会員企業への研究公開
2008年11月14日	サイエンスセミナー2008	大阪大学	50名	奈良市立一条高校生を対象にした太陽電池ならびに半導体と光についての講義と実験ならびにCREST研究成果の公開[サイエンスパートナーシッププログラム(SPP)事業との提携]
2008年12月12日	半導体新規化学プロセス研究会	大阪大学	22名	CREST研究成果と関連招待講演による会員企業への研究公開
2009年3月19日	半導体新規化学プロセス研究会	大阪大学	26名	CREST研究成果と関連招待講演による会員企業への研究公開
2009年8月21日	半導体新規化学プロセス研究会	大阪大学	20名	CREST研究成果と関連招待講演による会員企業への研究公開
2009年11月27日	サイエンスセミナー2009	大阪大学	50名	奈良市立一条高校生を対象にした太陽電池ならびに半導体と光についての講義と実験ならびにCREST研究成果の公開[サイエンスパートナーシッププログラム(SPP)事業との提携]
2009年12月11日	半導体新規化学プロセス研究会	大阪大学	25名	CREST研究成果と関連招待講演による会員企業への研究公開
2010年3月12日	半導体新規化学プロセス研究会	大阪大学	30名	CREST研究成果と関連招待講演による会員企業への研究公開
2010年11月12日	サイエンスセミナー2010	大阪大学	50名	奈良市立一条高校生を対象にした太陽電池ならびに半導体と光についての講義と実験ならびにCREST研究成果の公開[サイエンスパートナーシッププログラム(SPP)事業との提携]
2010年7月23日	半導体新規化学プロセス研究会	大阪大学	23名	CREST研究成果と関連招待講演による会員企業への研究公開
2010年12月17日	半導体新規化学プロセス研究会	大阪大学	20名	CREST研究成果と関連招待講演による会員企業への研究公開

§ 7 結び

CREST 提案時の目標であるシステムディスプレイの低消費電力化率 1/250 は、完全に達成することができた。極薄硝酸酸化膜/10nm CVD 酸化膜のスタックゲート構造を持つ TFT では、1V 駆動が可能であり、これ単独で低消費電力化率 1/225 を得ることができた。さらに、回路、システムアーキテクチャからのアプローチとして、静止画と動画部分を別々に駆動するマルチドライバ方式とリフレッシュレートを 60Hz から 5Hz まで低減することによって、低消費電力化率、1/9 を達成することができた。TFT 全体の低消費電力化率は、デバイス部分からの低消費電力化率とシステム部からのそれとの積になるため、**約 1/2000 の低消費電力化率が達成できたことになる**。さらに、画素メモリを用いる方式では、低消費電力化率 1/50 を達成できた。この場合、デバイス部からの低消費電力化率との積から、**1/10,000 以下の低消費電力化率が達成できたことになる**。

デモシステムについても、当初の目標を達成することができた。**硝酸酸化法を用いた世界初の 3V 駆動の液晶ディスプレイの創製に成功し**、デバイス部だけで約 1/40 の低消費電力化率を達成することができた。また、画素メモリを用いた液晶ディスプレイでは、反射型液晶と太陽電池を組み合わせ、外部からの電力を全く使用しない、すなわち**外部供給電力が零の液晶ディスプレイを創製することに成功した**。

本プロジェクトで開発した硝酸酸化法の利点は、低温で良好な電気特性を持つ SiO₂/Si 構造を形成できることにある。本プロジェクトでは、この利点を活かしてシステムディスプレイの超低消費電力化と TFT の微細化を行ったが、この技術は TFT に限らず種々の半導体製品に応用できる。

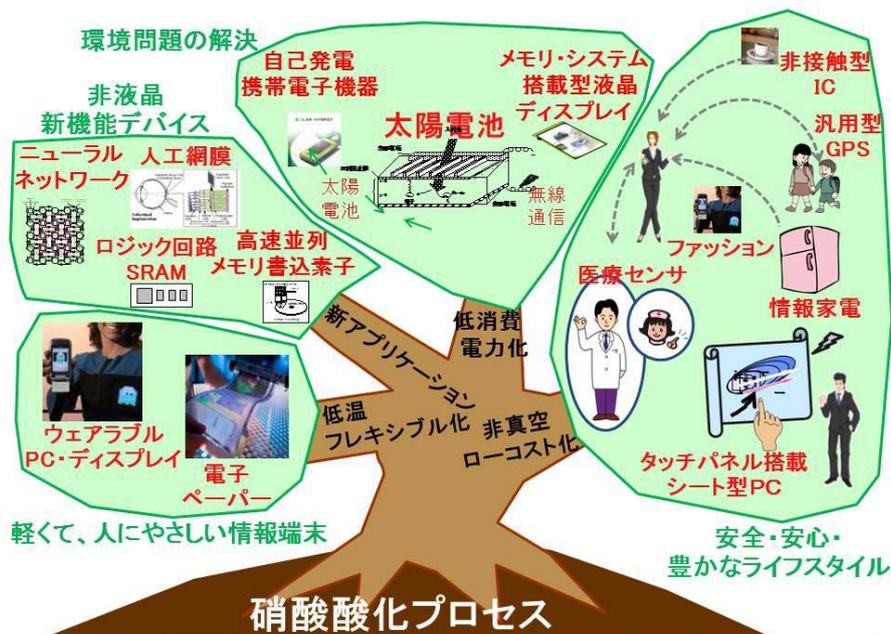


図 44 硝酸酸化プロセスの産業応用分野

例えば、硝酸酸化法を用いてシリコン表面を不活性化することによって、シリコン太陽電池を高効率化することができる。本プロジェクトで開発した共沸硝酸酸化法を用いてシリコン太陽電池を高効率化する研究は、我々が国内外の太陽電池メーカーと共同研究、共同開発を行っているのみならず、ヨーロッパ、オーストラリア、台湾、韓国などで盛んに研究がされている。

硝酸酸化法では、従来半導体製品の基板に使用することが困難であった PET などのプラスチック基板を使用できる。120°C の低温で酸化膜を形成できるからである。このメリットを活かして、電子ペーパーやウェアラブル PC・ディスプレイに利用することができる。さらに、図 44 に示すように、新情報端末や新アプリケーションデバイスや医療関係製品など種々の産業応用分野に利用できる可能性がある。

本プロジェクトでは、材料、プロセス、デバイス、回路、システムを統合的に研究することによって、システムディスプレイの超低消費電力化を行った。材料研究では、通常では研究室規模では扱え

ない大型のガラス基板上の多結晶シリコン薄膜を硝酸を用いて酸化する必要があった。このために開発した硝酸酸化装置を稼働させるために、硝酸が漏れないように気密性を確保し、金属汚染を防止するといった苦勞をする必要があった。そのお陰で、硝酸酸化装置に関して種々のノウハウを蓄積することができ、現在それらのノウハウを半導体装置メーカーに移転し実用化しようとしている。デバイス、回路、システムの研究では、我々3 グループのほか、マスク作製では HOYA に、TFT と液晶パネル試作では半導体エネルギー研究所に随分お世話になった。

最後に、研究室のグループ写真を載せる。これは、平成 22 年 9 月に韓国の Hanyang 大学と合同セミナーを行った際の写真である。

