

研究課題別事後評価結果

1. 研究課題名： しきい値電圧をプログラム可能な超低消費電力 FPGA の開発

2. 研究代表者名及び主たる研究参加者名（研究機関名・職名は研究参加期間終了時点）：

研究代表者

小池 帆平（（独）産業技術総合研究所ナノエレクトロニクス研究部門 グループ長）

主たる共同研究者

堤 利幸（明治大学理工学部情報科学科 准教授）

河並 崇（金沢工業大学情報学部情報工学科 講師）（平成 21 年 4 月～）

3. 研究実施概要

本研究課題では、少量多品種向け LSI として、スーパーコンピュータから各種情報家電まで幅広い分野で大量に利用されている FPGA(Field Programmable Gate Array:プログラム可能論理素子)の、漏れ電流に起因する静的消費電力を最小限にするために、FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とした超低消費電力 FPGA「Flex Power FPGA」を開発し、FPGA の静的消費電力を 100 分の 1 以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術を確立することを目指した。

この目標に向けて、Flex Power FPGA の概念を実証する、回路・面積等の改良や性能最適化する、しきい値制御粒度の細粒度化や面積オーバーヘッドの削減する、などを目的とした各実証チップを試作した。

これらにより、高低しきい値での漏れ電流削減効果は 1/18 に達したが、しきい値マップ後の消費電力削減効果は 1/4.8 にとどまることが判明した。その要因を詳細に分析し、対策した最終チップを 2011 年 9 月 20 日にテープアウトした。最終チップはより現実的なベンチマーク回路での正当な評価ができるようにフルチップ化(121 タイル×4LUT、しきい値制御ドメイン総数 6897)を行なうとともに、一部のしきい値制御ドメインがボトルネックとならないように制御粒度の細粒度化と均質化に注意を払いつつアーキテクチャの再設計を行った。また、以前のチップでやり残した、デバイスの動作の最適化を行い、納入され次第、消費電力削減効果の評価を行う予定である。事前に行なわれた回路シミュレーションでは、高低しきい値での漏れ電流削減効果が 1/56、消費電力削減効果も 1/46 に達している。このことから、現実的なベンチマーク回路での Flex Power FPGA による漏れ電流削減効果 1/30 は達成可能であると見込まれる。

チップ試作と並行し、Flex Power FPGA 用の独自のソフトウェアツールの開発を進めてきた。これまでに構築した、Flex Power FPGA 用のトータルな回路設計フローを用いて、ハードウェア記述言語(Verilog-HDL)で記述したテスト回路に対して論理合成を行い、その結果得られたネットリストに対して、パッキング、配置処理、配線処理、Vt マッピングを行い、チップに書き込むビットストリームファイルを生成させ、得られたビットストリームファイルを、チップに書き込み、既述した論理回路として正しく動作することを確認した。また回路シミュレーションでも正しく機能することを確認した。このことにより一通りの Flex Power FPGA 用ソフトウェアツールの開発を完了し、Flex Power FPGA 本格開発のためのハードウェア／ソフトウェアの両輪を揃えることができた。

さらに、将来の Flex Power FPGA の更なる低消費電力化を見越して、半導体微細化とともに問題が顕在化してきた半導体特性ばらつきを抑制する Robust Flex Power FPGA の基礎的検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する独創的な方法を提案して評価し、その成果を国際学会と国際学会誌で発表した。また、しきい値制御性の高い将来のデバイス技術、すなわち SOI トランジスタやダブルゲート MOS トランジスタを採用した Super Flex Power FPGA の設計を進めてきている。最終的には、これらの研究成果を総合して、静的消費電力を 1/100 にまで削減可能であることを示す予定である。

4. 事後評価結果

4-1. 研究の達成状況及び得られた研究成果(論文・口頭発表等の外部発表、特許の取得状況等を含む)

FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とすることによってリーク電流に起因す

る静的消費電力が削減できることを FPGA のフル機能を搭載した実験チップの試作と評価を通じて実証しようとする研究であり、当初は 1/100 までの削減可能性の実証を目指したが、進捗状況の中間評価を踏まえて、途中からより現実的な 1/30 までの削減効果実証を目指すこととした。

この本研究の基本的着想や FPGA 方式はすでに本研究の開始時には固まっており、本研究の意義はチップ試作を通じた効果の実証と実用化の可能性を示すことにあった。しかしながら何回かのチップ試作を経て問題解決の対策を施した最終チップの試作・評価が研究期間内には終了していない。従って、まだその結果が報告されていない現段階では、本研究の目指した成果が達成されたとは言いがたい。

最終チップに関する事前の回路シミュレーションで高低しきい値での漏れ電流削減効果が 1/56、消費電力削減効果も 1/46 に達していることが確認されたことは一応評価できるが、シミュレーションによる評価だけであれば本研究開始前の段階ですでに 1/30 まで削減できることが確認されており、これをもって満足すべき成果とは言えない。

試作チップによる効果の実証を目指した5年の研究を意義あるものとするため、試作した最終チップの評価結果および試作チップの評価を通じた実証研究の成果を、たとえ研究期間終了後であっても早期にまとめ、本領域の研究会や最終公開シンポジウム等の機会を通じて公表されることを強く望む。

また、試作チップによる効果実証と並んで本研究に対するもう一つの期待は実用化・産業化への展開であったが、企業との連携を模索する研究代表者をはじめとする関係者の努力にもかかわらず、諸般の事情で、期待した状況が生まれなかったことは残念であった。

一方、チップ試作と並行して提案方式の FPGA 用のソフトウェアツールを開発し、論理合成、パッキング、配置処理、配線処理、Vt マッピング、ビットストリームファイル生成、チップ書き込みまでを行うトータルな FPGA 設計フローを完成させたことは、今後の FPGA 本格開発への環境を整備したという意味で、その着実な取り組みと成果は高く評価できる。

基本的な部分の特許出願が行われていることは評価できるが、本研究が目指す産業化への展開を睨んだ特許戦略あるいはその活用へ向けた取り組みが十分に練られているとは必ずしも言えない。本研究成果の意義を最大にするためには知的財産権の専門家を交えた早期の検討も必要であろう。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

デジタル装置において FPGA の果たす役割は高まっており、しきい値の細粒度制御のアイデアには独創性があるので産業界へインパクトを及ぼすことが期待できるし、本研究提案を採択した大きな理由の一つもこの点にあった。残念ながら、まだ試作チップによる効果実証が未了であることに加えて、実用化に必要な検討や技術開発が十分に行われているとは言えない。また、技術の適用領域が限定され、明確であるにもかかわらず、産業界との接点が見られず、見通しも示されていない。

これまでの研究で明らかになった事実を基に実証研究を進め、実用化に成功すれば、社会へインパクトを与え、戦略目標に向けての貢献となる可能性はある。

4-3. 総合的評価

本研究は、FPGA にしきい値の細粒度制御を取り入れて静的電力消費の削減を図る基本アイデアには新規性があり、適用範囲が限定的ながら実用化に成功すれば産業へのインパクトも大きい研究として期待された。適用対象が明確で当初から実用化を目指した研究方針は評価できる。課題を一つ一つ着実に解決しようとする研究姿勢も評価できる。

しかし、基本的な回路アーキテクチャの設計、ソフトウェアツールの開発、チップの試作等を同時並行的に非常に少人数のチームで実施しようとした研究計画・体制に無理があったと思われる。このため、事前のシミュレーションで予測した結果を基にして目指した削減効果の試作チップによる実証を5年の研究期間内に終了できなかった。また、実用化へ向けた諸課題の検討、技術開発も十分ではなかった。結果として本提案採択の理由の一つであった実用化に向けた研究開発としては中途半端な結果になってしまったことは残念である。

一方、ソフトウェアツールの開発、チップ試作の過程で得られた個別の成果には、肯定的結果、否定的結果

を含めて、今後の超低消費電力 LSI の開発に有用な知見が数多く含まれている。これらの知見を最終チップの測定評価結果とともに早期にまとめ、公表されることを強く望む。