

戦略的創造研究推進事業 CREST
研究領域「情報システムの超低消費電力化を
目指した技術革新と統合化技術」
研究課題「しきい値電圧をプログラム可能な超低消
費電力 FPGA の開発」

研究終了報告書

研究期間 平成 18年 10月～平成 24年 3月

研究代表者：小池 帆平
((独)産業技術総合研究所 ナノエレ
クトロニクス研究部門 グループ長)

§ 1 研究実施の概要

(1) 実施概要

本研究課題では、少量多品種向け LSI として、スーパーコンピュータから各種情報家電まで幅広い分野で大量に利用されている FPGA (Field Programmable Gate Array: プログラム可能論理素子) の、漏れ電流に起因する静的消費電力を最小限にするために、FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とした超低消費電力 FPGA 「Flex Power FPGA」を開発し、FPGA の静的消費電力を 100 分の 1 以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術を確立することを目指している。

これまでに、Flex Power FPGA 実験チップを拡張して FPGA のフル機能を搭載し、FPGA としてのフル機能の動作を確認し、Flex Power FPGA の概念を実証することを目指した、「Flex Power FPGA 基本チップ」と、基本チップをさらに拡張して回路・面積等の改良や性能最適化を行ない、しきい値制御粒度の細粒度化や面積オーバーヘッドの削減や FPGA としての機能性の向上によって Flex Power FPGA のポテンシャルを実証することを目指した「Flex Power FPGA 改良チップ」、複雑なベンチマーク回路での評価の可能なフルチップ構成の「Flex Power FPGA 実証チップ」の開発を進めてきた。

改良チップ第1版は、90nmG プロセス技術を利用し、おおむね $5 \times 5\text{mm}$ のチップに、新規設計の FPGA 基本タイルが 6×6 に配置した FPGA アレイ部等を内蔵したものであり、コンフィギュレーションメモリの完全な SRAM 化、ボディバイアス制御用レベルシフタの内蔵、など、改良チップとしての性能面・機能面での改良を加えるとともに、設計の簡素化・簡略化、設計検証の徹底によって動作確実性の向上を図ったものとなっている。改良チップ第1版に対し、リングオシレータ回路、カウンタ回路などを書き込んで動作確認を行い、Flex Power FPGA 機能の全体について正しく動作することを確認し、Flex Power FPGA の概念実証に成功するとともに、消費電力削減効果を評価し、使用しているデバイス特性による制約はあるものの、 $1/2$ ないし $1/3$ 程度の消費電力削減効果が確認されたことを中間報告書で報告した。その後、電源 PAD 保護回路の漏れ電流の悪影響が含まれていることが判明し、これの補正により、消費電力削減効果は $1/4$ 程度であることがわかった。

引き続き開発した改良チップ第2版では、アーキテクチャ／回路は改良チップ第1版のものをそのまま引き継ぎつつ、デバイスのしきい値制御性を高めるために、半導体製造プロセスの変更を行った。その結果、高低しきい値での漏れ電流削減効果は $1/18$ に達したが、しきい値マップ後の消費電力削減効果は $1/4.8$ にとどまることが判明し、両者の乖離の原因として、アーキテクチャ上の問題点が表面化したため、その要因を詳細に分析した。

最後の試作となった実証チップでは、より現実的なベンチマーク回路での正当な評価ができるようにフルチップ化 ($121 \text{ タイル} \times 4\text{LUT}$ 、しきい値制御ドメイン総数 6897) を行なうとともに、一部のしきい値制御ドメインがボトルネックとならないように制御粒度の細粒度化と均質化に注意を払いつつアーキテクチャの再設計を行った。また、改良チップ第2版の設計が、本来異なるプロセス向けであった改良チップ第1版の設計を引きずったものであったのに対して、デバイスの動作の最適化を目指してじっくりと回路の再設計も行った。設計作業は、震災／電力制限／輪番休暇等のために3ヶ月の遅延が生じたが、慎重に設計検証を進めた上で、2011 年 9 月 20 日に無事テープアウトされ、11 月末に納入された。事前に行なわれた回路シミュレーションによる予備評価では、既存のバルク MOS デバイスを使用しているにも関わらず、高低しきい値での漏れ電流削減効果が $1/56$ にまで達しており、回路シミュレーションで扱える小規模回路での値ではあるが、しきい値マップ後の Flex Power FPGA による消費電力削減効果は $1/46$ に達している。引き続き行なった実チップを用いた評価でも高低しきい値での漏れ電流削減効果 $1/29$ 、チップサイズにちょうど見合った規模と複雑度を持った複数の MCNC ベンチマーク回路による現実的な評価において消費電力削減効果 $1/22.6$ を達成することができ、しきい値制御性の良好なデバイスの入手という大きな問題を抱えながらも、アーキテクチャの改良とデバイス動作の最適化により、Flex Power FPGA による漏れ電流削減効果の数値目標 $1/30$ に十分に肉薄できたと考えている。

一方、基本チップ、改良チップ、実証チップの開発と並行して、新たに Flex Power FPGA 用の独自のソフトウェアツールの開発を進めてきた。これまでに構築した、Flex Power FPGA 用のトータルな回路設計フローを用いて、ハードウェア記述言語(Verilog-HDL)で記述したテスト回路に対して論理合成を行い、その結果得られたネットリストに対して、改良チップ第1版/第2版、実証チップをターゲットとして、パッキング、配置処理、配線処理、Vt マッピングを行い、チップに書き込むビットストリームファイルを生成させ、得られたビットストリームファイルを、これまでに試作した改良チップ第1版/第2版に書き込み、既述した論理回路として正しく動作することが確認するとともに、実証チップの回路シミュレーションでも正しく機能することが確認できており、一通りの Flex Power FPGA 用ソフトウェアツールの開発を完了し、Flex Power FPGA 本格開発のためのハードウェア／ソフトウェアの両輪を揃えることができた。

さらに、将来の Flex Power FPGA の更なる低消費電力化を見越して、半導体微細化とともに問題が顕在化してきた半導体特性ばらつきを抑制する Robust Flex Power FPGA の基礎的検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する独創的な方法を提案して評価し、その成果を国際学会と国際学会誌で発表した。また、しきい値制御性の高い将来のデバイス技術、すなわち SOI トランジスタやダブルゲート MOS トランジスタを採用した Super Flex Power FPGA の設計を進めている。最終的には、これらの研究成果を総合して、静的消費電力を1/100 にまで削減可能であることを示す予定である。

(2) 顕著な成果

1. Flex Power FPGA 実証チップの開発

概要： 数年間に渡る段階的な試作を経て、複雑なベンチマーク回路を正しく動作させることのできるフルチップ構成の Flex Power FPGA 実証チップを開発し、デバイス動作を最適化した設計により、高低しきい値での漏れ電流削減 1/50、しきい値マップ後の漏れ電流削減 1/30 に肉薄する見込みである。

2. 実用レベルの Flex Power FPGA 向け専用 CAD ツールの独自開発

概要： Flex Power FPGA 試作チップに書き込んで回路を動作させることのできるコンフィギュレーションデータを正しく生成することのできる Flex Power FPGA 向け専用 CAD ツールを開発し、動作の検証、実用上の拡張などを進めた。これを用いて、しきい値マップでの低しきい値割合を評価するとともに、企業等への技術移転を進めた。

3. 半導体ばらつきへの対処の基礎技術を確立

概要： 今後の半導体の消費電力増大の要因となる半導体ばらつきの問題に対して、FPGA での新しい解決策を考案し、海外の学会・論文で発表し、好評を得た。また、考案したメカニズムを、実際に Flex Power FPGA 向け専用 CAD ツールに組み込み、利用可能とした。

§ 2. 研究構想

(1) 当初の研究構想

Flex Power FPGA について、アーキテクチャの検討、内部回路の検討、試作チップの設計・改良、省電力 CAD ソフトウェアの開発・改良にわたる研究を統合的に進め、実チップの試作と評価改良を繰り返すことによって、Flex Power FPGA の低消費電力性能を実証する。これらを通じて、実用レベルの Flex Power FPGA チップ・周辺ソフトウェアの開発を目指す。

さらに、Flex Power FPGA と、動的リコンフィギュラブル技術等の新たな技術を融合、FPGA の静的消費電力を従来の 100 分の 1 以下に削減することを目指す。

1年目には、Flex Power FPGA 基本チップの開発:FPGA フル機能の集積、上記チップ用 CAD ソフトウェア環境の整備を行い、フル機能チップの動作確認、概念実証を目指す。

2-3年には、Flex Power FPGA 改良チップの開発(回路・面積等の改良・性能最適化)、Flex Power FPGA のポテンシャル(静的消費電力 1/30)の実証を目指す。

4-5年目には、Flex Power FPGA 発展チップの開発:1/100 をめざすための以下の、新たな技術の導入する。

- Dynamic Flex Power FPGA (クリティカルパス特性の動的変動の活用)、
- Super Flex Power FPGA (制御性のより高いデバイスの採用)
- Robust Flex Power FPGA (半導体特性ばらつきへの対処)

100 分の 1 以下の超低消費電力化の可能性を実証する。

(2) 新たに追加・修正など変更した研究構想

中間評価時点で、「現実的な規模での有効性実証に焦点を絞ること」というアドバイスをいただいたことから、実証チップと実用レベルのソフトウェア開発による、Flex Power FPGA のポテンシャル(静的消費電力 1/30)の実証を中心に据えることとした。

§ 3. 研究実施体制

(1)「産総研」グループ

① 研究参加者

氏名	所属	役職	参加時期
小池 帆平	(独)産業技術総合研究所	グループ長	H18.10～
日置 雅和	同	研究員	H18.10～
河並 崇	同	研究員	H18.10～H21.3
松本 洋平	同	特別研究員	H18.10～H21.9
遠藤 和彦	同	研究員	H19.4～
関川 敏弘	同	特別研究員	H22.4～
中川 格	同	主任研究員	H23.4～

② 研究項目

- Flex Power FPGA 技術統合化の研究
- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 回路技術の研究
- Flex Power FPGA チップレイアウト設計
- Flex Power FPGA 関連ソフトウェアの研究
- Super Flex Power FPGA の研究
- Dynamic Flex Power FPGA の研究
- Robust Flex Power FPGA の研究

(2)「明大」グループ

① 研究参加者

氏名	所属	役職	参加時期
堤 利幸	明治大学	准教授	H18.10～

② 研究項目

- Flex Power FPGA チップの設計、テストの研究
- Super Flex Power FPGA 向けデバイスのモデリングに関する研究

(3)「金沢工大」グループ

① 研究参加者

氏名	所属	役職	参加時期
河並 崇	金沢工業大学	講師	H21.4～

② 研究項目

- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 関連ソフトウェアの研究
- Dynamic Flex Power FPGA の研究

§ 4 研究実施内容及び成果

本研究課題では、全研究グループが一体となって研究を進めているため、以下、研究グループごとではなく、おおむね § 2. に示した研究項目ごとに実施内容を記載させていただく。

1. Flex Power FPGA 基本チップの開発

平成18年度と19年度の1年半で Flex Power FPGA 基本チップの開発を進めた。Flex Power FPGA 基本チップは、それまでに開発をすませ動作を確認していた Flex Power FPGA 実験チップを拡張して FPGA のフル機能を搭載し(結果的に、この方針は大きな問題を引き起こすこととなった)、FPGA としてのフル機能の動作を確認するとともに、消費電力削減効果を測定することによって Flex Power FPGA の概念を実証することを目指したものであった。

平成18年度には、基本チップのアーキテクチャの検討を開始し、その一環として、しきい値電圧制御粒度について、面積モデルと電力モデルを設定し、様々な分割粒度のロジックブロック/スイッチブロックの組み合わせのパフォーマンスの評価を進め、その成果を国際学会で発表した。また、制御バイアス電圧セットの最適化について、27 組のバイアス電圧セットについて評価を行ない、最も低消費電力になる組み合わせを探索、最適な BBVS を決定するための指標を提案し、その成果を同じく国際学会で発表した。

続く平成 19 年度は、8 月と 11 月のシャトルサービスを利用して、Flex Power FPGA 基本チップの開発を行なった。基本チップ開発の目的は Flex Power FPGA の基本コンセプトを実証することであったため、既に動作確認済みの Flex Power FPGA 実験チップに、FPGA として動作させるために必要な全ての機能を 2 段階に分けて追加することにより、性能追求はせずに確実動作を優先して設計を進めた。基本チップは、90nm、6 層 Cu 配線の技術を利用し、5×5mm のチップに4つの BLE クラスタを有する FPGA 基本タイルが 10×10 に配置され、4 レングスワイアの縦横 32 本の配線リソースを有する、贅沢なアーキテクチャとなっており、トータルで 200 万トランジスタが集積されている(図1)。1 タイルあたり 32 箇所、全チップで 3200 の独立したしきい値電圧制御ドメインを有している点でも理想に近いアーキテクチャを追求したものとなっている。細粒度なボディバイアス制御を実現するために、レイアウト作業は全てを手で行なった。

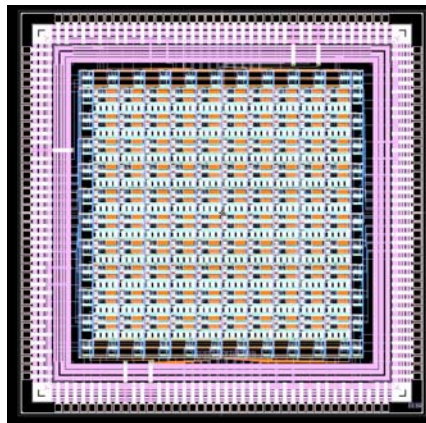


図 1 : Flex Power FPGA 基本チップ

チップ動作試験の結果、部分的な動作の確認には成功したものの、チップ全体の動作の確認には至らず、当初目標とした Flex Power FPGA の概念実証は翌年度開発の改良チップ第1版まで持ち越されることとなった。しかしながら、その後の検査とシミュレーション検証により問題点は特定され、その後のチップ試作に反映させることのできる役立つ貴重なデータを得ることができた。

チップ試作の成果が不十分であった反省点として、研究チームの LSI 設計能力の更なる補強も課題であるが、当初 7 月に予定されていたシャトルサービスが 8 月に変更となったため 1 回目の試

作で製造されたチップの試験の結果を 2 回目の設計作業に反映させるのに十分な時間を確保できずに 11 月の試作に臨まざるを得なくなったことも大きい。このため、(1) 無理のないスケジュールの組むことの可能な(便数の多い)シャトルサービスの再選定、(2)設計自動化ツールの補強(当該年度予算で発注させていただいた)、(3)設計シミュレーション環境の向上、(4)無理のない作業で設計可能となるアーキテクチャ上の改良、などの対策を立てて、次年度以降のチップ試作に臨むこととした。これらが結果的には、翌年度以降の開発成功につながる事となった。

2. Flex Power FPGA 改良チップ第1版の開発

平成 20 年度と 21 年度の 2 年間で Flex Power FPGA 改良チップの開発を進めてきた。Flex Power FPGA 改良チップは、前年度までに開発した Flex Power FPGA 基本チップをさらに拡張して回路・面積等の改良や性能最適化を行うことを当初は想定しており、しきい値制御粒度の細粒度化や面積オーバーヘッドの削減や FPGA としての機能性の向上を目指し、これらによって Flex Power FPGA のポテンシャル(静的消費電力 1/30)を実証することを計画していた。しかしながら、前年度までの基本チップ開発の十分と言えない結果をふまえ、部分的に改良チップに盛り込むべき改良項目を先取りしつつ、より確実に動作させることに対しても更なる重点を置き、前年度積み残しとなった Flex Power FPGA の概念実証の達成も含めての研究開発を進めた。

また、前年度まで試作チップの製造を委託してきた国内シャトルサービスが昨年度末でサービスを終了したことにとともに、以降のチップの製造を委託する(様々な条件から我々にとってほぼ唯一の)新たなシャトルサービスの選定と新たなサービスに合わせた LSI 設計環境の再構築を行なうことが必要となり、これに多大な時間を要することとなった。また、後述するように、このシャトルサービスへの移行により、漏れ電流制御に必ずしも最適でないデバイスを使用せざるを得ない状況となった。

以上をふまえた上で、平成 20 年度に 1 回のシャトルサービスを利用して、昨年度開発した動作確認を主目的とした基本チップの機能／性能／動作確実性を向上させた改良チップ第 1 版の開発を進め、年末までにテープアウトを行った。

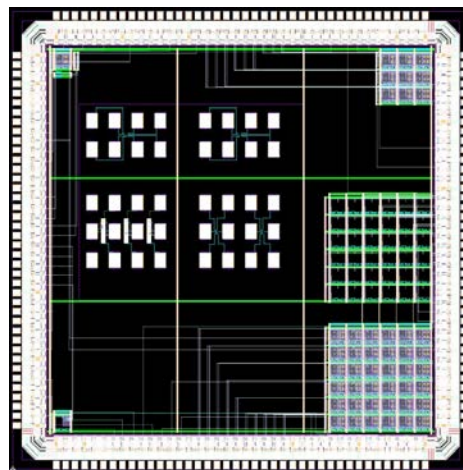


図 2 : Flex Power FPGA 改良チップ第 1 版

改良チップ第1版は、FPGA アレイ部を小規模試作にとどめつつ各種テスト機能と各種 TEG を内蔵させたものであり、90nm、6 層 Cu 配線の技術を利用した、おおむね 5×5mm のチップに、新規設計の FPGA 基本タイルが 6×6 に配置した FPGA アレイ部のほか、より小規模な 3×3FPGA アレイ、詳細な動作確認を行うためのテスト機能と各種 TEG を内蔵している(図2)。基本タイルは新しいファブの設計ルールに合わせて全面的に新規設計を行ったものであり、CLB タイルと IO タイ

ルの共通化、BLE や配線リソース規模の縮小などの、設計の簡素化・簡略化を図っているものの、1 タイルあたり 16 箇所のしきい値制御ドメインを有し、昨年度の試作チップと比べ、コンフィギュレーションメモリの完全な SRAM 化、ボディバイアス制御用レベルシフタの内蔵、など、改良チップとしての性能面・機能面での改良が加えたうえで、設計の簡素化・簡略化、設計検証の徹底によって動作確実性の向上をも図ったものとなっている。昨年度、チップ試作の成果が不十分であった反省から、今回は、(1) 無理のないスケジュールを組むことの可能なシャトルサービスの選定、(2) 設計支援環境の充実、などの対策に十分配慮しつつ、チップ試作に臨んだ。

平成20年度末近くに改良チップ第1版が納品された後直ちに、リングオシレータ回路、カウンタ回路などの、今回実装したアレイ部に収まる規模の小規模回路を FPGA アレイに書き込んで動作確認を行い、改良チップ第1版が、昨年度のように部分的な動作にとどまることなく、Flex Power FPGA 機能の全体について正しく動作することを、無事確認した。これによって、1年遅れとなったが Flex Power FPGA の概念実証に成功することができた。

3. Flex Power FPGA 改良チップ第1版の評価

平成 21 年度には、前年度に開発した改良チップ第1版の消費電力削減効果の評価を進めた。外注によるLSIテストを用いた多サンプルを用いた詳細な測定と、手元の評価ボードでの柔軟な測定作業とを併用して、結果の分析を進めた。

図3に改良チップの漏れ電流削減効果の測定例を示す。カウンタ回路を構成した 6x6 タイル部分のコア電流を測定したものであり、左の3本のグラフが、当初、中間報告書で報告した、測定結果の生データ、右の3本のグラフが、その後判明した、電源PADの保護回路の漏れ電流を回路シミュレーションにより解明し、補正を行なったデータである。3本のグラフは、それぞれ、左より、全てのしきい値制御ドメイン(576 カ所)を低しきい値とした場合(バイアス電圧 0V)、全てのしきい値制御ドメインを高しきい値にした場合(バイアス電圧-1.15V)、クリティカルパスとなるしきい値制御ドメインのみを低しきい値にした場合の3つの場合について、コア電流と動作周波数が示されている。

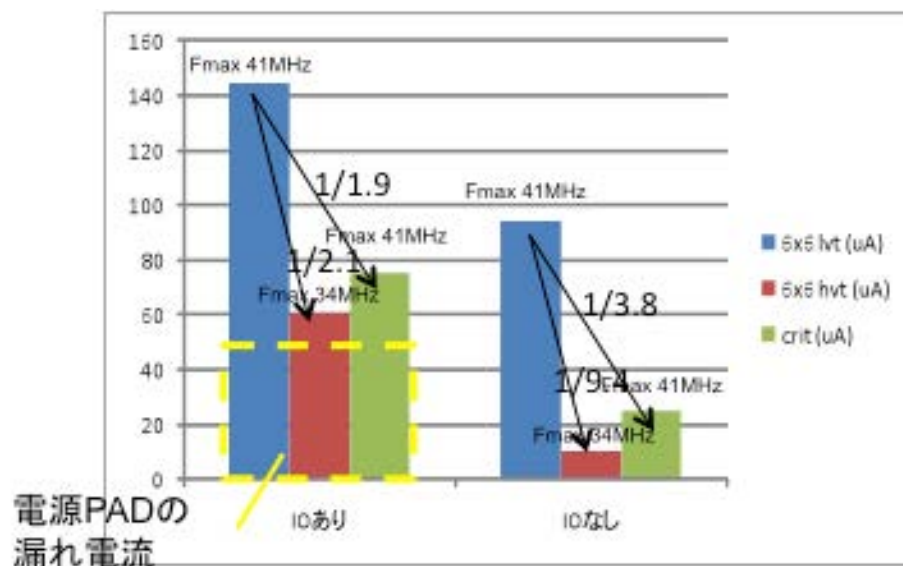


図3：改良チップ第1版の漏れ電流削減効果測定結果
(左は電源保護回路の漏れ電流を含んだ実測値、右は保護回路漏れ電流分を差し引いた補正値、青は全て LVT/赤は全て HVT/緑は FP2GA、カウンタ回路構成時)

最初にわかることは、この結果から、全て低しきい値とした場合と全て高しきい値とした場合で3倍程度の漏れ電流の変化があること、クリティカルパスだけを低しきい値にした Flex Power FPGA では、全てを低しきい値とした場合と全く等しい動作周波数で動作しつつ、全てを高しきい値とした場合に匹敵する漏れ電流削減効果が得られていることが確認でき、Flex Power FPGA の概念の実証に成功していることである。

当初は、左の3本のグラフから、全て低しきい値とした場合と全て高しきい値とした場合での 2 倍程度の漏れ電流の変化幅は、当初もくろんでいた2桁の変化幅に残念ながら及んでいないとみられたが、その後、電源 PAD 保護回路の漏れ電流の悪影響が含まれていることが判明し、これの補正した右の3本のグラフから、全て低しきい値とした場合と全て高しきい値とした場合での削減効果が 1/10 程度、消費電力削減効果は 1/4 程度であることがわかった。しかしながら、数値目標達成までの道のりはまだ遠い状況であり、その原因は、我々がチップ試作に利用することができた(唯一の) 半導体製造会社が提供するプロセスでのトランジスタの性能によるものと思われ、これは製造会社から提供されたデバイスパラメータを用いた回路シミュレーションでも確認されている。もともとボディバイアスによるしきい値制御を意図して設計されたトランジスタでないことから、これはいかんともしがたい状況であった。そこで、限られた手段の中から、数値目標達成のために、この変化幅を拡大する方策としては、以下の2つを考えた。

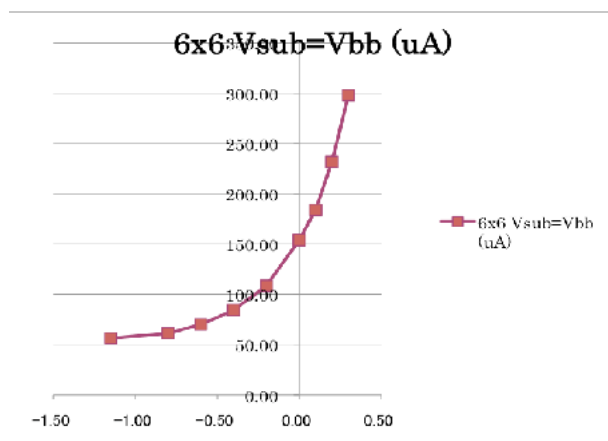


図 4：改良チップの漏れ電流削減効果測定結果
(バイアスを-1.15V から 0.3V まで変化、カウンタ回路構成時、図 3 とは別サンプル)

低しきい値の場合のバイアス電圧を従来の0V から、より正の電圧に変更(フォワードバイアス化)して、バイアス電圧の変化幅を増大させることにより、変化幅を 6 倍程度まで増大させることができる(図4)。低しきい値側での大幅な消費電力の増大を押さえるために、改良チップ第1版(G プロセスを使用)より低消費電力な LP プロセスで製造することになるが、ゲート酸化膜厚の増大により、ゲート電圧の制御力が弱まる分、より大きなしきい値制御性が期待できると考えられ、シミュレーションでは2桁以上の変化幅の達成が予測されている。

また、製造会社から提供されたデバイスパラメータを用いた回路シミュレーションによると、コーナ条件を SS 側に振った場合に、漏れ電流の変化幅が2桁まで大幅に拡大することが確認されており、そのような特性を有するデバイスを使用した状況を、SS コーナ条件に振ったチップの試作によりシミュレートして、データを測定することも考えた。

4. Flex Power FPGA 改良チップ第2版の設計

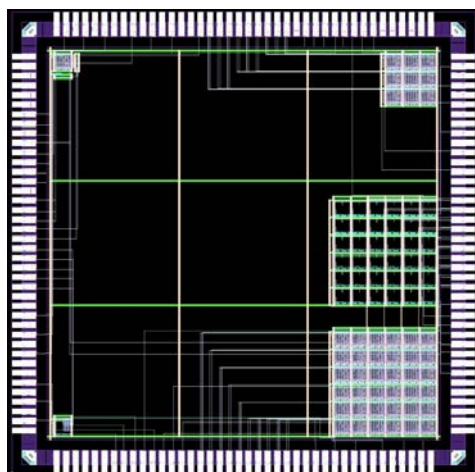


図 5：設計を完了した改良チップ第 2 版のレイアウト

Flex Power FPGA 改良チップの評価では、全て低しきい値とした場合と全て高しきい値とした場合での3ないし10倍弱の漏れ電流の変化幅は、当初もくろんでいた2桁の変化幅に残念ながら及んでいない。そこで、限られた手段の中から、数値目標達成のために、この変化幅を拡大する Flex Power FPGA 改良チップ第2版の設計を進めた。

低しきい値の場合のバイアス電圧を従来の0V から、より正の電圧に変更（フォワードバイアス化）して、バイアス電圧の変化幅を増大させることにより、変化幅を 6 倍程度まで増大させることがわかった（図 4）。低しきい値側での大幅な消費電力の増大を押さえるために、改良チップ第1版(G プロセスを使用)より低消費電力な LP プロセスで製造することになるが、ゲート酸化膜厚の増大により、ゲート電圧の制御力が弱まる分、より大きなしきい値制御性が期待できると考えられ、シミュレーションでは2桁以上の変化幅の達成が予測されている。

また、製造会社から提供されたデバイスパラメータを用いた回路シミュレーションによると、コーナ条件を SS 側に振った場合に、漏れ電流の変化幅が2桁まで大幅に拡大することが確認されており、そのような特性を有するデバイスを使用した状況を、SS コーナ条件に振ったチップの試作によりシミュレートし、最適な動作条件を求めた。

最終的に、これらの工夫を盛り込み、より大きな変化幅が実現可能であることを実証することを目標とした、改良チップ第2版の設計を完了し、無事にテープアウトを行なった(図5)。

5. Flex Power FPGA 改良チップ第2版の評価

平成 22 年度には、前年度に設計した改良チップ第 2 版の製造を終え、消費電力削減効果の評価を進めた。改良チップ第 2 版では、低しきい値モードでの大幅な消費電力の増大を抑えるために、(G プロセスを使用した)改良チップ第1版よりも低消費電力となる LP プロセスによって製造されたものであり、LP プロセスにおけるゲート酸化膜厚の増大により、ゲート電圧の制御力が弱まる分、より高いしきい値制御性が得られることが期待された。

図6に改良チップ第2版の漏れ電流削減効果の測定例を示す。カウンタ回路を構成した 6x6 タイル部分のコア電流を測定したものであるが、左側のグラフは生の実測値であり、右側のグラフは電源保護回路の漏れ電流による影響を差し引き補正を加えた値である。昨年度報告した改良チップ第1版の評価においては、チップの入出力ライブラリに組み込まれた電源保護回路の漏れ電流の存在に気がつかずに実測値そのものによる評価を行なってしまっていた。その結果、1/2 程度という不本意な漏れ電流削減性能結果しか示すことができなかったが、その後、詳細な分析を進めたことにより、電源保護回路の漏れ電流の存在が明らかになり、このような本質的でない(すなわち、より高性能なライブラリを導入するなどの対策によって容易に除去できる)漏れ電流が評価結果に

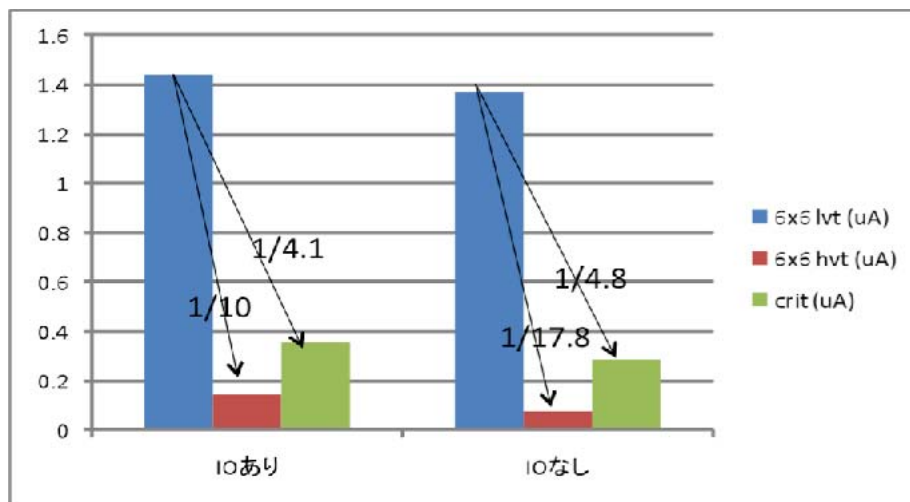


図6：改良チップ第2版の漏れ電流削減効果測定結果
(左は電源保護回路の漏れ電流を含んだ実測値、右は保護回路漏れ電流分を差し引いた補正值、青は全てLVT／赤は全てHVT／緑はFP2GA、カウンタ回路構成時)

大きな影響を及ぼしていたことが判明したため、今回の評価でも、この電源保護回路の漏れ電流の推定値を詳細な回路シミュレーションによって求め、実測値に対して補正を加えた値を評価に用いることとした。3本ずつ並んだグラフのうち、青いグラフは、全てのしきい値制御ドメイン(576 カ所)を低しきい値(バイアス電圧 0V)とした場合、赤いグラフは、全てのしきい値制御ドメインを高しきい値(バイアス電圧-1.05V)にした場合、緑のグラフは、クリティカルパスとなるしきい値制御ドメイン(55 カ所)のみを低しきい値にした場合について、補正前／補正後のコア電流を示したものとなっている。

図6の結果から、全て低しきい値とした場合と全て高しきい値とした場合で電源保護回路漏れ電流補正後は 1/20 近い漏れ電流の削減効果が得られることがわかる。これに対して改良チップ第1版ではこの変化幅は保護回路の影響を補正した後でも 1/10 に及んでいなかった。これより、G プロセスに代わってLP プロセスを採用することによって、しきい値の制御性を高めることに成功していることが確認できた。

いっぽう、クリティカルパスだけを低しきい値にした Flex Power FPGA では、全てを低しきい値とした場合に比べ、補正後では 1/5 程度の漏れ電流削減効果が得られていることがわかる。この削減率は、G プロセスを用い保護回路漏れ電流の影響の補正も行われていなかった改良チップ第1版による昨年度の評価結果での数字の 1/2 と比べると大幅な改善がなされたと思えるものであるが、先に示したように、LP プロセスの採用によりデバイスのしきい値制御性を高めたことによって、全て低しきい値の場合と全て高しきい値の場合の割合が 1/20 にまで拡大された事実と比べると、必ずしも十分な削減効果が得られているとは判断できない。このため、これまで問題としてきたデバイスのしきい値制御性以外の新たな性能阻害要因を見つけるべく、更なる詳細な分析を進めた。

これまでの改良チップの評価作業に用いてきたベンチマーク回路であるカウンタ回路では、全ての 576 カ所のしきい値制御ドメインのうち、クリティカルパスとなる 55 カ所のしきい値制御ドメインのみが低しきい値にマッピングされ、その割合はおおよそ 10%である。これに対して、Flex Power FPGA 用設計ツールを用いて複数のより大規模なベンチマーク回路についてシミュレーションを行った場合には、この割合は 1～4%程度となることがわかっている(後述)。このことから、小規模な改良チップでもマッピングすることができるという理由で採用していた単純なカウンタ回路が、実は、Flex Power FPGA の漏れ電流削減性能を評価するためのベンチマーク回路としては極めて不利な物であることがわかった。このため、今後、数値目標を達成するための課題の第1は、より大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップを開発することとなった。

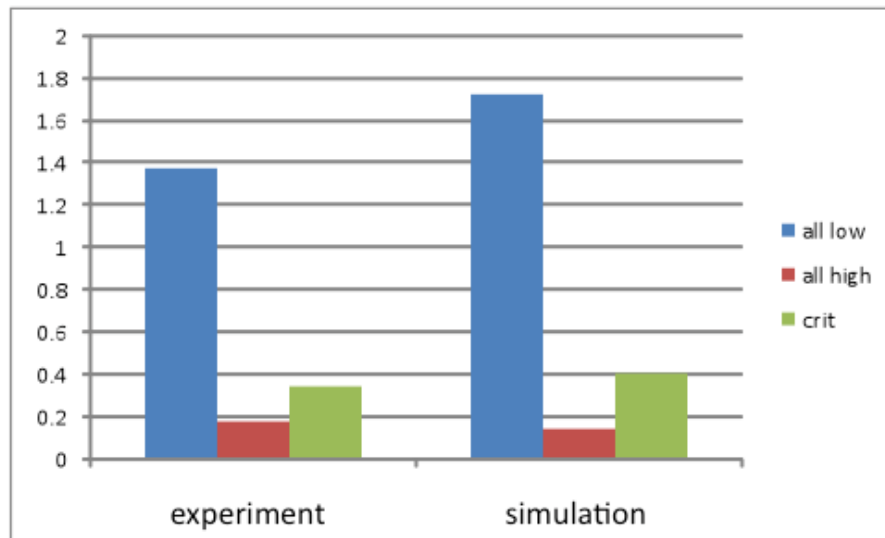


図 7：改良チップ第 2 版の漏れ電流削減効果実測値とシミュレーション結果の比較
(左は実測値、右はシミュレーション結果、青は全て LVT／赤は全て HVT／緑は FP2GA、
カウンタ回路構成時)

いっぽう、クリティカルパスとなる 55 カ所のしきい値制御ドメインのうち 16 カ所を占める BLE(Basic Logic Element)回路は他と比べ回路規模がおよそ 7 倍ほど大きい。これがネックとなることによる漏れ電流削減性能の上限は、試算によると 1/6.7 程度となる。この値は先に述べた実測評価結果とかなり近いものであり、BLE 回路のしきい値制御粒度がネックとなっていることを明らかに示している。このことから、今後、数値目標を達成するための課題の第 2 は、BLE 回路をより粒度の細かいしきい値制御ドメインに分割し、ネックとならないようにすることである。

以上をまとめると、本年度の改良チップ第 2 版の評価作業を通じて、まず第一に、G プロセスに代わって LP プロセスを採用することによってしきい値の制御性を高めることに成功していること、がわかった。また、今後、数値目標を達成するための第 1 の課題は、より大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップを開発することであり、第 2 の課題は、BLE 回路をより粒度の細かいしきい値制御ドメインに分割し、ネックとならないようにすることであることがわかった。

参考までに、図 7 に、実測値と回路シミュレーション結果の比較を示す。比較的良い一致を示していることがわかり、今後の定量的な設計作業で、多に回路シミュレーションを利用すべきことを示唆している。

6. 最終版 Flex Power FPGA 実証チップの開発

Flex Power FPGA 改良チップ第 2 版の評価では、全て低しきい値とした場合とクリティカルパスのみ低しきい値とした場合での 5 倍弱の漏れ電流の変化幅は、当初もくろんでいた 2 桁の変化幅に残念ながら及んでいない。評価結果の分析より得られた、数値目標を達成するための課題は、単純なカウンタ回路よりも大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップを開発することと、BLE 回路をより粒度の細かいしきい値制御ドメインに分割し、ネックとならないようにすることである。これらをもとに、数値目標達成を目指した、最終版 Flex Power FPGA 実証チップの設計に取りかかった。

最終版 Flex Power FPGA 実証チップの基本アーキテクチャは、平成 19 年度に試作をもくろみ部分的な動作の確認に成功した Flex Power FPGA 基本チップのアーキテクチャを踏襲する物となっ

表 1：改良チップと実証チップのアーキテクチャ上の差異

	改良チップ	実証チップ
タイル数	3x3+6x6	11x11=121
LUT 数 (タイル／チップ)	2/18+72	4/484
LUT 入力数	4	4
セグメント長	2	4
セグメント幅／方向	2	2
IMUX 数(入力数)	6(16)	12(32)
SMUX 数(入力数)	8(7)	8(14)
LMUX 数(入力数)	8(8)	24(16)
しきい値制御ドメイン数 (タイル／チップ)	16/144+576	57/6897
Config. SRAM ビット数 (タイル／チップ)	141/1269+5076	358/43318
トランジスタ数	15 万	130 万

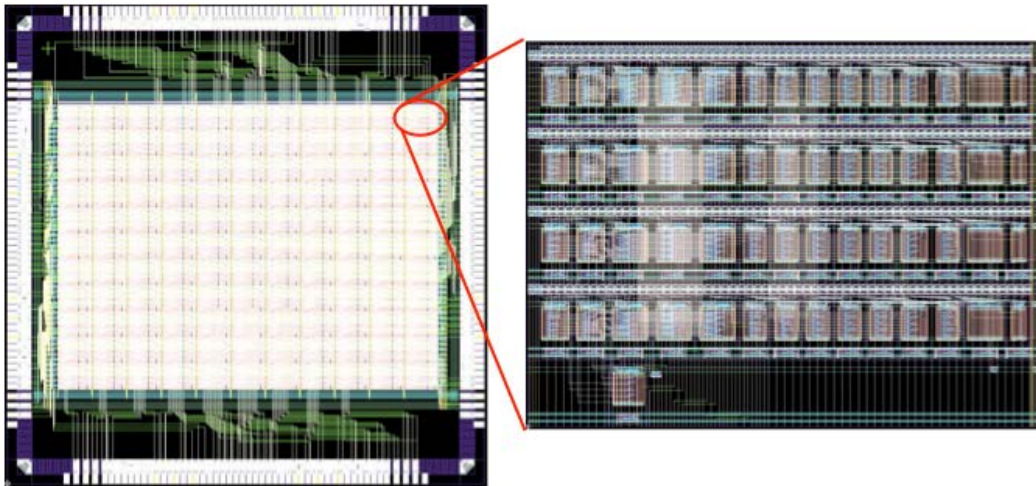


図 8：設計を完了した実証チップのレイアウト
(チップ全体 (左) とタイル (右))

ている。すなわち、4つの BLE からなるクラスタロジックブロック(これまでの改良チップでは BLE 数を2に簡素化)と、長さ4の単方向セグメントを有するスイッチブロック(これまでの改良チップではセグメント長を2に簡素化)から成る基本タイル 11×11(これまでの改良チップでは 3×3 ないし 6×6 に簡素化)を 5mm 四方のチップ全体に敷き詰めた(これまでの改良チップではチップの一部のみ

を利用)構成をとっている(表1)。一方、改良チップで、設計作業の簡略化のために導入した入出力アーキテクチャなどは、そのまま採用することとした。これにより、単純なカウンタ回路よりも大規模でより複雑な構造を持ったベンチマーク回路を用いた評価のできるより大きな規模の実証チップとなるとともに、BLE 回路をより粒度の細かいしきい値制御ドメインに分割したものとなっている。

いっぽう、昨年度と本年度の改良チップの評価作業において大きな問題となった、電源保護回路の漏れ電流に関しては、保護回路の(場合によっては部分的な)取り外しも検討したが、最終版実証チップでは、タイル回路規模もタイル数も大幅に増大し、これに伴ってチップ全体の漏れ電流の絶対量が増大するために、保護回路の漏れ電流の影響が相対的に大きく減ることが試算により明らかになったため、チップ製造/測定時のリスクを減らす観点から、取り外さない方針で設計を進めた。

平成22年度末までに、マルチプレクサ回路など要素部品回路の回路設計作業を完了し、タイル回路の設計とシミュレーションによる検証までを予定通りに進めてきたが、3月11日の地震以降、設計作業に用いてきたサーバー計算機の運転再開許可が得られなかったため、設計作業はしばらく中断した。また、電力制限とこれにともなう所属組織の輪番夏期休暇の施行の影響もあり、当初の目標では、平成23年6月中旬までに設計検証作業までを終え、テープアウトを迎える予定となっていたところ、3ヶ月の遅延が発生したものの、9月20日に無事テープアウトすることができ(図8)、チップは、11月末に納入された。

7. 最終版 Flex Power FPGA 実証チップの回路シミュレーションによる予備評価

上記のように、実証チップの納入が11月末となることから、消費電力削減効果の最終的な評価に時間を要する状況であったが、改良チップ第2版の評価において、実測データとシミュレーションデータが十分に良い一致を示していることがわかったことから、実証チップの消費電力削減効果の評価に先立って、前もって回路シミュレーションによる予備評価を行った。

大規模な FPGA の回路シミュレーションを行う際に問題となるのが、コンフィギュレーションデータをどのようにしてコンフィギュレーション SRAM に書き込むかである。改良チップの開発時までは、FPGA の回路シミュレーションの一部として膨大なデータの書き込み信号の動作のシミュレーションをさせてデータを書き込んでいたが、結果的に1週間オーダーの禁止的な時間がかかってしまっており、より規模の大きな実証チップにおいては、全く現実的とは言えない方法であることがわかっていった。そこで、後述する Flex Power FPGA 用ソフトウェアツールに、Spice 回路シミュレータの電圧初期化指定記述(.IC)を生成させる機能を追加し、コンフィギュレーションデータのコンフィギュレーション SRAM への書き込みを、Spice 回路シミュレータの初期化処理の一環として行えるようにした。これにより、シミュレーション時間を劇的に短縮させることができ、チップ設計検証作業と性能の予備評価作業を大幅に効率化することができた。

予備評価では、回路シミュレーションによる漏れ電流の評価を、電源保護回路8カ所を含む場合と、含まない場合について行った。用いたベンチマークは、121 タイル中 10 タイルを使用した 4 ビットカウンタ回路であり、しきい値制御ドメイン総数 57x121=6897、クリティカルパス低しきい値ドメイン数 24 である。低しきい値電圧用バイアス電圧は 0V/高しきい値電圧用バイアス電圧は-1.05V とこれまでの評価と変わらず、フォワードバイアスは印加されていない。

図9にシミュレーションによる予備評価結果を示す。これまでと同様に、電源保護回路の漏れ電流の有無で左右3本ずつのグラフが並んでいる。3本ずつ並んだグラフのうち、赤いグラフは、全てのしきい値制御ドメイン(6897カ所)を低しきい値(バイアス電圧 0V)とした場合、赤いグラフは、全てのしきい値制御ドメインを高しきい値(バイアス電圧-1.05V)にした場合、緑のグラフは、クリティカルパスとなるしきい値制御ドメイン(24カ所)のみを低しきい値にした場合について、補正前/補正後のコア電流を示したものとなっている。以下に結果の考察を示す。

まず、電源保護回路の漏れ電流の誤差はほぼ無視できることがわかる。これは、回路規模がフルチップ構成と大きくなり、漏れ電流総量が増えて、相対的に保護回路の漏れ電流の影響が低下したことによる。少なくとも今回のチップはデモンストレーションには十分な精度を持っているといえ

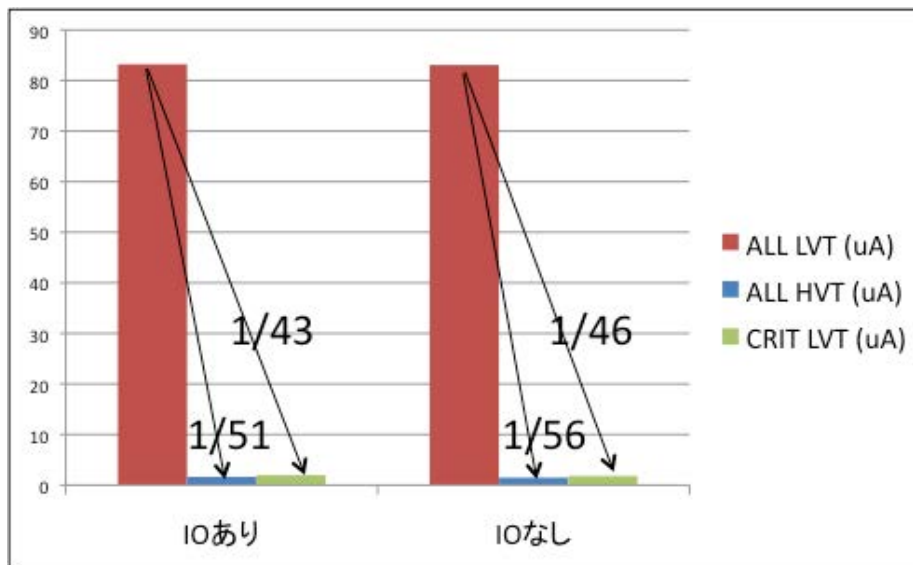


図 9：実証チップの漏れ電流削減効果予備評価結果
 (左は電源保護回路の漏れ電流を含んだ実測値、右は保護回路漏れ電流分を差し引いた補正值、赤は全て LVT／青は全て HVT／緑は FP2GA、カウンタ回路構成時)

る。

次に、全てを低しきい値に設定した時と全てを高しきい値に設定したときの比率は、50倍以上に拡大しており、改良チップ第2版での18倍から大きな改善を達成できている。研究提案時に示した初期の評価で採用した 1/50 という値が再現されており、研究における数値目標の一つが達成されたといえる。この劇的な改善は、デバイスのしきい値電圧制御性が、デバイス幅 W に依存することを巧みに利用したことによるものであり、改良チップ第2版の設計が異なるプロセス向けの改良チップ第1版の設計を引きずっていたのに対して、実証チップでは、デバイスレベルの動作の最適化を目指して回路レベルでも時間をかけて再設計を行ったことが功を奏している。

いっぽう、クリティカルパスだけを低しきい値にした Flex Power FPGA では、全てを低しきい値とした場合に比べ、補正後では 1/46 程度の漏れ電流削減効果が得られていることがわかる。このときの、低しきい値ドメインの割合は、 $24/6897=0.35\%$ であり、研究提案時に示した初期の評価で用いた値である 1.3%よりも良好な値であるため、このときの評価結果である 1/30 を超えて、より 1/50 に近い値が達成されている。実際、 $1/56(1.8\%)+0.35\%$ は、 $1/46(2.17\%)$ とほぼ等しく、理論通りの結果が出ていることがわかる。

低しきい値ドメインの割合が、 $24/6897=0.35\%$ と、研究提案時に示した初期の評価で用いた値である 1.3%よりも良好なのは、今回用いた評価回路が小規模なものであり、ごく一部のタイル(10 個)しか使われず、あたかも大きい FPGA に小さい回路を乗せて低い利用率で使っている状況になっているためである。そこで、タイル数が 10、利用率 100%の FPGA での低しきい値ドメインの割合に換算すると、 $24/570=4.2\%$ となる。カウンタ回路ゆえに大きな値となっているが、改良チップでの値(10–16%)よりも大幅に良好であり、制御粒度性粒度化のアーキテクチャ上の改良の効果が現れていることがうかがえる。

以上より、今後の実証チップを用いた現実的なベンチマーク回路での評価によって、漏れ電流削減の数値目標 1/30 を十分に達成可能範囲であることが、このシミュレーション結果からわかった。

8. 最終版 Flex Power FPGA 実証チップの評価

平成23年11月末に製造されたチップが無事に納入され、後述する Flex Power FPGA 用ソフトウェアツールへの新しいアーキテクチャパラメータの設定作業を行うことで、最終版 Flex Power FPGA 実証チップの評価の環境が整ったため、データ実測による静的消費電力削減効果の評価へと進んだ。今回は、評価用のベンチマーク回路として、膨大な数の MCNC ベンチマーク回路集の中から、今回の最終版 Flex Power FPGA 実証チップを対象として Flex Power FPGA 用ソフトウェアツールを用いてマップすることのできた回路の中から、回路規模の大きい順に10種類の回路を用いて、実際にツールによる自動の配置配線としきい値マッピングを行なわせたうえで、これまでと同様に、全てのしきい値制御ドメイン(6897 カ所)を低しきい値(バイアス電圧 0V)とした場合、全てのしきい値制御ドメインを高しきい値(バイアス電圧-1.05V)にした場合、ツールによるしきい値マッピングによりクリティカルパスとなるしきい値制御ドメインのみを低しきい値にした場合について、コア電流を測定した。なお、これまでの評価と同様に、フォワードバイアスは印加されていない。

図 10 に測定結果を示す。これまでと同様に、3本ずつ並んだグラフのうち、青いグラフは、全てのしきい値制御ドメイン(6897 カ所)を低しきい値(バイアス電圧 0V)とした場合、赤いグラフは、全てのしきい値制御ドメインを高しきい値(バイアス電圧-1.05V)にした場合、緑のグラフは、クリティカルパスとなるしきい値制御ドメインのみを低しきい値にした場合のコア電流である。以下に結果の考察を示す。

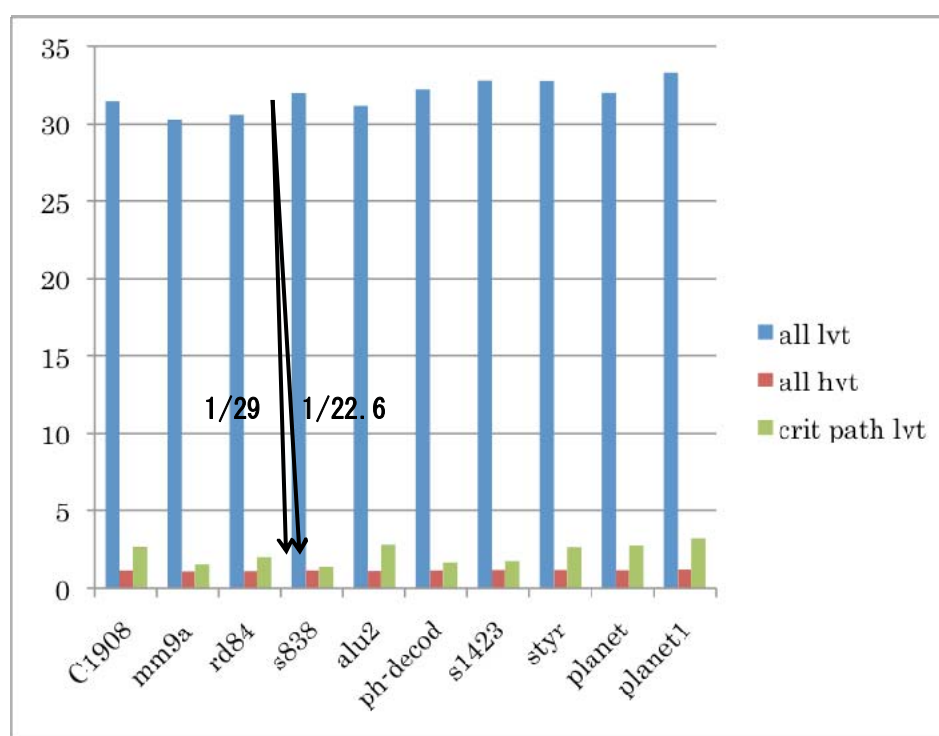


図 10：最終版実証チップの漏れ電流削減効果実測結果
(青は全て LVT／赤は全て HVT／緑は FP2GA、10 種類のベンチマーク回路を使用)

まず、全てを低しきい値に設定した時と全てを高しきい値に設定したときの比率は、前記のシミュレーション評価では50倍以上に拡大されていたが、チップの実測では28ないし29倍程度であった。シミュレーション評価での数値には及ばないものの、改良チップ第2版での18倍から明らかに十分な改善を達成できている。この改善は、シミュレーション評価の際にも述べたように、デバイスのしきい値電圧制御性が、デバイス幅 W に依存することを巧みに利用したことによるものであり、改良チップ第2版の設計が異なるプロセス向けの改良チップ第1版の設計を引きずっていたのに対して、実

証チップでは、デバイスレベルの動作の最適化を目指して回路レベルでも時間をかけて再設計を行ったことが功を奏していることも、シミュレーション評価の際にも述べた通りである。

いっぽう、クリティカルパスだけを低しきい値にした Flex Power FPGA では、全てを低しきい値とした場合に比べ、1/10.4(planet1)ないし 1/22.6(s838)程度の漏れ電流削減効果が得られていることがわかる。このときの、低しきい値ドメインの割合は、1%(s838)ないし 6%(planet1)程度となっている。

先のシミュレーション予備評価では、評価回路が小規模なものであり、あたかも大きい FPGA に小さい回路を乗せて低い利用率で使っているような状況になっており、低しきい値ドメイン割合が 0.35%という極端に有利な条件となってしまうが、今回はチップサイズにちょうど見合った規模と複雑度を持った複数のベンチマーク回路を用いた評価が行なわれており、このような状況で 1%程度の低しきい値ドメイン割合が達成されたことは Flex Power FPGA の有用性を大きく支持するものと考えることができる。また、特に s838 などの低しきい値ドメイン割合を小さくできるベンチマーク回路においては、1/22.6(s838)に削減された漏れ電流は、全てを高しきい値に設定したときの漏れ電流と比べて遜色のない程度にまで削減されており、以前の実証チップ第2版の評価の場合のように、BLE 回路のしきい値制御粒度がネックとなって、削減効果が頭打ちとなるような現象は起きていない。このことから、制御粒度細粒度化のアーキテクチャ上の改良の効果が現れていることがあらためてうかがえる。

以上より、実証チップ完成後、現実的なベンチマーク回路でのしきい値マップ後の漏れ電流削減の数値目標 1/30 には若干達しなかったものの、1/22.6(s838)程度の漏れ電流削減効果を達成したことを実チップと独自開発の FPGA ソフトウェアツールを用いた実測によって示した。

9. Flex Power FPGA 用ソフトウェアツールの開発

FPGA はチップだけで動作するものではなく、回路データ(ネットリスト)を配置配線等の処理により FPGA チップに書き込む構成情報ファイルに変換する FPGA 用ソフトウェアツールがなくては、FPGA チップを開発してもその機能を活用することは決してできない。Flex Power FPGA の場合には、さらに、回路データをもとにしきい値マッピング処理を行うツールも重要な役割を果たすことになる。我々は、これまでのシミュレーション研究の段階では、トロント大学が開発した標準的な実験用ソフトウェアツールVPRを利用してきていたが、試作チップのための FPGA 用ソフトウェアツールとして使用するにあたっては多くの限界があることから、基本チップ、改良チップの開発と並行して、新たに Flex Power FPGA 用の独自のソフトウェアツールの開発を進めてきた。

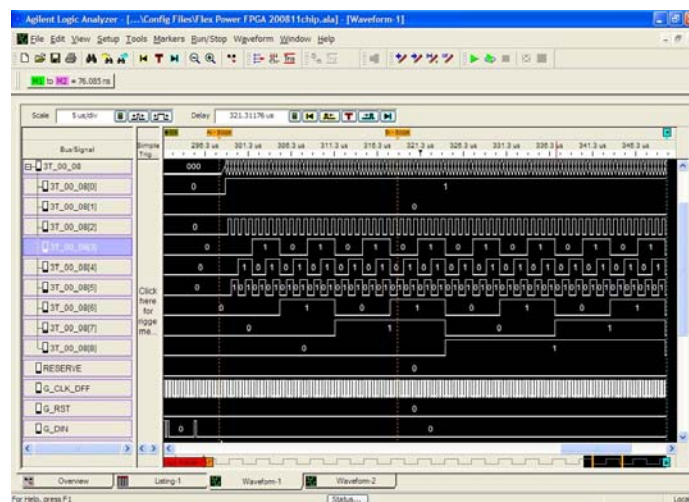


図 11：改良チップ第 1 版の動作確認例（カウンタ回路の動作）

Flex Power FPGA 用ソフトウェアは、(1) 論理演算をルックアップテーブルに割り当てるテクノロジーマッピング、(2) ルックアップテーブルをクラスタに割り当てるパッキング、(3) クラスタを含むタイルの物理的位置を決定するプレースメント、(4) タイル間の配線リソースを決定するルーティング、(5) 各回路のしきい値を決定する Vt マッピング、および各種のインタフェースなどから成り、Flex Power FPGA にマッピングする回路のネットリストを受け取り、Flex Power FPGA 向けの構成情報ファイルを生成する。最終的にはオープンソースソフトウェアとして幅広く FPGA 研究に利用してもらうことを想定している。

平成19年度には、重要度の高いルーティング部のインプリメンテーションがほぼ完成、テクノロジーマッピングとパッキングのインプリメンテーションも進み、プレースメントについてはアルゴリズムの検討を完了した。ルーティング部については、探索空間の制限にバウンディングボックス方式にかわりタイミングバジェットを利用する新しい方式を考案し、様々なアーキテクチャに適用可能な、より柔軟なルーティングを可能としている点に特徴がある。それぞれのモジュールは従来の VPR と中間データをやりとりして運用できるようになっている。

平成 20 年度には、前年度にインプリメントしたルーティング部に引き続いて、プレースメント部、ビットストリーム生成部のインプリメンテーションを完成させ、従来の Flex Power VPR 向けに作られた Vt マッピング部をこれらに接続する作業も完了した。また、論理合成などの、より上流工程の処理について、商用のツールを用いた合成結果の回路ネットリストを取り出し、開発中のツールが受け取れることを確認し、Flex Power FPGA を実際に利用することを可能とするトータルな回路設計フローの構築について、目処をつけることができた。

以上のようにして構築した、Flex Power FPGA 用のトータルな回路設計フローを用い、高位ハードウェア記述言語(Verilog-HDL)で記述したテスト回路(カウンタ回路)に対して論理合成を行い、その結果得られたネットリストに対して、改良チップ第1版をターゲットとした、パッキング、プレースメント、ルーティング、Vt マッピングを行い、チップに書き込むビットストリームファイルを生成させた。得られたビットストリームファイルを、今回試作した改良チップ第1版に書き込み、既述した論理回路として正しく動作することを確認した(図 11)。以上より、Flex Power FPGA の一連の試作チップを評価するために必要となる、トータルな FPGA 向けソフトウェアツールのフローが完成し、Flex Power FPGA 本格研究のためのハードウェア/ソフトウェアの両輪が揃えることができた。

今回開発したソフトウェア群は極めて汎用性が高くなるように設計されている点に特徴がある。このため、今後開発した Flex Power FPGA の様々なバリエーションでの活用は当然のこととして、より幅広い FPGA の研究への活用も期待できる。実際、本研究課題の成果を技術移転すべく民間企業数社と共同で NEDO 立体構造新機能集積回路(ドリームチップ)プロジェクトの1つとして提案した「三次元回路再構成デバイス技術の研究開発」においても、低消費電力 FPGA を3次元構造に結合した 3D-FPGA チップのためのソフトウェアツールとして本ソフトウェアが活躍した。また、本ソフトウェア技術について、別の民間企業数社と共同の NEDO プロジェクト(「低炭素社会を実現する調停電圧デバイスプロジェクト」)においても、新構造デバイスを用いた FPGA チップの開発に、今回開発したツールとアーキテクチャが有効に活用されているところである。

10. Flex Power FPGA 設計ツールの改良と拡張

これまでに、論理合成、配置配線、Vt マッピング、試作チップへのコンフィギュレーションデータの書き込みまでの一連の CAD フローを実現し、動作の確認を完了していた Flex Power FPGA 設計ツールのソフトウェア群について、平成21年度には、今後、より高度な評価実験を進めて行くことと、研究成果の技術移転/商用化をも見据えていくための準備として、利用ライセンス制限のあるツールの置き換え作業、動作視覚化ツールの開発、半導体特性ばらつき対策配線機能(Robust Flex Power FPGA 機能)のツールへの統合、等の作業を進め、改良を行ってきたが、平成22年度は、より大規模な複数のベンチマーク回路での配置配線処理を可能とさせ、Flex Power FPGA のより幅広い状況での数値目標の達成状況を確認できるようにするために：

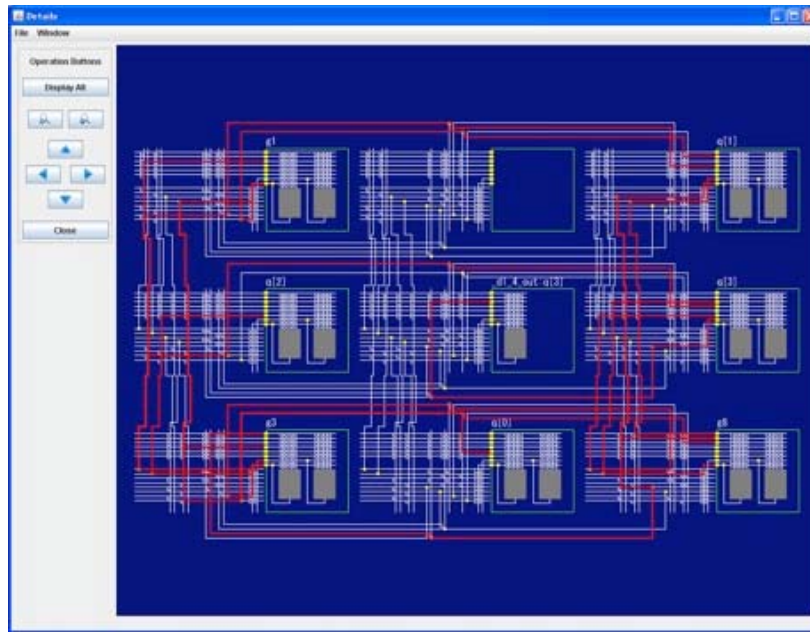


図 12：FPGA 動作視覚化ツールの表示例

- 1 安定性、信頼性を向上させるためのコードのブラッシュアップ
- 2 形式検証ツールを用いた大規模回路での動作検証
- 3 電力化移籍ツール等とのインタフェースを確立

などの改良を進めた(図 12)。これらの改良の加えられたツールによって、MCNC20 ベンチマーク回路、および、オープンコア回路集より選んだ、AES128(暗号化回路)、openMSP430(16 ビットマイクロプロセッサコア)について、配置配線処理が正しく行われることを、形式的論理検証ツールを巧妙に利用して確認した。また、これらのベンチマーク回路に対してしきい値マッピングを行った場合に、低しきい値がマッピングされるしきい値制御ドメインの割合が 1～4 %程度であることを確認した。さらに、最終版 Flex Power FPGA 実証チップのパラメータの反映と、納入された最新版の設計ツールの利用により、最終的な検証作業を鋭意進めることができた。

11. Robust Flex Power FPGA の検討

半導体の微細化とともに、トランジスタ中の不純物分布の局在化、トランジスタ各部の加工精度の限界、等の要因により、特性のばらつきが増大し、大きな問題となってきた。半導体に特性ばらつきがあると、これを見越したワーストケースでの設計が必要となり、本来半導体もっているポテンシャルを十分に生かすことができなくなり、その結果、一定の性能を得るために、不必要に半導体を高性能化する必要が生じ、当然のごとく、無駄な電力消費を生むことになる。このことから、半導体の特性ばらつきを押さえる技術の開発は、半導体の低消費電力化に大きな効果をもたらすことになる。特に FPGA の場合は、FPGA の機能に固有の手法を用いた解決策の提案が考えられることから、これを Robust Flex Power FPGA と名付け、研究を行うこととした。

平成18年度には、Robust Flex Power FPGA の基礎的検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する方法を提案して評価した。その成果を国際学会で発表した。さらに、平成19年度には、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する方法の検討を昨年に引き続き行ない、その成果を国際学会誌で発表した。

以上のように、Robust Flex Power FPGA の研究は、大幅に前倒しで検討を進めることができたため、その後は、担当者はソフトウェアツールの開発と改良チップ開発の補助に時間を割くこととなった。現在までに、FPGA 関連ソフトウェア群が整備され全体的に動作するようになったことから、複数の配置配線結果を生成する機能をソフトウェアに追加し、実際の試作チップを用いて提案する方法の効果を実証すべく、考案したメカニズムを、実際に Flex Power FPGA 向け専用 CAD ツールに組み込み、利用可能とした。

12. Super Flex Power FPGA の検討

先に述べた改良チップ／実証チップの評価結果からもわかるように、我々の研究課題の正否は、バイアス電圧によって漏れ電流を大きく変化させることのできる、しきい値制御性の高いデバイスの採用に大きく依存しており、デバイス技術側による支援が不可欠であるといっても過言ではない。また、今回の研究では明示的に示していないが、しきい値制御ドメインの細粒度化にともなう領域分割の面積オーバーヘッドは、現在利用しているテクノロジーでは無視できないほど大きく、これを小さく抑えるためにもデバイス技術上の支援が必要となる。そこで、いわゆる ITRS ロードマップで示される従来の微細化技術の延長線上にある将来のデバイス技術、すなわち SOI トランジスタやダブルゲート MOS トランジスタを採用した Flex Power FPGA の設計についての検討を進めてきた。

平成18年度と平成19年度には、さらなる Flex Power FPGA の低消費電力化の鍵となる、制御性の良好なデバイスとしてダブルゲート MOS トランジスタの採用を検討し、付加回路オーバーヘッドを最小限とするために、論理電圧振幅で高低しきい値の制御の可能な 4 端子デバイスの設計を行なった。また、当該年度に購入したパラメータ抽出ソフトウェア等を用いて、別途開発されたダブルゲート MOS トランジスタ用のデバイスモデルモジュールを用いた回路シミュレーションが可能となるように、モデルパラメータの抽出を行ない、十分に高い精度でフィッティングできることを確認した。

その一方で、ダブルゲート MOS トランジスタについては本研究課題の研究期間内での実チップの試作が困難であることから、研究期間の後半での実チップ試作の実現を目指して、SOI トランジスタの研究開発を進めてきた民間企業と共同研究の話し合いも進めた。

いっぽう、これらと並行して、しきい値制御性能の高いダブルゲート構造の SOI トランジスタを用いた Super Flex Power FPGA の回路設計、回路シミュレーションと性能予測を行なうため、SOTB トランジスタの測定データの提供を受け、開発中の HiSIM-SOTB モデルを対象としたパラメータ抽出作業が進められた。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 1 件、国際(欧文)誌 8 件)

1. Hioki, Kawanami, Tsutsumi, Nakagawa, Sekigawa and Koike: Evaluation of Granularity on Threshold Voltage Control in Flex Power FPGA, Proc. of 2006 IEEE International Conference on Field Programmable Technology, pp.17-23, Dec. 2006
2. Kawanami, Hioki, Matsumoto, Tsutsumi, Nakagawa, Sekigawa and Koike: Optimal Set of Body Bias Voltages for an FPGA with Field-Programmable Vth Components, Proc. of 2006 IEEE International Conference on Field Programmable Technology, pp.329-332, Dec. 2006
3. Matsumoto, Hioki, Kawanami, Tsutsumi, Nakagawa, Sekigawa and Koike: Performance and Yield Enhancement of FPGAs with Within-die Variation using Multiple Configurations, Proc. of Fifteenth ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, pp.169-177, Feb. 2007
4. Kawanami, Hioki, Matsumoto, Tsutsumi, Nakagawa, Sekigawa and Koike: Optimization of the Body Bias Voltage Set (BBVS) for Flex Power FPGA, IEICE TRANSACTIONS ON INFORMATION AND SYSTEMS, Vol.90, No.12, pp.1947-1955, Dec. 2007
5. Hioki, Kawanami, Matsumoto, Tsutsumi, Nakagawa, Sekigawa and Koike: A Power Configurable Block Array Connected in Series as First Prototype Flex Power FPGA Chip, Proc. of 2007 IEEE International Conference on Field Programmable Technology, pp.285-288, Dec. 2007
6. Matsumoto, Hioki, Kawanami, Tsutsumi, Nakagawa, Sekigawa and Koike: Suppression of Intrinsic Delay Variation in FPGAs using Multiple Configurations, ACM Transactions on Reconfigurable Technology and Systems, Vol.1, No.1, pp.3-1-3-31, Mar. 2008
7. Ouchi, Sakamoto, Endo, Masahara, Matsukawa, Liu, Hioki, Nakagawa, Sekigawa, Koike, Suzuki: Variable-Threshold-Voltage FinFETs with a Control-Voltage Range within the Logic-Level Swing Using Asymmetric Work-Function Double Gates, Proc. of Int. Symp. On VLSI Technology, Systems and Applications, Apr. 2008
8. Koike et. al., "May the Fourth (terminal) be with you - Circuit Design beyond FinFET", Proc. of IEDM 2010, p. 17. 4. 1, 2010 (DOI:10.1109/IEDM.2010.5703381)
9. 小池汎平、4 端子ダブルゲート素子の回路技術と FPGA への応用、応用物理学会分科会シリコンテクノロジー「エマージング技術とその回路技術」予稿集、No.129, pp.32-36, 2010 (DOI: 不明)

(2)その他の著作物(総説、書籍など)

なし

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 5 件、国際会議 1 件)

- 1 小池: [招待講演] Flex Power FPGA: デバイス、回路、アーキテクチャ、ソフトウェアにまたがる垂直統合型研究のささやかな試み, 電子情報通信学会 リコンフィギュラブルシステム研究会, 横浜, 2008 年 1 月 16 日
- 2 小池: 静的消費電力の大幅削減を目指した Flex Power FPGA の開発, 第4回ネットワーク社会とエネルギー, 東京, 2008 年 1 月 17 日

- 3 H.Koike et.al., May the Fourth (terminal) be with you - Circuit Design beyond FinFET (Invited), IEDM 2010, San Francisco, Dec. 7th
- 4 小池汎平、4 端子ダブルゲート素子の回路技術と FPGA への応用、応用物理学会分科会シリコンテクノロジー「エマージング技術とその回路技術」、東京、2010 年 12 月 20 日
- 5 小池汎平、3 次元積層 LSI はメインストリームになり得るか？3次元 FPGA の可能性、情報処理学会 ARC 研究会／電子情報通信学会 ICD 研究会共催パネル討論、東京、2011 年 1 月 20 日
- 6 小池汎平、Flex Power FPGA:しきい値電圧をプログラム可能な超低消費電力 FPGA の開発、電子情報通信学会総合大会、岡山、2012 年 3 月 21 日

② 口頭発表 (国内会議 2 件、国際会議 4 件)

- 1 Masakazu Hioki(AIST): Evaluation of Granularity on Threshold Voltage Control in Flex Power FPGA, 2006 IEEE International Conference on Field Programmable Technology, Bangkok, Dec. 13, 2006
- 2 Yohei Matsumoto(AIST): Performance and Yield Enhancement of FPGAs with Within-die Variation using Multiple Configurations, Fifteenth ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, Monterey, Feb. 20, 2007
- 3 Ouchi, Sakamoto, Endo, Masahara, Matsukawa, Liu, Hioki, Nakagawa, Sekigawa, Koike, Suzuki: Variable-Threshold-Voltage FinFETs with a Control-Voltage Range within the Logic-Level Swing Using Asymmetric Work-Function Double Gates, Proc. of Int. Symp. On VLSI Technology, Systems and Applications, Apr. 2008
- 4 日置、河並、松本、堤、中川、関川、小池:電力を再構成可能なFlex Power FPGAチップの設計と評価、電子情報通信学会 リンコンフィギャラブルシステム研究会、宇都宮、2009 年 9 月 18 日
- 5 日置雅和、電力を再構成可能な Flex Power FPGA の低電力プロセスによる試作と評価、電子情報通信学会、福岡、2010 年 12 月 1 日
- 6 Koike(AIST): Development of Ultra-low-power FPGA with Fine-Grained Field-Programmable Threshold Voltage, ULP Workshop, Aug. 1, 2011

③ ポスター発表 (国内会議 0 件、国際会議 3 件)

- 1 Takashi Kawanami(AIST): Optimal Set of Body Bias Voltages for an FPGA with Field-Programmable Vth Components, 2006 IEEE International Conference on Field Programmable Technology, Bangkok, Dec. 13, 2006
- 2 Hioki (AIST): A Power Configurable Block Array Connected in Series as First Prototype Flex Power FPGA Chip, Proc. of 2007 IEEE International Conference on Field Programmable Technology, Fukuoka, Dec. 2007
- 3 Koike (AIST): Development of Ultra-low-power FPGA with Fine-Grained Field-Programmable Threshold Voltage, ULP Workshop, Aug. 1, 2011

(4)知財出願

①国内出願 (7 件)

- 1 再構成可能集積回路、河並、小池、日置、産総研、2007.4.10、2007-102467
- 2 再構成可能集積回路、松本、小池、産総研、2007.4.27、2007-119653

- 3 マルチプレクサ回路、日置、小池、産総研、2007.5.11、2007-126705
- 4 4 端子ダブルゲート電界効果トランジスタ、大内、坂本、昌原、遠藤、小池、産総研、2007.8.29、2007-222010
- 5 3次元集積回路、松本、小池、産総研、2008.1.18、2008-009527
- 6 再構成可能集積回路、河並、小池、産総研、2008.3.31、2008-090315
- 7 再構成可能集積回路、日置、小池、産総研、2008.9.29、2008-250489

②海外出願 (1 件)

- 1 集積回路設定システムおよびその設定方法、松本、小池、産総研、2007.6.7、11/759706、米国

(5)受賞・報道等

①. マスコミ(新聞・TV等)報道

- 1 日経エレクトロニクス誌 2006 年 10 月 23 日号(No.937)、特集:ペタコン技術が家電を磨く(pp.111-126)中で約 1 ページにわたり(p.121)、本研究の概要が紹介された。

§ 6 結び

5年前、本研究提案をさせて頂くまでは、まさか本当に動く Flex Power FPGA のチップとソフトウェアを開発することができる日が来るとは思ってもいなかった。この5年間、適切なご支援のもとに、必死で歩いて来た道のりの長さを実感するとともに、これを可能としてくれた、ご支援の数々にひたすら感謝すること大である。

最後の最後に、震災／電力制限／輪番休暇のために遅延が生じ、実チップを用いた消費電力削減効果の評価等が遅れてしまっていることがかえすがえすも残念であるが、回路シミュレーションによる予備評価結果とはいえ、現実的なベンチマーク回路でのしきい値マップ後の漏れ電流削減 1/30 が十分に達成可能であることがわかったことと、実チップによる評価でも、しきい値制御性の良好なデバイスの入手という大きな問題を抱えながらも、1/22.6 というデータを達成することができたことで、基本的な目標は達成されたものと考えている。

5年間を振り返り、研究遂行の上での最大の問題点は、急速に変化する社会状況のもとでの、若手研究者のモチベーションの維持だと思った。彼らは、ポストク問題、日本の産業競争力の急速な減退、等に極めて敏感である。可能なかぎりピンポイントにジャストミートする目標設定と、ダイナミックに目標を動かす大胆さの必要性を身にしみて感じた5年間であった。

