

研究課題別事後評価結果

1. 研究課題名： 単一磁束量子回路による再構成可能な低電力高性能プロセッサ
2. 研究代表者名及び主たる研究参加者名 (研究機関名・職名は研究参加期間終了時点):

研究代表者

高木 直史 (京都大学大学院情報学研究科 教授)

主たる共同研究者

村上 和彰 (九州大学大学院システム情報科学研究院 教授)

吉川 信行 (横浜国立大学大学院工学研究院 教授)

赤池 宏之 (名古屋大学大学院工学研究科 助教)

永沢 秀一 ((財)国際超電導産業技術研究センター超電導工学研究所 主管研究員)

3. 研究実施概要

超伝導単一磁束量子(SFQ)回路による大規模再構成可能データパス(RDP)を有するプロセッサの基盤技術確立し、今後、最小接合寸法0.5 μm 程度のSFQ集積回路プロセスが確立されれば、10テラフロップス級デスクサイド・コンピュータが実現可能であることを示すことを目的とし、SFQ回路プロセスの高度化及び高信頼化、SFQ論理回路設計技術の開発、SFQ-RDPに適した算術演算ユニットの構成法の開発、SFQ回路による再構成可能な回路の構成法の開発、RDPアーキテクチャ技術の研究を行った。RDPは、多数の浮動小数点演算ユニットを二次元配列状に配置し、行間を再構成可能なネットワーク(ORN)で接続した構造であり、大規模な科学技術計算に現れる繰り返ループの計算に合わせてORNによる接続を再構成し、データ依存関係のある多数の命令を直接実行することにより、高い計算性能を実現する。

SFQ回路プロセスの高度化については、完全平坦化技術を開発し、受動配線(PTL)技術を取り入れたPTL配線層2層をもつニオブ9層1 μm プロセス(以下、1 μm プロセス)を確立した。また、1 μm プロセスおよび、従来のニオブ4層2 μm プロセス(以下、2 μm プロセス)の高信頼化に努めた。

SFQ論理回路設計技術の開発では、1 μm プロセス用論理セルライブラリを構築した。また、セルベース回路設計フロー全体について検討し、一連の設計支援ツールを開発した。さらに、SFQ回路のさらなる低消費電力化技術を開発した。

SFQ-RDPに適した算術演算ユニットの構成法の開発では、浮動小数点加算器(FPA)、乗算器(FPM)、除算器、開平方の構成法を開発し、半精度FPAおよびFPMの2 μm プロセスによる24GHzおよび31.5GHzでの動作実証に成功し、1 μm プロセスによる60GHz以上での動作実証にほぼ成功した。また、SFQ回路による再構成可能な回路の構成法の開発では、ORNの構成法について検討を行い、クロスバ多段網の採用を決定した。さらに、プロトタイプRDPの開発を行い、2 μm プロセスによる2x2 RDPの25GHzでの動作実証に成功し、2x3 RDPの23GHzでの動作実証にほぼ成功した。さらに、1 μm プロセスによる2x2 RDPの45GHzでの動作実証に成功し、現在、4x4 RDPのおよそ50GHzでの動作実証に向け、測定を行っている。これらの回路はSFQ回路として世界最大規模となっている。

RDPアーキテクチャ技術の開発は、アプリケーション解析とSFQ回路による実現に関する検討の両面から研究を進めた。種々の科学技術計算の解析に基づき、RDPの詳細アーキテクチャ(行数と列数、FPUの構成、FPUの配置法、ORNの構成および最大結合距離等)を決定した。また、RDPコンパイラを作成するとともに、RDPの評価ツールを作成した。さらに、熱伝導方程式等の種々の数値計算に対してRDP向きのアルゴリズムを開発した。これらの成果と、他のグループで得られたSFQ-RDPのハードウェア性能の見積りを基に、SFQ-RDPの実効性能、消費電力当たりの性能等を見積り、SFQ-RDPの有効性を示した。

これらにより、大規模SFQ回路が設計可能かつ製作可能であること、および、SFQ-RDPが実現可能で科学技術計算に有効であることを示した。さらに、0.5 μm プロセスによるSFQ回路の性能見積りから、実効性能が10テラフロップスで、消費電力が3.2WのSFQ-RDPが実現可能であることを示した。

4. 事後評価結果

4-1. 研究の達成状況及び得られた研究成果(論文・口頭発表等の外部発表、特許の取得状況等を含む)

再構成可能データパス(RDP)が超伝導単一磁束量子(SFQ)回路の有する高速スイッチング、低消費電力、パルス論理特性に適しているとの着想に基づき、製造プロセス、デバイス技術、論理回路設計、システムアーキテクチャの研究者が協同して RDP を基本構成とする SFQ プロセッサの実現可能性を示すとする目的に対して、低消費電力 SFQ 回路基本技術の開発と SFQ 論理回路設計環境の整備で一定の成果を挙げており、当初の目標は概ね達成されたと評価できる。

特に、完全平坦化技術を開発してニオブ 9 層最小接合寸法 $1\mu\text{m}$ の超伝導集積回路作製プロセスを完成させたこと、 $1\mu\text{m}$ プロセス用論理セルライブラリと設計支援ツールを開発して超伝導集積回路の設計環境を整備したこと、 $1\mu\text{m}$ プロセスによる 2×2 RDP を試作し 45GHz での動作実証に成功したこと、同じく 4×4 RDP を試作して 50GHz での動作実証に向けた測定段階に至っていること、などの成果はこの分野で世界をリードする成果である。これらの試作回路規模は世界最大であり、SFQ 回路が大規模回路として実現可能であることを示したプロセス技術、デバイス技術、論理設計技術は、超伝導コンピュータ実現への基盤技術となり得るものとして評価できる。

しかしながら、 $1\mu\text{m}$ プロセスによる 2×2 RDP の動作実証あるいは 4×4 RDP の試作を根拠に「最小接合寸法 $0.5\mu\text{m}$ 程度の SFQ 集積回路プロセスが確立されれば、10 テラフロップス級デスクサイド・コンピュータが実現可能である」との主張は、多くの仮定や外挿が積み重ねられた論理に飛躍があり、現実的な説得力に欠ける。

再構成可能データパスが SFQ 回路の持つ特性を十分に活用したアーキテクチャであるかどうかは必ずしも明らかにはされておらず、着想の域を出ていない。また、SFQ 技術が、CMOS 技術を含む他の材料・デバイス技術、回路技術に対して、経済性も含めて優位で有効な技術であることを客観的に示すところまでには至っていないのは残念である。

研究成果に関して、国際論文誌や国際会議を中心に活発な発表が行われていることは適切であり評価できるが、CMOS の限界を克服し得る新技術としての可能性を示して産業界や科学技術政策立案者からのサポートを獲得しようというときに、関係者に対して説得力ある成果発信が十分に行われたとは言えない。また、新しいハードウェア技術に関する基礎的研究であるにもかかわらず特許出願がゼロであり、知的財産に対する取り組みが「適当であったとは言えない。

4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

$1\mu\text{m}$ プロセスによる 2×2 RDP の 45GHz での動作実証に成功したこと、また評価時点で完全動作の確認には至らなかったが 50GHz で動作する 4×4 RDP を試作したことは、世界最高レベルの超伝導集積回路作製プロセスと設計環境を整備したことを示しており、SFQ 回路技術の可能性を示す基礎技術の進歩に貢献したという意味でその成果の科学技術的インパクトは大きいと評価できる。

しかしながら、パルス論理による大規模回路設計の検討、汎用 CPU やメモリとのインタフェースを含めたコンピュータ全体のアーキテクチャの検討、信頼性の検討、他の技術との比較など、いくつかの知見は得られているものの、実用化に向けて今後に残されている課題も多く、現時点で大きな社会的インパクトがあったとは認められない。

震災の影響で製造装置に障害が発生したために研究期間を1年延長した結果、当初に予定したチップ試作の目標は達成されたが、「10 テラフロップス級デスクサイド・コンピュータ」の実現可能性や有効性を十分に説明できる成果が得られたとは言いがたく、残念ながら、情報システムの超低消費電力化という戦略目標に対して十分な貢献があったとは言えない。

4-3. 総合的評価

「10テラフロップス級デスクサイド・コンピュータの実現可能性」について十分説得力ある説明をするために今後に残された課題も多く、現状では、現在のCMOS技術を越える実用技術に育つ可能性は依然として不明で

あると言わざるを得ないが、SFQ回路作製プロセスと設計環境について現時点で世界最高水準に達しており、研究領域の趣旨に照らして一定の成果が得られていると評価できる。