

戦略的創造研究推進事業 CREST
研究領域
「ディペンダブル VLSI システムの基盤技術」
研究課題
「フィールド高信頼化のための回路・システム機構」

研究終了報告書

研究期間 平成20年10月～平成26年3月

研究代表者:梶原 誠司
(九州工業大学 情報工学研究院、
教授)

§ 1 研究実施の概要

(1) 実施概要

本研究は、フィールドでシステム運用中のVLSIを一時的にテストモードに切替えて、自己テスト・診断を行うことにより、劣化によるシステム障害の未然予防および故障検出を可能とする技術(これを *DART: Dependable Architecture with Reliability Testing* と名付けている)の開発を目的とする。VLSI の劣化は回路の遅延時間の増加として捉えることができるため、研究期間の前半は、DARTに必要な要素技術を、以下の大項目に分けて開発した。

- (1) オンチップでの高精度遅延測定(首都大、九工大が主に担当)
- (2) フィールドでのテスト制約への対応(奈良先端大、九工大が主に担当)

その結果、実論理を用いたベンチマーク回路の遅延時間を 5–39ps の誤差で測定し、面積オーバーヘッド0.2%、テスト用メモリ8kbyte以下で実装する等の実用に充分耐えうる性能を確認することができた。

研究期間の後半は、それまでに開発した技術がフィールドで適用可能なことを検証することとその普及のため、

- (3) 組み込み自己テスト(BIST)用回路として実装可能なシステム化(奈良先端大、九工大、大分大が主に担当)
- (4) チップ試作による実証評価(九工大、首都大が主に担当)
- (5) 実用化対応のためのIP/ツール化とFPGAへの拡張(奈良先端大、九工大、大分大が主に担当)

を実施した。また、DART技術に関するWhite Paper(英語版含む)を発行し、合せて企業や研究機関におけるDART導入サポートを促進するためのセールスキットの一貫として、実装のためのガイドライン、C言語によるソフトウェアIP、およびRTL記述のハードウェアIPを提供可能物件として整備した。これらは、DART技術全体および個別の要素技術の紹介カタログとして企業説明会、国内展示会あるいは国際学会併設の展示会で配布活動を推進中である。

これらの活動と相まって研究内容がより実用的なものであることを目指し、研究期間全体を通じて、すべての研究グループが

- (6) 企業ニーズの獲得と共同評価によるフィージビリティ検証

を継続的に実施した。訪問した企業数は16社を数え、活発な議論や情報交換を行った。例えば当初計画では「故障回路の修復」のテーマを予定していたが、アプリケーション依存となる修復よりは故障・劣化検知後の診断が設計・製造フィードバック情報として重要なことが議論により判明し、修復のテーマを「診断」に計画変更して対応した。また、高信頼VLSIは、ASICのようなVLSIだけでなくFPGAによる実装も重要なニーズであることに気づき、当初計画にはなかったFPGA適用を研究計画に追加した。

フィージビリティ検証の過程では、日立製作所との共同研究によりDART技術を高信頼LSIチップに適用し、その実用性を確認・検証することが出来た。ユーザ論理とのインタフェースを設計・構築し、フィールドテスト用回路を含めた評価により、遅延測定精度、テスト用の回路量、メモリ量など、いずれも要求スペックを達成することを確認した。また、要素技術として開発した高品質テスト生成手法は企業に技術移転し、テスト時間短縮によるテストコスト削減に活用している。その他、遅延測定精度向上のため開発した温度・電圧モニタ回路技術は、オールデジタルで構成できるためチップ上に自由に搭載可能な特徴を活かして、サーバ用LSIへの適用を目指した企業とのTEG評価が進んでいる。

研究を遂行する過程で生じた発明は特許申請を行い、基本特許となるフィールドテストによるディペンダブルVLSI実現方式の他、周辺特許も拡充し、国内出願、海外出願により権利確保を計っている。

(2) 顕著な成果

<優れた基礎研究としての成果>

フィールドでの高精度な遅延測定を可能とする論理BISTの実現に際して、温度環境変化に

強い測定の基本手法(No.1)、電力ノイズを低減出来る論理 BIST 手法(No.2)、およびその検証手法(No.3)の3点から研究を行い、効果を確認できた。また有力国際学会で発表を行った他、特許化を推進している。

1. 補正を伴う劣化判定(関連特許:3件、関連論文:8件)

概要:(200字程度) 論理 BIST の枠組みをベースに、ユーザ回路のチップ製造ばらつきや劣化による回路遅延の増加を計測可能とする。テスト時にクロックのタイミングを可変にして論理パス遅延のマーヅンを定期的に測定し、そのログを分析する手法を開発した。これまでの類似手法と異なり、新規開発した温度電圧モニタを利用して測定遅延値の温度電圧による影響を補正し高精度化を実現することを特徴とする。この手法によりフィールドテストにおいて回路の劣化が、遅延時間の増加として高精度に検出可能となった。

2. IR ドロップ高速解析(関連論文:4件)

概要:(200字程度) テストパターンの IR ドロップ解析は EDA ツールでその機能がサポートされているが、小規模回路でも多大な時間を要するので大規模回路への適用は困難であった。そこで、解析時間を格段に高速化する IR ドロップ解析手法を開発した。提案法では選択された少数のテストパターンでの EDA ツールを用いた高精度な解析結果を元に、ゲートごとの IR ドロップ量の見積関数を導出する。残る大量のテストパターンに対しては見積関数を用いて IR ドロップ量を計算することで、精度を維持しつつ高速化を実現する。これにより、大量のテストパターンに対しても現実的な時間での解析が可能となる。

3. 低消費電力 BIST(関連特許:3件、関連論文:4件)

概要:(200字程度) テスタによる制御が困難なフィールドでの論理 BIST 実行時に、発熱や電圧ノイズによる遅延テストの精度低下を防止する。従来手法と異なり、平易で制御容易な回路でのテスト入力パターンの電力制御可能化、世界で初めてのテスト応答パターンの直接の電力制御可能化、および従来の課題であった電力制御による故障検出率低下を防止する技術の特徴とする。この手法により、テスト時の電力を故障検出率の低下無く 20%以下まで目標とするレベルに制御可能となった。

< 科学技術イノベーションに大きく寄与する成果 >

研究開発成果の企業への技術移転可能なレベルへのブレークダウン(No.1)、個別技術としてフィールドテスト以外へも適用可能性を企業と検討・推進(No.2、No.3)を行っている。

1. DART の IP 化(ガイドライン、セールスキット)

概要:(200字程度) フィールドでの遅延計測に基づく劣化検知を可能にする DART 技術の実際の LSI での実現の容易化を目的として、DART 技術の IP 化を推進した。DART 技術を実現するための構成要素として複数個の汎用的な機能モジュールを定義し、それを利用して LSI 上に DART 技術を実現するためのガイドライン「DART 実現のためのガイドライン」を作成した。さらに、FPGA への適用についても検討を進め、DART 機能の実装・評価を容易にした。

2. 温度・電圧モニタ(関連特許:3件、関連論文:8件)

概要:(200字程度) リングオシレータ(RO)の発振周波数より温度・電圧を同時に推定する回路を開発した。このモニタ回路は、電源をオフにしなくても NBTI による劣化進行を抑えることができる特別な回路構成法を有することもでき、RO 自身の劣化の影響を受けずに長期に使用できる。また、通常のデジタル標準ライブラリに含まれるセルで構成可能であり、レファレンス電圧等が不要なため、通常用いられるアナログセンサと比較して配置場所や個数の制約が大幅に緩和され、また短時間で測定できるため、様々な用途での利用が期待される。

3. 高品質遅延テスト(関連特許:2件、関連論文4件)

概要:(200字程度) テスト実行時間などのリソース制約下で、遅延テストの品質を効率よく最

大化する手法である。与えられたテストパターン集合からサブテスト集合を選択する手法と、組み込み自己テストのためのシード集合からサブシード集合とそれらの展開数を選択する手法を開発した。本手法は、テスト品質を最大化するだけでなく、目的のテスト品質を早期に達成するためのテスト選択にも利用できる。テストコスト削減効果が高いため、企業への技術移転につながっている。

§ 2. 研究構想

(1) 当初の研究構想、課題設定

① 本研究の背景、社会や産業に存在する問題と本研究の課題設定

VLSI の微細化技術の進展に伴い、フィールド運用時のVLSIの劣化が顕在化しやすくなっている。本研究は、VLSI の故障によりフィールド運用中のシステムが突然ダウンすることを事前に防止し、システムの安心安全性を高めることをねらいとする。代表的な劣化メカニズムとして、BTI(Bias Temperature Instability)、ホットキャリア(HC)、酸化膜経時破壊(TDDB)、エレクトロマイグレーション(EM)、ストレスマイグレーション(SM)などが知られている。これらの多くは回路遅延の増加を引き起こすが、劣化メカニズムにより遅延の加速条件や増加率が大きく異なる。さらに、同じ劣化メカニズムであっても劣化により増加する遅延量が製造バラツキ、動作条件、あるいは温度等の動作環境に依存するため、正確な予測は困難である。

劣化による障害を回避する手段として、現状では動作マージン設計が通常行われるが、動作マージンを回路の製造ばらつき、動作環境、使用年数などに基づき、最悪の場合を考慮して決定するため、アプリケーションによっては 5% - 15% といった過大な動作マージンを必要とし VLSI の性能を犠牲にする可能性がある。障害を回避するもう一つの手段として、通常動作時に回路の出力や内部信号線の値を監視するオンラインテストもよく用いられている。監視の方法としてはパリティチェックや信号の安定性検知機能付きの専用 FF を用いてソフトウェア等の障害に対応する方法が知られている。しかし、専用 FF は通常の FF に比べ 3 倍強の面積になるなどオーバーヘッドが大きいと、実用上は回路内の一部の FF にしか適用できず、回路全体の信頼性を保証できない。また、いずれも通常動作時に異常値を出力した場合のみ故障を検出するため、回路全体を網羅的にテストする、さらには、劣化の進行を検知し障害を予測するといった高度な信頼性は保証していない。

本研究で提案するフィールドテストは、出荷後の VLSI の一部または全体を一時的にテストモードにし、短時間で高品質なテストを行うことで、高度な信頼性を確保することを目標とする。フィールドテストには、表1に示すように、VLSI の適用対象により異なる制約(使用環境、テストデータ量、テスト時間等)が存在する。これらの制約に対応する各種の要素技術と、それらを統合して実用的にフィールドテスト可能にする自己テスト技術の開発を本研究の主課題とする。さらに、開発した技術のフィージビリティ検証により、本提案技術が高いディペンダビリティが要求されるシステムに適用可能であることを実証し、汎用化・標準化された IP/ツール整備を含めて、その成果が広く社会に用いることが出来るようにすることも新たな課題として位置づける。

表1 VLSIの適用対象とフィールドテスト制約

適用対象	車載・医療等	プラント制御・交通システム等	ネットワーク・サーバ等	通常のLSI製造テスト
使用期間	長期(～20年)	超長期(～30年)	通常(～10年)	—
フィールドテスト	パワーオン時	運転中の定期的なテストモード実行	動作中(無休止)	—
テストリソース(メモリ等)	LSIピン・メモリ等ひっ迫	制約あり(冗長設計等の採用)	制約あり(劣化データ蓄積に興味)	テストの利用
テスト時間	～10ms	～100ms(テスト頻度に関連)	数10～数100ms	物理制約小(コスト制約有り)

②本研究チームの達成目標。

フィールドテストの実現方法として、本研究はシステムの空き時間(パワーオン・パワーオフ・アイドル時など、あるいはシステムの専用メンテナンス時)を利用した VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする回路・システム機構を開発する。研究のアプローチとして、DART と命名した以下の 4 つの的を狙った要素技術を開発し、並行してシステム化およびフィージビリティ検証を進める。

- D (取扱い可能な劣化要因の比率)の向上
- A (測定精度により検出可能な比率)の向上
- R (修復可能な比率×修復による MTTF 増加比率)の向上
- T (パワーオン・パワーオフテストによる検出率)の向上

具体的には、表 2 に示すように、開発すべき DART 技術を 4 つの研究項目(研究項目4は発展テーマとして追加)に大別し、それぞれの研究項目をさらにブレイクダウンすることにより、詳細な研究目標を設定する。

研究項目1の高精度遅延測定は、フィールドで高精度に回路の遅延を測定する技術の開発を目的とする。DART 技術では、自己テスト・診断により回路内のパスの遅延測定を行い、劣化による故障の事前予測や故障検出を実現する。システムクロックに対し1-2桁小さい精度での遅延測定を実現し、劣化量を遅延の増加として測定し、劣化による障害を事前予測するシステムを実現する。

研究項目2のテスト制約対応では、適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たす技術の開発を目的とする。表2で示す目標値は、製造テストでのテスト制約に比べ非常に厳しい制約であるが、これらを達成することにより、DART 技術導入によるシステムへの負荷を低減し、提案技術の実用化を可能にする。

研究項目3のシステム化対応は、システム稼働中でもテスト可能にする技術の開発を目的とし、DART 技術をシステム適用可能にする。

研究項目4の実用化対応では、開発技術のIP/ツール化により多くのポテンシャルユーザが評価/導入可能にするとともに、企業連携による実システム適用を含むフィージビリティ検証で、提案するIP/ツールが実用的であることを実証する。さらに、組み込んだシステムからフィールドテストで実システム内部の遅延値などのデータの取得・解析が可能であることを実証し、本技術が VLSI のディペンダビリティ向上に有用な手法であることを示す。

表 2 研究項目と達成目標

研究項目	目標	効果と説明
1:高精度遅延測定	50ps 以内の遅延測定誤差	温度や電圧の変動をデジタル測定可能
	テスト時の温度変動 5℃以下	温度変動による誤差の低減
2:テスト制約対応	検出率95%以上	テスト品質の確保
	テストデータ量 3000 分の1以下	オンチップのメモリに搭載可能
	1回のテスト時間 10~200ms	システム動作への影響を低減
3:システム化	論理 BIST による実現	既存回路の利用による付加回路量の低減
	非同期回路への対応	NoC への適用可能
	テスト履歴の活用	劣化判定と診断効率の向上
4:実用化対応 (発展テーマ 提案)	開発技術の IP/ツール化	一般ユーザの評価/導入可能
	フィージビリティ検証による有効性・効果の実証	実システムへの組み込み/試作/シミュレーションによる実用性の実証(性能、精度、フィールドデータ取得、運用時の性能・動作環境モニタリング等)
	機能安全国際規格化	提案技術の標準化

③本研究の特徴

本研究は、フィールドで VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする手法を開発する。研究のアプローチとして、表2に示した4つの研究項目をさらにブレイクダウンして、図1で示すアプローチで研究を進める。

高精度な遅延測定を行うために、離散的な測定値のよるランダムなノイズに対しては統計処理による量子化誤差の低減を行う。またフィールドでの VLSI の自己テストによる回路遅延測定では、回路の遅延は、劣化だけでなく、毎回の測定時の回路の電圧、温度の変動による環境にも依存する。そこで、測定誤差を低減するために、モニタ回路を利用した遅延測定値補正、およびテスト手法の工夫によるテスト時の温度安定化を行う。

適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たすためには、分割・巡回テスト技術、高品質遅延テスト集合技術、劣化検知テスト技術を開発する。分割・巡回テストでは、VLSI 全体のテストを複数回のテスト機会に分割して行うことで、全体の故障検出率を低下させることなく1回のテストのテスト時間・テストデータ量を削減する。高品質遅延テスト集合技術では、テスト時間、テストデータ量の制約に応じて遅延テストの品質を最適化する。劣化検知テスト技術では、劣化メカニズムを考慮したテスト対象の絞り込みを行い、特定の劣化メカニズムに特化したテストの最適化を行い、テスト時間、データ量を削減する。さらに、生産テストで利用される BIST 技術を改良して用いることでテストデータ量の削減を行う。

システム化では、スキラン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを、提案するモニタ回路やテスト結果のログ機能と連動させて、フィールドテストのためのテストアーキテクチャを実現する。生産テストの枠組みを再利用することで、ハードウェアオーバーヘッドを抑え、テスト品質を保証することを可能にする。

実用化では、開発技術を汎用化・標準化の観点で見直しIP/ツールとして実現するとともに、フィージビリティ検証では、企業と連携して実システムに本技術を組み込むことで、実用的なリソース(ハードウェアオーバーヘッド、テスト時間、テストデータ量)で、目標とする遅延測定精度を達成でき、本技術が実用化可能であることを実証する。そのほか、実システムに組み込めなかった項目については、チップ試作やシミュレーションで検証を行う。また、開発技術の有効性・効果を想定ユーザが容易に認識可能な形で示すために、機能安全国際標準規格の要件として本開発技術の採用を目指す。

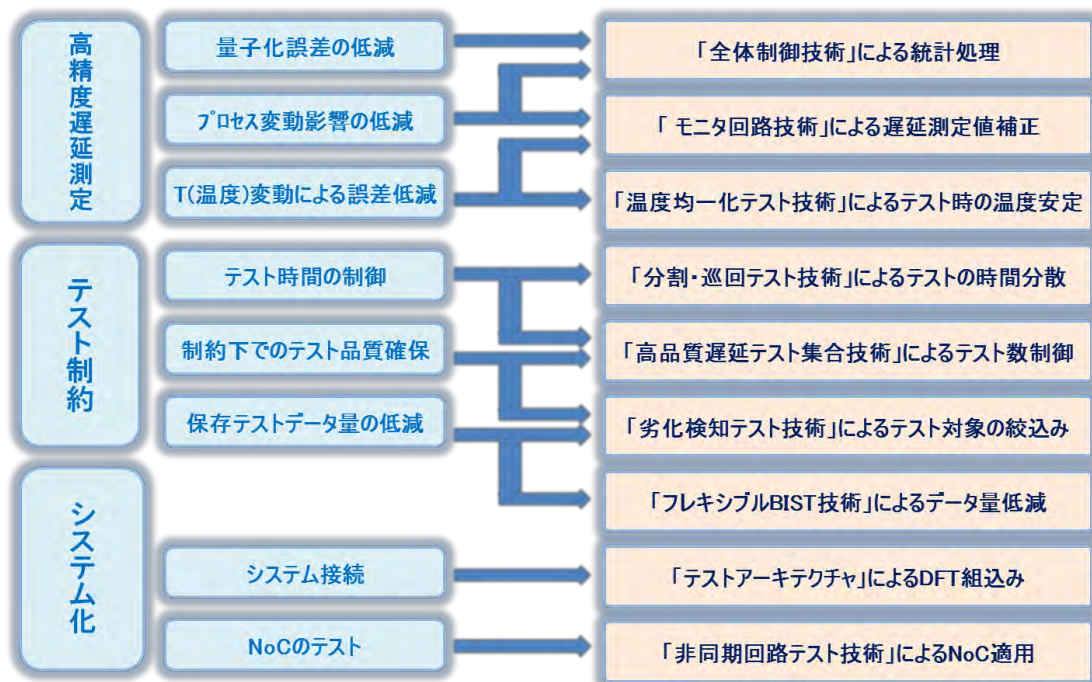


図1. 研究のアプローチ

本研究で提案している方法・アイデアの適用効果、適用対象の広さ、優位性、独創性を以下に示す。

本研究では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを利用して、フィールドテストを実現する。この手法は、フィールドでのシステム運用時(オンライン使用)と、システム開発時やシステム休止時のシステムデバッグ(オフライン使用)との、双方で利用可能である。オンラインでの使用は、定期的な遅延測定により劣化による遅延の増加をタイムリーに把握できるため、フィールドでのシステムの信頼性向上に貢献する。一方で、オフラインでの使用は、出荷前のチップの遅延マージンおよび初期の劣化量を測定し信頼性の低いチップを事前に検出出来るほか、チップ内部の情報獲得手段を提供できるため、フィールドでのシステムのデバッグ効率向上にも貢献する。さらに、本研究では、テスト時間、テストデータ量の厳しい制約の下で、テスト品質を最大化する技術、および非同期回路に対するテストおよびテスト容易化設計技術を提供する。これらの技術は、生産テストにも適用可能であり、同期回路、非同期回路、両者を混載するGALS(大域非同期局所同期)システムを含むVLSIチップの品質向上に貢献する。表3にオンラインとオフラインの利用における利用目的と処理内容を示す。

表3 本研究の利用目的と処理内容

利用方法	利用目的(適用効果)	内容
フィールドテスト (オンライン使用)	劣化による故障の事前検知	遅延マージン変化履歴解析
	誤動作時の診断情報提供	テスト箇所と遅延マージン取得
システムデバッグ (オフライン使用)	設計マージン・劣化度合いの把握	時間経過、環境影響、通常劣化、加速劣化等のデータ取得
	システム診断情報提供	不良解析時に遅延情報取得
生産テスト (オフライン使用)	チップ品質向上	リソース制約下での遅延テスト品質最大化 非同期回路のテスト容易性向上

適用対象については技術的な適用可能性よりも、コスト許容性により導入の可否が決定される場合が多い。本研究のアプローチは、表1に示した対象のうち、長期間の使用で冗長設計による高信頼化が許容されるプラント制御・交通システム等に最も適合する。ネットワーク機器や性能選別が必要なサーバにも本研究のアプローチは適合する。一方で、車載LSIや民生用LSIは、技術的には適用可能であるが、外部ピンやチップ面積等のコスト制約が厳しいため、直ちに現製品への適用は困難であるが、次世代以降の必要技術として提案していく。

本研究は、類似の研究と比較して、以下の優位性を有する。

- ・ 適用対象がSoC、NoC、マルチコアと、広範なVLSIのアーキテクチャに対応できる。
- ・ LSIの他、FPGAを用いたシステムへの適用も可能である。
- ・ 生産テストで使用されるDFTの枠組みを利用するため、システムへ与える影響が少なく、開発する技術は生産テストやシステムデバッグの効率化にも貢献する。

また、以下の独創性を有する。

- ・ 論理回路の動作マージンを高精度に測定可能
 - 遅延測定時の温度・電圧モニタと測定遅延値の補正機能
 - 温度・電圧モニタとして、標準ライブラリで構成可能な非劣化リングオシレータ回路を発明
 - テスト時の消費電力のみならず、温度も制御可能なテストパターン生成技術
- ・ 適用対象のテスト制約(テスト時間、メモリ量)に、フレキシブルに対応可能なテスト方式
 - フィールドでの複数回のテスト機会を活用
 - 効率的にテスト対象を抽出するテスト技術
- ・ 測定結果ログの記憶とシステム診断への適用

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究チーム運営において、以下の4つを基本方針とする。

方針1:世界トップレベルの研究成果

フィールドテスト技術によるシステムの高信頼化を達成するために、各個別技術に対して設定した数値目標をクリアすることを目指す。特に、精度の高い遅延測定とリソース制約下でのテスト生成には、これまでの研究を凌駕する成果を必要とする。技術の高さを立証するために、世界トップレベルの学術論文誌や国際会議での論文採択を目指す。また実システムでの評価や試作等による評価で有効性・効果を実証する。

方針2:企業連携による提案システムの実用化

企業調査により技術ニーズの明確化と要求項目の定量化を行い、さらに、企業と連携して、提案システムの実用化を目指す。本システムは、ディペンダビリティを必要とするシステムに組み込んで、システムのフィールド高信頼化を達成するため、実用化には本システムを組み込むシステムとの連携した開発を必要とする。この実用化のための開発で企業と積極的に連携し、実用化による本システムの有用性の立証を目指す。また企業連携の結果をフィードバックして、開発技術の汎用化・標準化を目指す。

方針3:特許出願による知財権の確保

LSI 劣化検知のためのフィールドテストは、製造テストや従来の簡易なフィールドテストとは異なる厳しい要求が存在するため、技術開発過程で多くの新規の発明が生じる。そこで生じた発明については、できる限り、国際出願を前提とした特許出願を行い、知財権を確保する。

方針4:機能安全標準化に向けた取り組み

LSI劣化検知のためのフィールドテストは、微細化の進むLSIのフィールド高信頼化を達成する有効な手段になる。劣化検知テストやそこで利用される個別技術が機能安全標準化の要件となるよう働きかける。

上記方針に基づき、研究グループ間で連携して、研究開発を以下のように進める。

- ・個別技術の研究は、それぞれ、グループ単独、または、複数グループ間で連携して研究を行っている。さらに、定期的にグループ内打ち合わせを設け、各研究成果のレビューを行うことで、研究成果の技術水準の向上を目指している。
- ・企業連携に関しては、全グループが共同で企業調査、企業連携による実用化を進めている。
- ・システム全体のフィジビリティ評価については、全体で、項目・内容・評価方法を議論し促進する。
- ・機能安全標準化に向けては、まず、本提案システムの有用性の立証を行い、機能安全国際規格 IEC61508 への要件化への働きかけを行う。

2) 領域外部の企業等との連携

これまで、半導体及びシステム関連企業、EDA ベンダ等 19 社を訪問し、フィールド高信頼化技術に対する産業界のニーズ調査・情報交換等を行った。そのうち、システムメーカ 1 社とは、実製品への適用・評価のため、共同での設計を行った。さらに、1 社が遅延測定技術に、2 社が高品質遅延テストに、1 社がテスト時電力・温度制御技術に興味を示している。企業連携においては、3社とNDAを締結して協議を行っており、そのうち1社とは、共同研究契約に至っている。海外の大学とは、現在、New Castle University (UK)、Nanyang Technological University (Singapore)と非同期インターコネクットの設計とテスト技術に関する共同研究により、現実的な設計技術に対応するテスト技術の開発を目指している。

3) 領域内他研究チームとの連携関係

非同期インターコネクットのテストに関して、実際に NoC の設計を行っている CREST/DVLSI 米田チームと連携している。そこでは、米田チームで試作中の NoC に搭載された、非同期チャンネルおよび非同期ルータに対するテスト容易化設計を行った。試作チップへの適用も検討してお

り、実用化のための技術課題の抽出およびその解決を目指している。

(2)新たに追加・修正など変更した研究構想、発展テーマ

① 中間評価で受けた指摘や助言、それを踏まえて対応した結果について

中間評価コメント「目下の集中項目である遅延時間の計測については、測定精度が目標に満たないところを改善し、エラー発生予測確度の結果まで定量的に示すことにより、フィージビリティを実証する必要がある。」

対応:遅延時間計測の誤差原因毎に定量化し、温度電圧モニタに用いる RO の組み合わせの最適化等を行った。日立製作所との共同評価において、実回路に適用した結果、誤差を目標値の 50ps を下回る 39ps まで小さくすることに成功した。また TEG の試作による評価でもほぼ同様の精度を確認している。エラー発生予測に関しては新たに理論モデルを構築して今後は実測と比較検討可能とした。

中間評価コメント「遅延時間測定に留まらず、テストのタイミング選択、効率化、結果の保存など基本的な事項も十分に検討し有形無形の知的資産化をしつつ、IEC61508 提案に不足のないよう充実させてほしい。また、提案概念によって、ディペンダビリティがどのように向上するのか、を定性的、定量的に明確に主張できるように進められたい。」

対応:開発技術の知的財産化は、中間評価以降も進めて、国内既出願分については国際出願を行っている。IEC61508 提案については、ディペンダブルシステムに関する最高権威の国際会議 DSN2012 にポスター出展し、関係者への広報に努めた。今後、実証データの獲得を推進し、IEC61508 提案に向けた活動を継続する。また、提案概念の効果については、カタログの作成配布や White paper の更新によりわかりやすく主張するよう務めてきた。

中間評価コメント「企業との間で進行中の連携を、具体化の過程から得る新たな課題にも対処しつつ進め、まず成功させてほしい。現実を受け容れられる技術の姿が、研究段階での構想と違ってくことはよく起こるが、そうした事態に柔軟に対応して解決策を見出してほしい。また、企業連携から得られるデータが後々ユーザと共有する貴重な資産となるのではないか。」

対応:企業連携では実回路での設計評価に至ることができた。企業との情報交換を重ねていく中で、データ共有にはシステムを作る側だけでなく使う側の企業と連携することの重要性を学んだ。

中間評価コメント「汎用的な Si IP、ツールを開発して適用を普及する発展テーマも、出口側、すなわちユーザならびに EDA ベンダから見た要件をよく調査し、交渉は戦略的に進められたい。」

対応:開発した技術毎に、連携を模索する企業を新たに開拓している。EDA ツールに組み込むことが必要な技術については各 EDA ベンダの業界内で置かれた状況を勘案し、複数連携先にアプローチしている。

② 中間報告書 § 6. 今後の研究の進め方、および研究成果の見通しの記載事項に関し、研究を進めた結果について

中間報告書に記載した事項と研究を進めた結果は、以下の通りである。

・開発技術の IP/ツール化

結果:DART-IP 化を推進し、「DART 実現のためのガイドライン」を提供可能なものとして準備した。さらに、JST の協力を得て、DART-IP の企業向け導入説明会を実施し、出席した 9 社 (12 名) の担当者に DART の狙いと概念、および、ガイドラインの概要を紹介した。

・DART 有効性・効果の実証

結果:日立製作所との共同開発により、DART 導入時の回路オーバーヘッドやテスト時間、遅延測定誤差の精度などが、実用に耐えうるものであることを示した。また、他の企業との連携において、先端 LSI プロセスによる温度・電圧モニタ回路の TEG 評価を行い、その評価結果を提案手法の改善につなげている。更に、九工大が中心になって温度・電圧モニタ、オンチップ遅延測定、低電力

BIST 等を評価するためのチップ試作を行い、現在試作チップの評価中である。FPGA 利用システムへの DART 適用拡大についても、DART ガイドライン等の FPGA 版発行に向けて研究を継続している。

・規格化推進活動

IEC61508 メンテナンスチーム国際エキスパートの金川信康氏(日立製作所)からアドバイスをいただきながら、まずは、DART の論文発表を行った(ITC2012)。更に、IEC61508 に関連するエンジニアが多数参加すると考えられている DSN にポスタ発表を行い、世界に DART 技術をアピールした。今後、DART の更なる普及や実証データ取得により、SIL3/4 の要件化の足掛かりとしたい。

③ 上記①②以外で生まれた新たな展開について

DART 技術に関する White Paper(英語版含む)に加え、企業や研究機関における DART 導入サポートを促進するためのセールスキットの一貫として、実装のためのガイドライン、C言語によるソフトウェア IP、およびRTL記述のハードウェア IP を提供可能物件として整備した。DART紹介カタログおよびパンフレットも用意し、企業向け説明会を実施した他、国内展示会あるいは国際学会併設の展示会で配布活動を推進中である。

§ 3 研究実施体制

(1)研究チームの体制について

①「九工大」グループ

研究参加者

氏名	所属	役職	参加時期
梶原 誠司	九州工業大学・情報工学研究院	教授	H20.10～
温 暁青	同上	教授	H20.10～
宮瀬 紘平	同上	助教	H20.10～
Stefan Holst	同上	助教	H25.4～
佐藤 康夫	同上	特任教授	H20.10～
原口 雅史	九州工業大学・情報工学府	M2	H20.10～H21.3
奥 慎治	同上	M2	H20.10～H22.3
野田 光政	同上	M2	H20.10～H22.3
井上 亨	同上	M2	H21.4～H23.3
広実 一輝	同上	M2	H21.4～H23.3
王 森レイ	同上	D3	H21.4～
松藺 誠	同上	M2	H22.4～H24.3
三宅 庸資	同上	D2	H22.4～
山口 久登	同上	M2	H22.4～H24.3
津森 涉	同上	M2	H23.4～H25.3
加藤 隆明	同上	M2	H24.4～
笹川 拓磨	同上	M2	H24.4～
佐々木 一斗	同上	M2	H24.4～
野々山 聡	同上	M1	H25.4～
安部 賢太郎	同上	M1	H25.4～
戸田 博志	同上	M1	H25.4～

研究項目

- ・劣化検知箇所選定・テスト生成
- ・補正を伴う劣化判定
- ・SoC/NoC 温度制御
- ・品質・コスト制御インテグレーション
- ・テスト時間制御
- ・試作チップ設計・製造・評価

②「奈良先端大」グループ

研究参加者

氏名	所属	役職	参加時期
井上 美智子	奈良先端科学技術大学院大学・情報科学研究科	教授	H20.10～H26.3
藤原 秀雄	奈良先端科学技術大学院大学・情報科学研究科	教授	H20.10～H23.3
大竹 哲史	奈良先端科学技術大学院大学・情報科学研究科	助教	H20.10～H23.7
米田 友和	奈良先端科学技術大学院大学・情報科学研究科	助教	H20.10～H26.3
吉田 宜司	奈良先端科学技術大学院大学 情報科学研究科	M2	H20.10～H21.3
竹谷 啓	奈良先端科学技術大学院大学 情報科学研究科	M1～M2	H20.10～H22.3
Hyunbean Yi	奈良先端科学技術大学院大学・情報科学研究科	研究員	H21. 9～H23. 2
岩田 大志	奈良先端科学技術大学院大学・情報科学研究科	M2～D2	H21. 4～H23. 3
中尾 良	奈良先端科学技術大学院大学・情報科学研究科	M2	H21. 4～H22. 3
Marie Engelen Jimenez Obien	奈良先端科学技術大学院大学・情報科学研究科	D2～D3	H21. 11～H23. 3
小副川 絵美子	奈良先端科学技術大学院大学・情報科学研究科	M2	H22. 4～H23. 3
堀 慧悟	奈良先端科学技術大学院大学・情報科学研究科	M2	H22. 4～H23. 3
畠山 一実	奈良先端科学技術大学院大学・情報科学研究科	特任教授	H23. 4～H26. 3
大和 勇太	奈良先端科学技術大学院大学・情報科学研究科	研究員 助教	H23. 4～H25. 3 H25. 4～H26. 3
内田 行紀	奈良先端科学技術大学院大学・情報科学研究科	M2	H23. 4～H24. 3
西原 有哉	奈良先端科学技術大学院大学・情報科学研究科	M2	H23. 4～H24. 3
村田 絵理	奈良先端科学技術大学院大学・情報科学研究科	M2	H23. 4～H24. 3
森永 洋介	奈良先端科学技術大学院大学・情報科学研究科	M2	H23. 4～H24. 3
Ratna Aisuwarya	奈良先端科学技術大学	M2	H24. 4～H24. 10

	院大学・情報科学研究科		
秋吉 保紀	奈良先端科学技術大学院大学・情報科学研究科	M2	H24. 4～H25. 3
吉見 優太	奈良先端科学技術大学院大学・情報科学研究科	M2	H24. 4～H25. 3
伊藤 溪太	奈良先端科学技術大学院大学・情報科学研究科	M1～M2	H24. 10～H26. 3
中島 悟	奈良先端科学技術大学院大学・情報科学研究科	M1～M2	H24. 10～H26. 3
西井 雅俊	奈良先端科学技術大学院大学・情報科学研究科	M1～M2	H24. 10～H26. 3
宮本 佳治	奈良先端科学技術大学院大学・情報科学研究科	M1～M2	H24. 10～H26. 3
Yussuf Ali	奈良先端科学技術大学院大学・情報科学研究科	M1～M2	H24. 10～H26. 3

研究項目

- ・ SoC/NoC 温度制御
- ・ 品質・コスト制御インテグレーション
- ・ テストアーキテクチャ
- ・ テストスケジューリング・アダプティブテスト
- ・ インターコネクトテスト
- ・ SoC/NoC 診断

③「首都大」グループ

研究参加者

氏名	所属	役職	参加時期
三浦 幸也	首都大学東京システムデザイン学部	准教授	H20.10～

研究項目

- ・ 補正を伴う劣化判定
- ・ 測定回路設計

④「大分大」グループ

研究参加者

氏名	所属	役職	参加時期
大竹哲史	大分大学工学部	准教授	H23.8～H26.3
安部浩章	大分大学大学院工学研究科	M1	H25.4～H26.3
佐藤秀一	同上	M1	H25.4～H26.3
中島寛之	同上	M1	H25.4～H26.3
森保孝憲	同上	M1	H25.4～H26.3
本田太郎	同上	M1	H25.4～H26.3

研究項目

- ・ SoC/NoC 温度制御
- ・ インターコネクトテスト

- ・ SoC/NoC 診断
- ・ 実用化対応

(2)国内外の研究者や産業界等との連携によるネットワーク形成の状況について
研究チーム外では、日立製作所と共同研究契約を締結し、技術評価のため共同でチップ設計を行った他、産業界からの研究ニーズや研究方針に対するアドバイスをいただいている。富士通とは秘密保持契約に基づいて、共同での技術検討を行っている。この2社とは、研究期間全体を通じて、定期的に会議を実施し、密接に連携している。研究期間の後半には、ルネサスエレクトロニクスと共同研究契約を締結し、テストコスト削減を目的とした研究を実施している。その他、研究期間中に情報交換を実施した企業とも、今後、連携を深めていきたい。

§ 4 研究実施内容及び成果

4. 1 劣化検知箇所選定・テスト時間制御(九工大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

フィールドでの劣化により誤動作しやすい箇所を推定しテストの対象を絞り込むことでテスト効率を向上する手法、および、与えられたテスト時間の制約を満たすためテストパターンを分割して一回のテストで印加するテストパターン数を少なくする手法を研究する。劣化検知箇所選定では、劣化として NBTI による遅延増加を評価して、劣化後に遅延が最大となるパスを抽出する。ベンチマーク回路により、提案手法の有効性を実証する。

② 創造性

論理回路のパス遅延故障のテストでは、これまで回路の設計時のクリティカルパスを選択してテストすることが行われていたが、フィールドでの劣化検知では劣化後のパス長を考慮してテスト対象パスを選択する点で創造的である。また、出荷前の製造テストでは、テスト機会が一度しかないため、テスト時間制約にはテストパターン数の削減で対応せざるを得なかったが、フィールドテストではテスト機会が複数回あることに着目して、テスト品質を考慮したテスト分割によりテスト時間制約を満たす手法を提案した点では創造的である。

③ 有用性

適用分野ごとに異なるテスト制約(ここでは特にテスト実行時間とデータ量に着目)下での目標テスト品質実現を可能にする。劣化による遅延増加率が高くて誤動作しやすいパスを特定して、それらにテスト対象を限定することは、フィールドテストにおけるテスト時間の短縮のみならず、オフラインでのシステムデバッグの効率化にも有用である。テスト分割は、テスト全体の故障検出率を低下させることなく、要求されるテスト時間の上限に基づいて分割数を決めることができるため、テスト実行時間の問題を根本的に解決できる。

④ 優位比較

従来の遅延増加率の見積もり手法は、多くの回路に対して過剰な見積もりとなる一方、局所的には危険な箇所が見過ごされている可能性があった。本研究の成果は、劣化後に故障を起こしやすいパスを従来より正確に見積もることができる。また、テスト分割によるテスト時間制御は、適用対象ごとに異なるテスト時間要求に対して、単純にテストパターンを分割するのではなく、提案手法は分割によるテスト品質の最大化も考慮している点で優位にある。

4. 2 補正を伴う劣化判定(九工大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

本研究課題ではフィールドにおける回路の劣化を遅延時間の増加として検出する。そのためにはオンチップによる高精度な遅延時間の測定方法の実現が必要となる。そのために ODCS (on-die clock-shrink)などの可変のクロック信号発生回路を使用して、遅延測定時にだけ可変のテストクロックを活用して論理パスの遅延時間の測定を行う(いわゆる可変クロックを利用した遅延故障テストによる遅延時間の測定)。長期に渡り継続的に遅延時間を測定し、ある制限値に到達した時点で警告を発することで、劣化によるチップ故障やシステムダウンを防止できる。測定した遅延時間から動作環境成分を取り除くために、温度・電圧モニタ回路(リング発振器ベース)で回路の温度・電圧推定を行い、環境成分の補正を行う(4. 12 参照)。また既存のスキャン回路を利用した遅延測定法であるため、遅延測定対象パスは測定時(テスト時)のテストパターンで選択することができる。さらに測定時の回路の温度変化を防止するため、温度均一化のテストパターンを使用して遅延測定を行う(4. 4 参照)。提案の DART 技術では、得られた測定データ(対象パス、遅延時間、温度、電圧、等)はログとして保存し、長期的な回路動作の評価を行う。

試作チップおよび回路シミュレーションを通して個別要素技術の評価と全体システム評価を行い、遅延時間測定系の精度の評価を行った。また製造ばらつきや測定時誤差を考慮した高精度なオンチップ遅延測定方法を評価した。ODCS はテストクロックのタイミングを制御可能であり、このタイミングのずれ(遅延時間のばらつき)が遅延時間測定の誤差要因となる。ODCS 利用のテストクロックの発生タイミング精度を 20ps と仮定すると(バッファ 1 段の半分の遅延時間)、遅延測定系全体の精度(誤差)は 26ps となった。これ以外に遅延時間測定ごとの遅延測定系全体のノイズ等に起因する誤差成分があるが、繰り返し測定により最小化される。

フィールドで遅延時間(パスの遅延マージン)を計測し、補正を行うことで高精度に回路の劣化度合いを評価できる DART 技術全体の仕組みは、基本特許(国内 2010-57310、国際 PCT/JP2011/55900、台湾 100108218)として出願済みである。

② 創造性

フィールドでの高精度な遅延測定を実現するために、以下の方法を開発したことに創造性がある。

- ・既存のスキャン回路を活用し、遅延測定系回路のオーバヘッドの最適化をはかった。
- ・またこのことから、遅延測定対象パスをテスト時のテストパターンで選択でき、対象パスをフィールドにおいて柔軟に選択できる。
- ・クロック信号発生回路を使用してテストクロック(launch クロック)の発生タイミングを可変にして遅延を測定するために、クロック信号の発生タイミングの精度で遅延の測定が可能である。
- ・遅延測定時には、回路の温度・電圧の遅延時間への影響の補正と回路の温度均一化テストパターンを使用するため、温度起因による遅延値変動を最小化し、パス本来の劣化による遅延時間を測定できる。
- ・測定値(遅延時間、温度、電圧)をログとして残すため、チップの使用履歴やログデータの統計処理等が可能である。

③ 有用性

これまでに、バーニアディレイラインや Razor/カナリア FF など、多くのオンチップ遅延測定法が提案されている。中にはバーニアディレイラインなど遅延測定精度の高いものもあるが、一般には測定回路のオーバヘッドが大きく、また測定対象パスが固定である場合が多い。回路(論理パス)の劣化の進行度合い(遅延時間の増加量)はその使用状況に依存するため、フィールドで種々のパスの遅延時間を計測する必要がある。さらに精度よく遅延時間を測定するためには、フィールドでの回路の動作環境をモニタする必要があるが、従来法ではそこまでの対応がなされていない。

本方法では、チップに組込まれたスキャン回路を活用して測定回路を実現しているため面積オーバーヘッドの増加を抑えている。遅延時間測定に可変クロック生成回路を組み込むことで、被測定回路の論理機能への影響がほとんどない可変のクロックタイミングを生成できる。スキャンテストでは遅延測定対象のパスはテストパターンに依存するため、チップ製造後でも柔軟に測定対象パスを選択できる。遅延時間の測定は、クロック周期を変化させながらのいわゆる遅延故障テストとして実施できる。また温度・電圧モニタを組み込み、さらに温度均一化テストパターンを使用することで、対象パスの劣化による遅延時間を高精度に測定できる。温度・電圧モニタ回路を含む測定系回路はデジタル回路によるハードウェア実装であるが、データの処理・補正はソフトウェアで実現可能であり、種々の回路への適用が可能となる。

④ 優位比較

測定系回路では既存 BIST 回路を活用し、また DART 技術として組み込む回路は可変クロック生成回路と温度・電圧モニタ回路およびその制御回路であり、被測定回路の通常動作への影響はほとんどない。また 7.2M ゲートの被測定回路に対して測定系回路のうちの温度・電圧モニタ回路とその制御回路は約 0.1%の面積オーバーヘッドで実装可能である。また可変クロック生成回路(ODCS)ではバッファ1段分の遅延時間でスキャンクロックのタイミングを制御可能であり、システムクロックを変更せずに可変のテストクロック制御が可能である。このように提案手法は被測定回路の性能・面積への影響を最小限にし、また回路動作の遅延時間への影響を補正し、かつ数十 ps オーダの誤差精度で遅延時間の測定が可能なデジタル化した処理回路・方式を提供できる。

4.3 品質・コスト制御インテグレーション(九工大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

テストデータ量、テスト実行時間、テスト時消費電力、故障検出率といったリソース制約の下で、テスト品質を最大化する手法を開発した。特に、論理 BIST におけるスキャンテスト時の低消費電力化の課題に対して、LFSR (線形フィードバックシフトレジスタ)が発生する疑似ランダムパターンのトグル率を制御することでテストパターンのスキャン入力時の消費電力を制御する手法を開発した。更に、テスト応答のスキャン出力時のトグル率を低下させるための手法も開発し、スキャンインとスキャンアウトの双方で低消費電力化を達成することをベンチマーク回路での実験により確認した。

② 創造性

スキャン BIST におけるスキャンシフト時の低消費電力化を、スキャン入力直後に擬似ローパスフィルタを付加し、目的の消費電力レベルを達成する手法は簡易な回路で完全に電力制御が可能とする点で創造性が高い。また、従来のスキャンシフト時の低消費電力化は、スキャン入力側のみの対応で行っていたためその効果は限定的であったが、スキャンアウトにおけるシフトトグル率の制御を行う新しい手法を開発し、シフト時の消費電力制御がより効率的に行えるようになった点は他に類を見ない。さらに、スキャンテストのキャプチャ時の消費電力を通常動作時のものに近づけるため、マルチサイクルテストを提案した。これらの技術は、国内および海外に特許出願している。

③ 有用性

提案した手法は、単にスキャン BIST のテスト時消費電力を下げるだけでなく、消費電力を目標とするレベルに制御することが可能になった。出力パターンの変更を伴うため、故障検出率低下の懸念を伴うが、マルチキャプチャによる FF 値の途中観測手法を開発し、故障検出率低下の問題を解決した。また、提案手法では、FF 周辺に付加回路を必要とするが、

その面積オーバーヘッドも評価し、実用的に問題ないことを確認している。論理 BIST が有するテストデータ量・テスト実行時間の優位性に加え、テスト時消費電力、故障検出率、付加回路面積の問題をクリアしており、有用性は高いと考えられる。

④ 優位比較

従来の遅延増加率の見積もり手法は、多くの回路に対して過剰な見積もりとなる一方、局所的には危険な箇所が見過ごされている可能性があった。本研究の成果は、劣化後に故障を起しやすいパスを従来より正確に見積もることができる。また、テスト分割によるテスト時間制御は、適用対象ごとに異なるテスト時間要求に対して、単純にテストパターンを分割するのではなく、提案手法は分割によるテスト品質最大化も考慮している。

4. 4 SoC/NoC 温度制御(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

テスト時の回路温度の空間的・時間的ばらつきを最小化するテストパターン系列生成法の提案を行った。ドントケア付きのテストパターン集合を生成し、各テストパターンの適用時に回路温度が場所によってばらつかず、空間的に温度が均一化するようにドントケア値を特定化する。さらに、時間的にも回路温度が均一化するようにテストパターンの適用順序を決定する手法を提案した。

② 創造性

本研究は、フィールドでの遅延テストを用いて遅延マージン測定を行う際の回路温度による測定遅延ばらつきを抑えるためのテスト時の回路温度均一化を目的とした研究である。回路温度を考慮したテストパターン生成、テストスケジューリング手法はいくつか提案されているが、いずれも回路の温度上昇によるテスト結果の誤判定を防ぐために、最大温度制約を満たすためのテスト手法である。テスト時の回路温度均一化を目的とした研究は、本研究が初めてであり、遅延テストを用いての遅延マージン測定の精度向上に貢献する。

③ 有用性

LSI の遅延は回路温度に依存するため、遅延テスト時には回路温度の制御が重要である。フィールドテストでは、生産テストと異なり回路外部から温度をコントロールすることが難しいため、精度の高いフィールドテストを行うには、テストパターンによって回路温度を制御することが有用である。本研究では、テスト時の回路温度を空間的・時間的に均一化するテストパターン系列生成手法を提案し、遅延テストによる遅延マージン測定の精度向上を実現した。

④ 優位比較

テスト時のピーク温度を最小化する手法は、米国 Duke 大 Chakrabarty 教授らのグループ、米国 Nebraska-Lincoln 大の Iyengar 教授らのグループ、米国 Wisconsin-Madison 大 Saluja 教授らのグループ、スウェーデン Linköping 大 Pen 教授らグループ、および本研究グループなど多くの研究グループによる研究成果が報告されている。これらは、テスト時の回路温度が高温になりすぎる問題を回避するためのもので、回路温度を均一化し、遅延テストの精度向上を目指す本提案手法とは異なっている。

また、米国 Duke 大 Chakrabarty 教授らのグループでは、テスト時の消費電力の均一化手法を提案している。これは、テスト時の温度均一化を最終的なゴールとした試みである。しかし、提案手法では、回路全体の平均消費電力を時間的に均一化するだけで、時間的均一化だけでなく回路位置による空間的均一化も考慮する本提案手法に優位性がある。さらに、本提案手法では、時間的に消費電力を均一化することなく、消費電力の高いパターンと低いパターンの適用順序を工夫することで温度均一化を実現している。このため、Chakrabarty 教授らのグループによる

手法に比べ、平均消費電力が低いという点でも優位性がある。

4.5 高品質テストパターン／シード選択法(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

テストデータ量、テスト実行時間などのリソース制約の下で、遅延テスト品質を最大化する手法を提案した。テスト品質の尺度として、回路中の遅延欠陥の量、テストクロックなどのテスト環境を総合的に評価する統計的遅延品質レベル SDQL を採用し、与えられたテストパターン集合からサブ集合を選択する手法と、与えられたシード集合からサブシード集合とそれらの展開数を選択する手法を提案した。シードとは、組み込み自己テストのためのテストデータであり、1シードから複数個のテストパターンを生成することができる。

② 創造性

本研究は、遅延テストの品質を少ないテストパターン／シードで向上させるために、テストパターン／シードをテスト品質に貢献する順に並べ替え、並べ替えによるランクの高い順に制約満たす範囲でテストパターン／シードを選択する手法である。ここで、制約とはテスト品質やテストパターン／シード数であり、テスト品質が制約の場合、制約を満たす中で最小数のテストパターン／シードを選択することができ、テストパターン／シード数が制約の場合、制約を満たす中で最大のテスト品質を達成するテストパターン／シード数を選択することができる。テストパターン／シードの並び替え手法は他にも提案されているが、本研究はテスト品質の指標として統計的遅延品質レベル SDQL を採用した点が特長的である。SDQL は遅延テストの品質、特に微小な遅延の検出能力を表す指標である。本研究では、遅延テストを用いて遅延マージンの測定を行うため、微小遅延の検出は遅延マージン測定の精度向上につながる。

③ 有用性

LSI テストにおいて、テストデータ量やテスト実行時間はテストコストと直結するため、それらの削減はテストコストの削減のために重要な課題である。本提案手法は、低コストで高品質な遅延テストの実現に有用である。さらに、提案法では、組み込み自己テストのシード選択にも利用可能なため、リソース制約の厳しいフィールドテストにおいて、テスト品質を最大化するのに有用である。

また、遅延テスト品質として、SDQL を採用しているため、回路中の遅延欠陥の量やテストクロックなどのテスト環境を総合的に評価する高品質な遅延テストの提供に寄与する結果である。

④ 優位比較

テストデータ量やテスト実行時間制約の下で、与えられたテストパターン集合から遅延テスト品質を最大するようテストパターンを選択する手法は、米国 Connecticut 大 Tehranipoor 教授や米国 Duke 大 Chakrabarty 教授らのグループでも研究されている。しかし、これらの結果では、テスト品質の尺度として長いパス(クリティカルパスのパス長の 70%以上の長さのパス)の中で検出可能なパスの割合といった簡易評価を採用している。これは、SDQL といった厳密な評価尺度の評価には時間を有するためである。これに対し、本提案手法では、SDQL 値を高速に見積もる手法を提案することでより厳密な遅延テスト品質の評価を行うことを可能にしている。

4.6 Faster-than-at-speed テストのためのテストパターン生成法(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

システムクロックより高速ないくつかのテストクロックを用いて、より微小遅延を検出するためのテストパターン生成法を提案した。

② 創造性

本研究課題では、遅延テストを用いて遅延マージンの測定を行うが、そのために、システムクロックより高速な複数のクロックを用いて遅延テストを行う。本研究は、各テストパターンに、テストを行うテストクロック周波数、観測すべきテスト応答のビットを指定するマスクパターンを割り当て、最良の SDQL を最小のテストボリューム(テストのために用意するテストパターン、マスクパターンなどのデータ量)で実現する手法である。フィールドテストでは、テストのために利用できるオンチップメモリの容量が厳しく制限されており、テストボリュームの最小化が必要である。本研究は、限られたテストボリュームで最大のテスト品質を得るためのテストパターン生成手法である点が特長的である。

③ 有用性

システムクロックより高速なテストクロックを用いる Faster-than-at-speed テストは、微小な遅延の検出能力を向上させ、遅延テストによる遅延マージン測定の精度向上に有用である。しかし、一般に、複数のテストクロックを用いる Faster-than-at-speed テストでは、テストパターン、テストクロック、マスクパターンの組み合わせによりテストボリュームやテスト時間の増大を招く。提案手法は、与えられたテストクロック集合で得られる最大のテスト品質を、最小のテストボリュームで実現する手法であり、オンチップメモリの容量などリソース制限のあるフィールドテストに有用である。

④ 優位比較

Faster-than-at-speed テストのためのテストパターン生成法は、米国 Connecticut 大 Tehranipoor 教授やフィリップスの研究グループでも研究されている。Tehranipoor 教授のグループの手法では、各テストパターンに対しタイミング解析を行い、そのテストパターンで活性化される最長パスに最も近いテストクロックをそのテストパターンに割り当て、微小遅延の検出能力を向上させている。しかし、1つのテストパターンで活性化される複数のパスのパス長にばらつきがある場合など、短いパスで活性化された箇所の微小遅延の検出には限界がある。また、フィリップスの研究グループの手法では、各パターンをすべてのテストクロックに割り当てる。テストパターンをタイミング解析し、テストクロックより長いパスが活性化された場合は、出力ビットをマスクし観測の対象から除外する。この手法では、与えられたテストパターンとテストクロックで得られる最大の微小遅延検出能力が達成できるが、テストパターン数が増大する。

これに対し、提案手法では、各テストパターンに1つ以上のテストクロックを割り当てる。このとき、フィリップスの手法同様、出力ビットをマスクしてテストクロックより長い活性化パスの出力を観測の対象から除外する。テストパターンへのテストクロックの割り当ては、そのテストクロックへの割り当てが微小遅延検出能力を向上させる場合にのみ行うことで、テストパターン数の増大を防いでいる。これにより、Tehranipoor 教授のグループよりテスト品質がよく、フィリップスの研究グループよりテストパターン数が少ない Faster-than-at-speed テストのためのテストパターン集合を得ることができる。

4.7 高速 IR-ドロップ見積もり手法(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

テストパターンや機能パターンを印加時に回路の各セルに起こる IR-ドロップを高速に見積もる手法を提案した。

② 創造性

本研究課題では、遅延テストを用いて遅延マージンの測定を行う。一般に、テスト時の消費電力は、通常動作時の電力より高くなることが知られており、テスト時の過度な消費電力により引き起こされる IR-ドロップによるテスト結果の誤判定が問題となっている。IR-ドロップは遅延の増加

を招くため、遅延マージンを過小に評価する可能性がある。そのため、IRドロップの遅延マージンへの影響を正確に解析することが有用であるが、そのためには、各テストパターンごとに、各回路素子に対する IRドロップを解析する必要があり、膨大な時間を要する処理となる。本研究では、テストパターンごとにすべての回路素子の IRドロップを高速に見積もる手法であり、これによりテストパターンで活性化されるパスの遅延を精度よく解析することができる。

③ 有用性

テスト時の過度な消費電力は過度な IRドロップを引き起こし、回路の各素子の遅延を増加させ、テスト結果の誤判定を招く危険性がある。そのため、誤判定を招く可能性のあるテストパターンの判別が重要となる。IRドロップは回路内で空間的にばらつきがあり、また、テストパターンにも依存する。そのため、IRドロップによる遅延増加を精度よく解析するには、テストパターンごとに、論理シミュレーション、電力シミュレーションによって得られる電力プロファイルを解析し、各回路素子の IRドロップ値を求めることが必要にある。しかし、IRドロップ解析は長大な時間を要する処理であり、大規模回路の全テストパターンに対する IRドロップ解析は実用的な時間では困難である。

提案手法は、テストパターンごとに各回路素子の IRドロップを高速に見積もる手法である。これにより、大規模回路に対してもテストパターンごとの IRドロップ解析が可能になり、テストパターンをより精度よく評価することが可能となる。

④ 優位比較

テストパターンによる IRドロップを解析するには、論理シミュレーション、電力シミュレーションによって得られた電力プロファイルを入力としてIRドロップ解析を行う必要があり、多大な時間を要し、全テストパターンの解析を実用的な時間で行うことは困難である。

そのため、代替手段として、ゲート出力のトグル数やファンアウト数に基づく重み付きトグル数、回路全体の消費電力などがテストパターンの評価のために用いられているが、IRドロップによる遅延の増加を直接解析することはできない。

提案手法は、各テストパターンに対し、各回路素子の IRドロップを高速に見積もる手法で、IRドロップによる遅延増加の評価にも利用できる。さらに、論理シミュレーション、電力シミュレーション、IRドロップ解析による解析より計算時間を大幅に短縮する。評価実験では、テストパターン数が 1000-2000 程度の回路に対して、20-25 倍程度の高速化が得られた。提案手法では、電力シミュレーション以降のプロセスを全パターン数に関わらず、3-5 パターンのみに実施するため、より大規模な回路ではさらなる高速化が期待でき、実用的な時間での全パターン解析が可能となると考えられる。

4. 8 テストアーキテクチャ(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

組込み自己テストを利用して、フィールド使用時に自己テストを行うアーキテクチャを提案した。提案手法では、システムのパワーオン・オフ時や空き時間を利用して自己テストを行う。各テスト機会に、用意された複数のテストパターン集合から、いくつかのテストパターン集合を選びテストを行うアダプティブテストスケジューリング機能を持つアーキテクチャを提案した。

② 創造性

本研究では、組込み自己テストによる遅延テストを用いた遅延マージン測定のためのアーキテクチャを提案する。予め用意された複数のテストパターン集合から、システムのパワーオン/オフ時やシステムの空き時間などのテスト機会に使われるテストパターンの集合を最適に(システム障害を未然に防ぐように)選択する手法である。テストパターン集合の選択を、過去の測定結果に基づきアダプティブに行う機能の一部ハードウェアで実現する点が特長的である。

③ 有用性

回路内部にテストコントローラを配置して、組込み自己テスト回路を回路内部で制御することでフィールドでの自己テストを実現するテストアーキテクチャを考案した。フィールドでの遅延マージン測定が可能になり、劣化によるシステム障害回避など回路の信頼性向上に有用である。また、生産テスト用に設計・組み込まれたテスト回路を再利用することで、フィールドテスト導入のコストを削減している。

さらに、提案アーキテクチャでは、過去の測定結果に基づき、テストに用いられるテスト集合をアダプティブに選択する機能をハードウェアで実現しており、高度な信頼性の提供に貢献する。

④ 優位比較

劣化による遅延増加に対処する高信頼化設計手法はいくつか提案されている。RazorFF、カナリアFFと呼ばれる特殊なFFを用いてそのFFを終点とするパスの遅延増加を検知する手法が提案されている。しかし、これらのFFは通常のFFに比べてオーバーヘッドが大きく、回路中のすべてのFFをRazorFF、カナリアFFに置き換えることは現実的ではない。そのため、回路の信頼性を部分的にしか向上できないという限界がある。

劣化による遅延増加を検知するアーキテクチャは、Stanford 大の Mitra 教授や、Massachusetts 大の Kundus 教授らのグループでも行われている。両グループの研究とも、フィールドテストによる劣化検知手法であるが、プロセッサに特化した手法でありプロセッサの機能を利用した効率の良いテスト手法が提案されている。

これに対し、提案手法ではプロセッサだけでなく一般の SoC/NoC に適用可能な手法であり適用範囲が広範である。さらに、可変テストクロックを用いて劣化による遅延マージンの変化を観測しログとして保存する、など、これまでのテスト結果を利用するアダプティブテストスケジューリングをハードウェアで実現するなど、他の手法には見られない特長がある。

4.9 テストスケジューリング・アダプティブテスト(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

組込み自己テストを利用して、フィールド使用時に自己テストを行うアーキテクチャのための、アダプティブテストスケジューリング手法を提案した。提案法では、システムのパワーオン・オフ時や空き時間を利用して行う1回のテスト機会のテスト終了後、これまでのテスト結果に基づいて、次のテスト機会に行うテストパターン集合を選択する。

② 創造性

システムのパワーオン/オフ時やシステムの空き時間などのテスト機会に使われるテストパターンの集合を最適に(システム障害を未然に防ぐように)選択する手法である。テストパターン集合の選択を、過去の測定結果に基づきアダプティブに行う機能をソフトウェアで実現する。

③ 有用性

本研究では、パワーオン/オフ時やシステムの空き時間を利用したフィールドでの自己テストによる遅延マージン測定のためのアダプティブテストスケジューリング手法を提案している。NBTI、PBTI、HCIなどの劣化メカニズムでは使用環境が劣化の進行に影響することが知られており、劣化の進行を事前に正確に予測することは困難である。また、フィールドテストが可能なタイミングは限られており、テスト機会ごとに短時間をテストを終了する必要がある。そのため、本研究課題では、テストパターン集合を複数のテストパターン集合に分割し、各テスト機会では一部のテストパターン集合のみを利用する分割テストを導入している。

本提案手法は、分割テストにおいて各テスト機会に利用されるテストパターン集合の選択を、これまでのテスト結果に基づいてアダプティブに決定する手法を提案している。これにより、劣化

の進行が実際に進んでいる箇所を重点的にテストすることが可能であり、システム障害回避率を低減することが可能である。

④ 優位比較

これまでのフィールドテストの結果を利用して、アダプティブの次回のテスト機会でのテスト内容を決定するアダプティブテストスケジューリングアルゴリズムを提案している。実験結果では、予め決められたテストスケジューリングに対し、システム障害回避率が向上することが示されている。

劣化を考慮したフィールドテストのためのアダプティブテストスケジューリングは他に提案されおらず、本手法は先駆的な役割を果たしている。

4. 10 インターコネクトテスト(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

非同期インターコネクトのためのテスト手法の提案を行った。大分大学との共同研究であり、詳細は大分大学の研究内容で記載する。

4. 11 SoC/NoC 診断(奈良先端大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

組込み自己テストで故障箇所を診断可能にするために、テスト応答に含まれる不定値(回路の内部状態等に依存し、テストパターンだけでは値を特定できない値)をキャンセルするための回路設計を行った。

② 創造性

組込み自己テストで故障箇所を診断可能にするために、テスト応答に含まれる不定値をキャンセルするための回路設計を行った。フィールドテストでは、テストパターン/シードやキャンセルのための制御データなどは、オンチップのメモリに格納される必要がある。本研究では、フィールドでの実用性を考えて、メモリ使用量を削減するキャンセルのための制御データの格納手法を提案する点が特長である。

③ 有用性

一般に、テスト応答にはテストパターンだけでは制御されず不定値となるビットが含まれている。そのため不定値のキャンセルやマスキングと言われる手法を用いて、最終的な出力値に不定値が含まれることを回避している。しかし、既存の手法では、予め用意しておくマスクパターンやキャンセルのための制御データなどのためのテストボリュームが増大し、オンチップメモリにテストデータを格納するフィールドテストには適していない。

提案手法では、テスト品質を損ねることなく、キャンセルのための制御データ量を削減する。そのため、限られたリソース制約の下でのフィールドテストのテスト品質が向上するし、故障箇所の診断が可能となる。

④ 優位比較

組込み自己テストにおいてテスト応答に含まれる不定値をキャンセルする手法を提案している。この手法はTexas大のTouba教授のグループで提案された手法である。ここで、不定値のキャンセルとは、同じ不定値の排他的論理和をとり、不定値と独立した値を求める手法である。組込み自己テストにおいて、被テスト回路からのテスト応答は、MISRなどのテスト応答圧縮器で圧縮される。応答圧縮器で圧縮されたテストパターンは、テスト応答の複数のビットの排他的論

理和となっている。また、同じビットが圧縮パターンの複数のビットに現れることもある。提案法では、ある不定値が圧縮テストパターンの2つ以上のビットに現れる場合、それらのビットの排他的論理をとることで不定値の影響をキャンセルする。このとき、どのビットとどのビットの排他的論理和をとるかを指定するのが制御データである。

提案手法では、制御データをコード化することで、既存法に比べてテストデータボリュームの削減を実現し、リソース制約の下でテスト品質の向上、診断能力の向上を達成している。

4.12 補正を伴う劣化判定(首都大学 三浦グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

本研究チームの主要課題では、フィールドでの LSI の劣化度合いを回路遅延時間の増加として検知することを目的とする。そのためにはオンチップによる高精度な遅延時間の測定方法が必要となる。可変のクロック信号発生回路を使用して、遅延測定時にだけ可変のスキャンクロックを活用して論理パスの遅延時間(パスの遅延マージン)の測定を行う。測定した遅延時間から動作環境成分を取り除くために、温度・電圧モニタ回路(リング発振器)で回路の温度・電圧推定を行い、環境成分の補正を行う。また既存のスキャン回路を利用した遅延測定法であるため、遅延測定対象パスは測定時(テスト時)のテストパターンで選択することができる。提案の DART 技術では、得られた測定データ(対象パス、遅延時間、温度、電圧、等)はログとして保存し、長期的な回路動作の評価を行う。DART 技術の全体の仕組みは、基本特許(国内 2010-57310、国際 PCT/JP2011/55900、台湾 100108218)として出願済みである。

計測された遅延時間には、劣化成分と動作環境成分があるため、高精度で劣化による遅延時間成分を取り出すには、LSI の動作環境(温度、電圧)を既知にする必要がある。そのためにテスト対象 LSI について、簡易な方法で精度の高い温度と電圧の推定を行う仕組みの実現が課題となる。

3 種類の特性の異なるリング発振器(RO)からなる温度・電圧モニタ回路の発振周波数から対象回路の温度・電圧推定を行い、環境成分の補正を行う。またモニタ回路とデータ処理を完全にデジタル化することで、短い時間計測と実装の容易性をはかった。温度と電圧は発振周波数から同時に推定でき、また温度・電圧を1次近似式で推定することで計算量の低減をはかった。

温度・電圧の推定において、1次近似式を区分分割することで、当初の温度推定誤差 3.2℃、電圧推定誤差 11.8mV から、温度推定誤差を 1.0℃、電圧推定誤差を 4.2mV までに温度・電圧推定精度を向上できた。これにより実回路の論理設計に適用したところ、1.9ps の遅延計測誤差を見込んでいる。温度・電圧モニタ回路の製造ばらつきによる温度・電圧の推定誤差は、初回測定値とシミュレーション値との比率で補正できることを確認した。さらに遅延測定時の LSI の温度・電圧を初回測定基準値との差分(相対値)として処理することで、近似式による温度・電圧推定誤差の低減や測定系回路全体の測定時の誤差の低減をはかることができる。

② 創造性

フィールドにおいて劣化による遅延時間成分だけを抽出するために、環境成分による遅延時間への影響を補正する方法を研究した。本研究の創造性には以下の3点が挙げられる。

- ・第1に単一のモニタ方式(回路)で温度と電圧を同時に推定できる。
- ・第2にそのための回路構成と推定方法をデジタル回路・デジタル処理にて実現でき、簡易な回路・処理方法で実装できる。
- ・第3に、温度・電圧の区分分割法や初回測定値を利用したばらつき補正・測定時の誤差排除を適用し、温度・電圧推定誤差の低減化を可能にした。

③ 有用性

温度・電圧モニタ回路をチップ内の BIST による遅延測定を行う回路に埋め込んでおき、テスト時に起動させることにより、テスト時の温度・電圧を同時にモニタ可能である。温度・電圧は、カウンタに

より記憶された複数の RO の発振周波数を線形計算することにより求めることができる。

本方式は以下の特徴を有する。

- ・温度・電圧モニタ回路を含む測定系回路はデジタル回路による比較的簡易なハードウェアで実装できる。
- ・回路構成が簡易であることから、測定対象チップの各クロックドメインやホットスポットなど、チップ内に複数配置できる。
- ・RO の発振周波数をデジタル処理で温度・電圧に変換可能なために、データの処理・補正は簡易なソフトウェア処理やデジタル回路で実現可能である。
- ・以上 3 点の特徴により、広範なデジタル LSI に用いることができる。また短時間での温度・電圧の測定(計算)ができ、リアルタイム処理の能力を有する。
- ・温度・電圧モニタの初回測定値を参照して測定系回路自体のばらつきや測定誤差の補正が可能であり、高精度な遅延測定性能を提供できる。

④ 優位比較

フィールドで回路の劣化を遅延時間として計測する方法は幾つか知られているが、遅延測定時の動作環境(温度・電圧)を考慮していないため、劣化による遅延成分だけを測定することは困難であった。本チームの研究では遅延計測時に動作環境まで考慮しているため、劣化の影響を正に評価できる。

従来から専用回路による温度センサや電圧センサ回路が知られており、また温度と電圧を同時に測定するには回路構成や温度・電圧計算が複雑であった。またリング発振器を利用した遅延測定回路もあるが、もっぱらばらつき評価に利用されている。本方式では、簡易な回路構成のリング発振器の発振周波数から温度と電圧の両方の値を同時に推定可能で、しかも専用のアナログ回路を用いずに通常のデジタル回路・デジタル処理で簡易に実現できることから、極めて実用性が高いと思われる。

また測定回路の誤差補正を適切に行うことで、測定した温度・電圧の測定精度を向上することができる。これにより、数十 ps オーダの誤差精度で遅延時間の測定が可能となる。

4. 13 測定回路設計(首都大学 三浦グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

上記の「補正を伴う劣化判定」を実現する回路構成を具体化するために、リング発振器(RO)を用いた温度・電圧モニタの回路開発が必要である。広範な LSI に適用可能とすることと、DART 技術は長期の運用を目的にしているため、RO 自体が耐劣化性を有する構成であることも重要となる。温度・電圧モニタは 3 種類の特性の異なるリング発振器(RO)とカウンタから構成されている。汎用性を高めるために通常のセルライブラリで実装できることを目指し、また RO の発振停止中(温度・電圧モニタの機能停止中)に MOSトランジスタの劣化(NBTI、PBTI、HC など)を防止できる回路構成の実現を目指した。

当初の RO 構成で、モニタ回路は温度推定誤差 3.2°C、電圧推定誤差 11.8mV の精度であることを回路シミュレーションで確認した。また当該 RO の 180nm の試作チップの初期解析結果から、温度推定精度(標準偏差) ±1.0°C、電圧推定精度(標準偏差) ±5.5mV であることが明らかになった。RO の温度特性と電圧特性の線形性に着目して RO の構成方法(RO タイプ)を変えることで、温度推定精度が 43%向上し、また電圧推定精度が 24%向上することもシミュレーションベースで明らかになった。さらに RO は発振開始から短時間で安定動作するため、短時間(数 us 程度)の温度・電圧計測が可能であり、オンライン計測が可能である。このことは回路シミュレーションおよび試作チップで確認した。

温度・電圧モニタ回路の適用容易性と汎用性を高めるために通常のセルライブラリでモニタ回路の実装ができ、また長期運用のなかで RO の劣化を抑える構造を実現した。これは電源を切ることなく

RO の発振停止中(機能停止中)に、発振に使用されるトランジスタをオフ状態にすることで実現した。よって発振周波数へのトランジスタ劣化の影響を防止でき、長期に渡り製造当初の推定精度で温度・電圧の測定が可能となった。

② 創造性

本研究の創造性には以下の3点が挙げられる。

- ・第1に、温度・電圧モニタは通常のセルライブラリで構成可能な RO とカウンタからなる簡易で小規模な汎用性のあるデジタル回路である。
- ・第2に、単一のモニタ回路で温度と電圧を同時にかつ短時間(数 us)で計測でき、また専用センサと同程度の計測精度を有する。
- ・第3に、モニタ回路の劣化進行を抑えた回路構成にすることで、電源をオフにせずに RO 自体の劣化を抑えることができ、長期に渡り温度・電圧の計測精度を維持できる。

③ 有用性

本温度・電圧モニタ回路をチップ内の遅延測定を行う回路ブロックに埋め込んでおき、遅延計測時に起動させることにより、計測時の温度・電圧をモニタ可能である。本回路は以下の特徴を有する。

- ・従来の一般的な温度センサや電圧センサはアナログセンサであり、特殊な回路構成となっており、またチップ内の配置には制限がある。本回路は通常のデジタル回路の標準ライブラリに含まれるセルで構成可能であり、比較的小規模な回路で実現できる。このため汎用センサとして実現でき、また測定対象チップ内への複数配置も可能である。
- ・回路の劣化を抑えるには、通常は電源を切断する機能が必要である。本回路では電源をオフにせずにモニタ回路自体の劣化の進行を防止できるため、簡単な回路構造で長期の運用が可能である。
- ・RO 自体の自己発振の特性とデジタル処理ができることから、オンラインでの温度・電圧測定が可能である。
- ・温度・電圧の処理には簡易なソフトウェア処理やデジタル回路で実現可能である。

④ 優位比較

回路のばらつきや劣化は、リング発振器(RO)の発振周波数(発振周期)に影響を与えることから、単一の RO を回路のばらつき評価や劣化評価などに利用することが多い。また RO を温度もしくは電圧の測定に利用する方法も提案されている。これに対して、本研究では、複数の RO を利用し、温度と電圧の両方を同時に短時間で測定可能で、しかも専用のアナログ回路を用いずに簡易なデジタル回路で実現できる。

更に電源をオフにせずに劣化の影響を防ぐ回路構成を取っており、長年にわたり使用しても測定精度が低下しない。国内特許を調べた限り、回路レベルで劣化進行を防止する RO の構成方法は見当たらない。なお本成果においても CMOS 回路の構成上、PMOS トランジスタと NMOS トランジスタの両方を同時に劣化防止することができないので、PMOS だけあるいは NMOS だけの劣化防止対策となるが、40nm プロセスまでは NBTI が主な劣化現象と言われているので実用的には問題は少ないと考えられる。40nm より微細なプロセスについては、PMOS 劣化防止型と NMOS 劣化防止型の両方を用いたもう少し複雑な回路構成が必要となる。

4.14 SoC/NoC 温度制御(大分大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

フィールドでの劣化検知は、BIST を用いた回路遅延測定により行う。回路遅延は回路温度に影響されるため、BIST における温度変動の低減による測定精度の向上が課題である。BIST 実行時のチップ内位置による空間的温度変化、および、同一位置の時間による時間

的温度変化を低減する手法を提案した。

② 創造性

疑似ランダムパターンを用いたスキャンベース BIST では、テスト実行時に同一位置の時間的な温度変化はほとんど生じないことを確認した。一方、空間的には温度差が生じることを確認した。空間的温度差削減を実現するため、チップをブロック分割し、ブロック間の温度差を低減する方法を開発した。ブロックの温度は、その消費電力に依存するため、ブロック内の FF の出力ゲーティング技術を用いてスキャンシフト中の論理回路部のスイッチング電力の有無を制御することによりブロックの消費電力を制御する方法を提案した。

③ 有用性

提案手法では、テストパターンの変更やスキャンクロックを止める必要がなく、テスト時間やテスト品質に影響を与えることがないという特徴を持つ。BIST だけでなく外部テストにも用いることができる。テスト時の空間的・時間的温度変動を低減することで、チップ内の限られた測定回路を用いてチップ全体の温度状況を把握可能になり、測定精度の向上に寄与する。

④ 優位比較

これまでに BIST における消費電力の抑制手法は提案されているが、温度均一化制御に関する技術は他にない。また、FF の出力ゲーティング手法は既存の技術であるが、単にスキャンシフト中に論理回路部の消費電力をカットするだけでは、温度均一化は実現できない。これは、ブロックごとにスキャンパス上の FF 数が異なるため、ブロックごとの順序回路の消費電力が異なることによる。提案手法では、順序回路と論理回路部の消費電力を個別に見積もることにより、ゲーティングスケジュールを求め均一化を図っている。提案法では、FF の出力ゲーティングを実現するための付加回路が必要となり、面積・遅延オーバーヘッドがかかる。しかしながら、出力ゲーティングは単に FF の出力値を固定できれば良く、単一のゲートまたはその機能を持った FF を用い、それらを考慮して論理合成やレイアウトを行うことによりオーバーヘッドの削減を図ることができる。

4. 15 インターコネクトテスト(大分大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

SoC/NoC の大規模化に伴い、同期モジュール間を非同期インターコネクトで相互接続する GALS 設計が主流となりつつある。GALS システム全体のディペンダビリティ確保のため、同期モジュール内部だけでなく、非同期インターコネクトのテスト技術の確立が課題である。本テーマでは、非同期インターコネクトを構成する、C 素子、ラッチなどの非同期記憶素子を備えた非同期式回路のテスト容易化設計法およびテスト生成法を提案した。

② 創造性

組合せ回路部分および順序回路部分の両方の論理故障に対して完全な故障検出率を得るためのテスト容易化設計法およびテスト生成法を提案した。本手法は、完全な故障検出率を達成する手法の中で最小の面積・遅延オーバーヘッドを実現した。また、順序回路部分のテストを可能にした。

③ 有用性

提案手法では、同期式回路で広く用いられているスキャン方式のテスト容易化設計を採用しており、同期式回路向けの既存のテスト装置を用いることができる。また、同期式回路向けのスキャン方式を指向したテスト生成ツールを用いることができ、同期式の設計フローを再利用できる。さらに、同期式回路と同様に組合せ回路部分に対して任意のテストパターンを

印加することかでき、検出可能な論理故障を完全にテストすることができる。また、非同期記憶素子に対しては、それらを用いて構成したスキャンパスから任意の2パターンテストを印加することが可能であり、その順序機能を完全にテストすることができる。

④ 優位比較

スキャン方式を採用した非同期式回路のテスト容易化設計法は、これまでに Manchester 大の Steve Furber 教授らのグループ、Twente 大の Hans Kerkhoff 教授らグループなどから論文や特許が発表されているが、提案手法はそれらのうちの組合せ回路部分の論理故障を完全にテストできる手法の中で、面積・遅延オーバーヘッドともに最小である。また、既存手法では、非同期素子の順序機能の完全なテストが保証されていないため、提案手法は既存手法の中で最もテスト品質が高い。本テーマで開発したテスト容易化設計・テスト生成技術に関して、平成 22 年度に国内特許出願、さらに、JST のサポートを受け、平成 23 年度に PCT 出願および台湾出願、平成 24 年度に米国移行を行った。

4. 16 SoC/NoC 診断(大分大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

システムにおいて、劣化や故障の箇所の修復やシステムからの切り離しなどを行うためには、診断情報の提供が必要となる。SoC/NoC においては、同期モジュール内部だけでなく、非同期インターコネクットの診断技術の確立が課題である。本テーマでは、非同期式回路に対する遅延テストで遅延量を計測し、診断情報として劣化箇所および劣化による遅延量の情報を得る機構の提案を行った。

② 創造性

NoC インターコネクットなどに含まれる束データ方式の非同期式回路部は、可変遅延素子を用いた局所同期機構を備えている。診断において劣化箇所および劣化による遅延増加量を特定することができれば、可変遅延素子の適切な制御により修復が可能である。本テーマでは、可変遅延素子に設定する遅延量をフィールドにおいてチップ上で利用できる形で得ることができるという特長を持つ。

③ 有用性

束データ方式の非同期式回路部においては、これまで製造ばらつきなどに対応するために可変遅延素子が導入されてきた。提案法では、劣化箇所と劣化による遅延量を診断情報として提供することにより、可変遅延素子をフィールドで適切に設定ことができ、回路の適切な性能設定および延命に貢献できる。

④ 優位比較

束データ方式の非同期式回路部においては、可変遅延素子の遅延量の設定はこれまでタイミングシミュレーションなどにより決める方法が提案されているが、提案手法を用いることにより、チップ上で回路の実際の遅延に基づき遅延量を得ることができるため、過不足無くマージンをとることができる。

4. 17 高品質シード生成法(大分大グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

生産テスト向けの BIST として、線形フィードバックシフトレジスタ(LFSR)をパターン発生器として用いるスキャンベース BIST が広く用いられている。フィールドテストにおいても、生産テ

スト向けの BIST が再利用される。LFSR ベースの BIST においては、故障検出率の向上のためリシーディングが用いられる。本テーマでは、リシーディングに用いる高品質シード生成法を提案した。

② 創造性

従来のシード生成法は、テスト生成ツールによりまずスキャンパターンを生成し、それをシードへ変換するという 2 段階の処理でシードを生成する方法である。この方法では、得られたテストパターンを必ずしもシードへ変換できるとは限らず、故障検出率の損失を招く。また、シードへの変換率を向上するために、ドントケア付きのスキャンパターン生成を行うが、この場合、スキャンパターン数が多くなり、結果的にシード数が多くなる。提案手法では、LFSR の機能を展開した組合せ回路をテスト生成対象回路にテスト生成の制約として付加することにより、テスト生成ツールを用いて直接シードを生成する。これにより、検出可能な故障に対して必ずシードを生成できることを保証し、さらに、シード数の大幅削減を達成できるという特長を持つ。

③ 有用性

検出可能な故障に対して必ずシードを生成し、生成されるシード数が少ないことから、従来法と比べて 1 シードあたりの検出故障数が多くなり、少ないリシーディング回数で所望の検出率へ到達できる。すなわち、テスト実行時間を削減することができる。特にフィールドテストにおいては、テスト時間の制約があるため、単位時間あたりの検出率が高いことが特に臨まれる。本手法は奈良先端大グループの提案した高品質シード選択法の入力として高品質シード集合を提供することができ、また、九工大の提案した巡回テストにおいては、すべてのテストが行われるまでのテスト回数を減らすことができる。

④ 優位比較

2 段階の処理でシードを生成する手法は IBM の Bernd Konemann 博士らによって提案された。本研究において、ベンチマーク回路を用いた実験では、従来法と比較して、最大でシード数を 3 分の 1 に削減し、故障検出率を 24 倍に向上できることを示した。提案手法では、テスト生成の際に制約回路を付加することにより、テスト生成時間へのオーバーヘッドが予期されるが、本研究における実験では、オーバーヘッドはほとんど無かった。本テーマで開発した技術について、平成 25 年に 2 件の国内特許出願を行った。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 0 件、国際(欧文)誌 41 件)

- [1] S. Kajihara, S. Oku, K. Miyase, X. Wen, Y. Sato, "On Calculation of Delay Range in Fault Simulation for Test Cubes", the 2009 International Symposium on VLSI Design, Automation, and Test (VLSI-DAT), pp. 64-67, Hsinchu, Taiwan, April 27-29, 2009, 10.1109/VDAT.2009.5158096.
- [2] M. Inoue, T. Yoneda, M. Hasegawa and H. Fujiwara, "Partial scan approach for secret information protection," *14th IEEE European Test Symposium (ETS)*, pp.143-148, May 2009, 10.1109/ETS.2009.15.
- [3] Y. Sato, S. Kajihara, Y. Miura, T. Yoneda, S. Ohtake, M. Inoue and H. Fujiwara, "A Circuit Failure Prediction Mechanism (DART) for High Field Reliability", *8th International Conference on ASIC (ASICON)*, pp. 581-584, Changsha, China, Oct. 20-23, 2009, 10.1109/ASICON.2009.5351352
- [4] M. E. J. Obien and H. Fujiwara, "F-scan: an approach to functional RTL scan for assignment decision diagrams," *IEEE 8th International Conference on ASIC (ASICON)*, pp.589-592, Oct. 2009, 10.1109/ASICON.2009.5351354

- [5] Y. Miura, "A Feasibility Study of Active Current Testing," *Information Technology Letters, Forum on Information Technology 2009 (FIT)*, RC-014, pp.211-216, Sendai, September 2009.
- [6] K. Miyase, Y. Yamato, K. Noda, H. Ito, K. Hatayama, T. Aikyo, X. Wen, S. Kajihara, "A Novel Post-ATPG IR-Drop Reduction Scheme for At-Speed Scan Testing in Broadcast-Scan-Based Test Compression Environment," *International Conf. on Computer-Aided Design (ICCAD)*, pp. 97-104, Nov. 2009, 10.1145/1687399.1687420
- [7] K. Miyase, X. Wen, H. Furukawa, Y. Yamato, S. Kajihara, P. Girard, L.-T. Wang, M. Tehranipoor, "High Launch Switching Activity Reduction in At-Speed Scan Testing using CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme" *IEICE Transactions on Information and Systems*, Vol.- E93-D, No. 1, pp.2-9, Jan. 2010, 10.1587/transinf.E93.D.2
- [8] H. Iwata, S. Ohtake and H. Fujiwara, "Enabling false path identification from RTL for reducing design and test futility," *5th IEEE International Symposium on Electronic Design, Test & Applications (DELTA)*, pp.20-25, Jan. 2010, 10.1109/DELTA.2010.23.
- [9] H. Fujiwara and M. E. J. Obien, "Secure and testable scan design using extended de bruijn graphs," *15th Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp.413-418, Jan. 2010, 10.1109/ASPDAC.2010.5419845.
- [10] S. Ohtake, N. Ikeda, M. Inoue and H. Fujiwara, "A Method of Unsensitizable Path Identification using High Level Design Information," *International conference on Design & Technology of Integrated Systems in nanoscale era*, 2010. DOI:10.1109/DTIS.2010.5487557
- [11] S. Ohtake, H. Iwata and H. Fujiwara, "A Synthesis Method to Propagate False Path Information from RTL to Gate Level," *IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems*, pp. 197-200, April 2010. DOI:10.1109/DDECS.2010.5491787
- [12] T. Yoneda, M. Inoue, Y. Sato and H. Fujiwara, "Thermal-Uniformity-Aware X-filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing," *IEEE VLSI Test Symposium*, pp. 188 – 193, Santa Cruz, April, 2010. DOI: 10.1109/VTS.2010.5469578
- [13] M. Noda, S. Kajihara, Y. Sato, K. Miyase, X. Wen, Y. Miura, "On Estimation of NBTI-Induced Delay Degradation," *15th IEEE European Test Symposium (ETS)*, pp.107-111, May 2010. DOI: 10.1109/ETSYM.2010.5512772
- [14] M. Inoue, A. Taketani, T. Yoneda, H. Iwata and H. Fujiwara, "Test Pattern Selection to Optimize Delay Test Quality with a Limited Size of Test Set," *15th IEEE European Test Symposium (ETS)*, May 2010. DOI:10.1109/ETSYM.2010.5512733
- [15] Hyunbean Yi, Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Seiji Kajihara and Hideo Fujiwara, "Aging test strategy and adaptive test scheduling for soc failure prediction," *IEEE International On-Line Testing Symposium (IOLTS'10)*, pp.21-26, July 2010 (DOI: 10.1109/IOLTS.2010.5560239).
- [16] Kohei Miyase, Xiaoqing Wen, Seiji Kajihara, Yuta Yamato, Atsushi, Takashima, Hiroshi Furukawa, Kenji Noda, Hideaki Ito, Kazumi Hatayama, Takashi Aikyo, Kewal K. Saluja, "A Study of Capture-Safe Test Generation Flow for At-Speed Testing," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E93-A, No.7, pp.1309-1318, July. 2010. (DOI: 10.1587/transfun.E93.A.1309)
- [17] Shinji Oku, Seiji Kajihara, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, "On Delay Test Quality for Test Cubes," *IPSSJ Transactions on System LSI Design Methodology*, Vol. 3, pp. 283–291, Aug. 2010. (DOI:10.2197/ipsjtsldm.3.283)
- [18] Seiji Kajihara, Makoto Matsuzono, Hisato Yamaguchi, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, "On Test Pattern Compaction with Multi-Cycle and Multi-Observation Scan Test," *10th International Symposium on Communications and Information Technologies*, Oct. 26-29, 2010. (DOI: 10.1109/ISCIT.2010.5665084)
- [19] Tomokazu Yoneda, Michiko Inoue, Akira Taketani and Hideo Fujiwara, "Seed ordering and selection for high quality delay test," *IEEE 19th Asian Test Symposium (ATS2010)*, pp.313-318, Dec. 2010. (DOI: 10.1109/ATS.2010.60)
- [20] Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara, "Bipartite full scan design: a DFT method for asynchronous circuits," *IEEE 19th Asian Test Symposium (ATS2010)*, pp.206-211, Dec. 2010. DOI: 10.1109/ATS.2010.44
- [21] Kohei Miyase, Xiaoqing Wen, Masao Aso, Hiroshi Furukawa, Yuta Yamato, Seiji Kajihara, "Transition-Time-Relation Based Capture-Safety Checking for At-Speed Scan Test

- Generation,” *Design Automation and Test in Europe*, pp. 895-898, March 2011. DOI:10.1109/DATE.2011.5763300
- [22] Yuta Yamato, Xiaoqing Wen, Kohei Miyase, Hiroshi Furukawa and Seiji Kajihara, "A GA-based x-filling for reducing launch switching activity toward specific objectives in at-speed scan testing," *IEICE Trans. on Information and Systems*, Vol. E94-D, No. 4, pp.833-840, Apr. 2011. DOI: 10.1587/transinf.E94.D.833
- [23] M. E. J. Obien, Satoshi Ohtake, Hideo Fujiwara, "F-scan test generation model for delay fault testing at RTL using standard full scan ATPG," *IEEE European Test Symposium (ETS'11)*, P.203, May 2011 (DOI:10.1109/ETS.2011.61).
- [24] Tomokazu Yoneda, Makoto Nakao, Michiko Inoue, Yasuo Sato, Hideo Fujiwara, "Temperature-Variation-Aware Test Pattern Optimization," *IEEE European Test Symposium (ETS'11)*, May 2011. DOI:10.1109/ETS.2011.45
- [25] Seiji Kajihara, Satoshi Ohtake and Tomokazu Yoneda, "Delay testing: improving test quality and avoiding over-testing," *IPSJ Transactions on System LSI Design Methodology*, Vol. 4, pp.117-130, Aug. 2011. doi:10.2197/ipsjtsldm.4.117
- [26] Tomokazu Yoneda, Keigo Hori, Michiko Inoue and Hideo Fujiwara, "Faster-than at speed test for increased test quality and in-field reliability," *IEEE International Test Conference*, Sep. 2011. DOI:10.1109/TEST.2011.6139131
- [27] Yuta Yamato, Xiaoqing Wen, Michael A. Kochte, Kohei Miyase, Seiji Kajihara and Laung-Terng Wang, "A novel scan segmentation design method for avoiding shift timing failures in scan testing," *IEEE International Test Conference*, Sep. 2011. DOI:10.1109/TEST.2011.6139162
- [28] Y. Sato, S. Kajihara, H. Yamaguchi and M. Matsuzono, "Multi-Cycle Test with Partial Observation on Scan-Based BIST Structure," *IEEE Asian Test Sym.*, pp.54-59, Nov. 2011. DOI:10.1109/ATS.2011.34
- [29] Yukiya Miura, Yasuo Sato, Yousuke Miyake, Seiji Kajihara, "On-chip Temperature and Voltage measurement for Field Testing," *Proc. IEEE European Test Symposium*, p.181, May 2012. DOI:10.1109/ETS.2012.6233035
- [30] Yuta Yamato, Tomokazu Yoneda, Kazumi Hatayama and Michiko Inoue, "A fast and accurate per-cell dynamic IR-drop estimation method for at-speed scan test pattern validation," *International Test Conference*, Paper 6.2, Nov. 2012. DOI: 10.1109/TEST.2012.6401549
- [31] Yasuo Sato, Seiji Kajihara, Tomokazu Yoneda, Kazumi Hatayama, Michiko Inoue, Yukiya Miura, Satoshi Ohtake, Takumi Hasegawa, Motoyuki Sato and Kotaro Shimamura, "DART: dependable VLSI test architecture and its implementation," *International Test Conference*, Paper 15.2, Nov. 2012. DOI: 10.1109/TEST.2012.6401581
- [32] Yasuo Sato, Senling Wang, Takaaki Kato, Kohei Miyase, Seiji Kajihara, "Low Power BIST for Scan-Shift and Capture Power," *IEEE Asian Test Symposium*, pp. 173 – 178, Nov. 2012. DOI: 10.1109/ATS.2012.27
- [33] Senling Wang, Yasuo Sato, Kohei Miyase, Seiji. Kajihara, "A Scan-Out Power Reduction Method for Multi-Cycle BIST," *IEEE Asian Test Symposium*, pp. 272 – 277, Nov. 2012. DOI: 10.1109/ATS.2012.50
- [34] Hyunbean Yi, Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Seiji Kajihara and Hideo Fujiwara, "A failure prediction strategy for transistor aging," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 20, No. 11, pp.1951-1959, Nov. 2012. (DOI:10.1109/TVLSI.2011.2165304)
- [35] Michiko Inoue, Akira Taketani, Tomokazu Yoneda and Hideo Fujiwara, "Test pattern ordering and selection for high quality test set under constraints," *IEICE Trans. on Information and Systems*, Vol. E95-D, No. 12, Dec. 2012. DOI: 10.1587/transinf.E95.D.3001
- [36] Takanori Moriyasu and Satoshi Ohtake, "A method of LFSR seed generation for scan-based BIST using constrained ATPG," *2013 Seventh International Conference on Complex, Intelligent, and Software Intensive Systems*, pp.755–759, 2013 (DOI: 10.1109/CISIS.2013.136)
- [37] Senling Wang, Yasuo Sato, Seiji Kajihara, Kohei Miyase, "Scan-Out Power Reduction for Logic BIST," *IEICE Transactions on Information and Systems*, Vol. E96-D, No. 9, pp 2012-2020, Sep. 2013. DOI: 10.1587/transinf.E96.D.2012
- [38] Kohei Miyase, Ryota Sakai, Xiaoqing Wen, Masao Aso, Hiroshi Furukawa, Yuta Yamato and

Seiji Kajihara, "A capture-safety checking metric based on transition-time-relation for at-speed scan testing," *IEICE Transactions on Information and Systems*, Vol.E96-D, No.9, pp.2003-2011, Sept. 2013. DOI: 10.1587/transinf.E96.D.2003

- [39] Yasuo SATO, Seiji KAJIHARA, "A Stochastic Model for NBTI-Induced LSI Degradation in Field," *Proc. IEEE Asian Test Symposium*, pp. 183–188, Nov. 2013. DOI: 10.1109/ATS.2013.42
- [40] Kohei Miyase, Matthias Sauer, Bernd Becker, Xiaoqing Wen, Seiji Kajihara, "Search Space Reduction for Low-Power Test Generation," *Proc. IEEE Asian Test Symp.*, pp. 171 – 176, Nov. 2013. DOI:10.1109/ATS.2013.40
- [41] Keita Ito, Tomokazu Yoneda, Yuta Yamato, Kazumi Hatayama and Michiko Inoue, "Memory block based scan-BIST architecture for application-dependent FPGA testing," *Proceedings of the 2014 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, pp.85-88, Feb. 2014.

(2)その他の著作物(総説、書籍など)

1. 佐藤康夫, 梶原誠司, "フィールド高信頼化のためのアプローチ", 日本信頼性学会誌, Vol. 31, No. 7, pp.514-519, Oct. 2009.
2. 浅田邦博(監修), 温暁青, 梶原誠司, 小松聡, 佐藤康夫, 志水勲, 中村和之, 畠山一実, はかる×わかる半導体-入門編, 日経 BP コンサルティング, May 7, 2013.

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 4 件、国際会議 5 件)

1. S. Kajihara, "High Quality Delay Testing for Logic Circuits", VDEC D2T Symposium, 東京大学, 東京, Dec. 16, 2008.
2. 梶原誠司, 藤原秀雄, 三浦幸也, "フィールド高信頼化のための回路・システム機構," 電子情報通信学会 2009 年総合大会講演論文集, AI-1-7, 松山市, Mar. 17-20, 2009.
3. S. Ohtake, "False Path Identification Using RTL Design Information," University of Wisconsin - Madison Computer Engineering Seminar, University of Wisconsin - Madison, USA, Mar. 27, 2009.
4. 大竹哲史(奈良先端大), "最近の非同期式回路テスト技術," 第61回FTC研究会, 三重県大台町, 2009年7月17日
5. S. Kajihara, "Design and test of VLSI circuits for high field reliability", University of Wisconsin - Madison Computer Engineering Seminar, University of Wisconsin - Madison, WI, USA, Feb. 12, 2010.
6. Y. Sato, S. Kajihara, M. Inoue, T. Yoneda, S. Ohtake, H. Fujiwara, Y. Miura, "Circuit Failure Prediction by Field Test (DART) with Delay-shift Measurement Mechanism" (invited talk) Integrated Circuits and Devices in Vietnam (ICDV) 2010 (主催:IEICE 集積回路研究会), pp. 5-10, Ho Chi Minh, Vietnam, Aug. 16-18, 2010.
7. 梶原誠司(九工大) "組込み自己テストによるフィールド高信頼化について", 電子情報通信学会 デザインガイア2012, 福岡市, 2012年11月26日
8. Seiji Kajihara, Shojiro Asai, "VLSI design and testing for enhanced systems dependability," IEEE International Workshop on Reliability Aware System Design and Test, Pune, India Jan. 9, 2013.
9. Seiji Kajihara, "BIST-based Field Test for Dependable VLSIs" NPIE-JST Workshop, Tokyo, March 6, 2013

② 口頭発表 (国内会議 39 件、国際会議 12 件)

1. 野田光政, 梶原誠司, 宮瀬紘平, 温暁青, 佐藤康夫, "論理回路の経時変化の発生箇所について", 第 60 回 FTC 研究会資料, 山形市, Jan. 29-31, 2009.
2. 三浦幸也, 竹鼻匡央, "VLSI のトランジスタ劣化特性に関する考察," 電子情報通信学会 2009 年総合大会講演論文集, D-10-11, 松山市, Mar. 17-20, 2009.

3. T. Yoneda, S. Ohtake, M. Inoue and H. Fujiwara, "An Approach to Temperature Control During VLSI Test," 電子情報通信学会2009年総合大会講演論文集, D-10-18, 松山市, Mar. 17-20, 2009.
4. 梶原誠司, "VLSI のディペンダビリティ向上のためのフィールドテスト手法", 半導体テストソリューション研究会(主催:財団法人 福岡県産業・科学技術振興財団), 福岡, Aug. 20, 2009.
5. M. Inoue, S. Ohtake, Y. Uemoto and H. Fujiwara, "Path-based resource binding to reduce delay fault test cost," 10th IEEE Workshop on RTL and High Level Testing (WRTLTL), Hong Kong, Nov. 27, 2009.
6. M. E. J. Obien and H. Fujiwara, "A DFT method for functional scan at RTL," 10th IEEE Workshop on RTL and High Level Testing (WRTLTL), Hong Kong, Nov. 27, 2009.
7. 佐藤康夫, 梶原誠司, 藤原秀雄, 三浦幸也, "フィールド高信頼化のための VLSI 劣化検知技術", セミコン・ジャパン 2009, SEMI テクノロジーシンポジウム(STS)2009 セッション 9, 幕張メッセ, Dec. 3, 2009.
8. 野田光政, 梶原誠司, 佐藤康夫, 宮瀬紘平, 温暁青, 三浦幸也, "劣化検知テストにおけるパス選択について", 電子情報通信学会技術研究報告, VLD2009-67, pp. 167-172, 高知市, Dec. 2-3, 2009.
9. M. Inoue, A. Taketani, T. Yoneda, H. Iwata and H. Fujiwara, "Optimizing Delay Test Quality with a Limited Size of Test set," IEEE International Workshop on Reliability Aware System Design and Test, Bangalore, India, Jan. 8, 2010.
10. M. Noda, S. Kajihara, Y. Sato, K. Miyase, X. Wen, Y. Miura, "A Path Selection Method for Delay Test Targeting Transistor Aging," IEEE International Workshop on Reliability Aware System Design and Test, Bangalore, India, Jan. 8, 2010.
11. 広実一輝, 梶原誠司, 佐藤康夫, 宮瀬紘平, 温暁青, "フィールドテストにおける巡回テストとテスト集合印加順序について", 第 62 回FTC研究会, 総社市, Jan. 21-23, 2010.
12. 中尾 良, 米田友和, 井上美智子, 藤原秀雄, "テスト実行時の温度均一化のためのテストパターン並び替え法," 電子情報通信学会 DC 研究会, 東京, 2010 年 2 月 15 日.
13. 竹谷 啓, 米田友和, 井上美智子, 藤原秀雄, "BIST における高品質遅延故障テストのためのシード選択法," 電子情報通信学会 DC 研究会, 東京, 2010 年 2 月 15 日.
14. 奥 慎治, 梶原誠司, 佐藤康夫, 宮瀬紘平, 温 暁青, "3 値テストパターンに対する遅延テスト品質計算と X 割当について"電子情報通信学会 DC 研究会, 東京, 2010 年 2 月 15 日.
15. H. Iwata, S. Ohtake, M. Inoue and H. Fujiwara, "A Full Scan Design Method for Asynchronous Sequential Circuits Based on C-element Scan Paths ," IEICE Tech. Rep. (DC2010-8), Vol. 110, No. 106, pp.1-6, Tokyo, Jun. 25, 2010.
16. 佐藤康夫, 梶原誠司, 井上美智子, 米田友和, 大竹哲史, 藤原秀雄, 三浦幸也, "フィールド高信頼化のための VLSI 劣化検知技術(DART)", 第 63 回FTC研究会, Jul. 16, 2010.
17. 山口久登・松藺 誠・佐藤康夫・梶原誠司, "スキャン BIST におけるマルチサイクルテストと部分観測方式の提案と評価" 電子情報通信学会技術研究報告, DC2010-28, pp. 31 - 36, 福岡市, Nov. 29, 2010.
18. K. Miyase, M. A. Kochte, X. Wen, S. Kajihara, H. -J. Wunderlich, "Low-Capture-Power Post-Processing Test Vectors for Test Compression Using SAT Solver," IEEE International Workshop on Defect and Data Driven Testing, Session 4.2, Nov. 2010.
19. K. Miyase, F. Wu, L. Dilillo, A. Bosio, P. Girard, X. Wen, S. Kajihara, "X-Identification of Transition Delay Fault Tests for Launch-off Shift Scheme," IEEE Workshop on RTL and High Level Testing, Shanghai (China), pp. 125-129, Dec. 5, 2010.
20. T. Yoneda, M Nakao, M. Inoue, Y. Sato and H. Fujiwara, "A test pattern optimization to reduce spatial and temporal temperature variations," IEEE International Workshop on

- Reliability Aware System Design and Test (RASDAT'11), pp.7-12, Chennai (India), Jan. 6, 2011.
21. S. Wang, S. Kajihara, Y. Sato, X. Fan, and S. M Reddy, "A Pattern Partitioning Algorithm for Field Test," IEEE International Workshop on Reliability Aware System Design and Test (RASDAT'11), pp.31-36, Chennai (India), Jan. 7, 2011.
 22. 井上亨, 三宅庸資, 松菌誠, 宮瀬紘平, 佐藤康夫, 梶原誠司(九工大), 三浦幸也(首都大), 熱モニタ用リングオシレータの評価機構と TEG 設計 第 64 回FTC研究会, Jan. 2011.
 23. 小副川 絵美子, 米田 友和, 井上 美智子, 藤原 秀雄, "テスト実行時における初期温度均一化のためのパターン生成法," 電子情報通信学会技術研究報告, DC2010-63, pp.27-32, Feb. 2011.
 24. 堀 慧悟, 米田 友和, 井上 美智子, 藤原 秀雄, "高精度遅延テストのためのテストパターン生成法," 電子情報通信学会技術研究報告, DC2010-64, pp.33-38, Feb. 2011.
 25. M. Inoue and S. Kajihara, "Accurate and Efficient SOC Field Test for Failure Prediction," IEEE VLSI Test Symposium (VTS'11), May 2011.
 26. 村田 絵理(奈良先端大)、大竹哲史(大分大)、中島康彦(奈良先端大)、組込み自己テストにおける温度均一化制御、電子情報通信学会 DC 研究会、ニューウェルシティ宮崎、2011年11月30日
 27. 森永 洋介, 米田 友和, 李 賢彬, 井上 美智子, "フィールドにおける劣化検知のための動的テストスケジューリング," 電子情報通信学会技術研究報告, Vol. 111, No. 435, DC2011-85, pp.55-60, Feb. 2012.
 28. 内田行紀、村田絵理(奈良先端大)、大竹哲史(大分大)、中島康彦(奈良先端大)、同期式设计から変換されたQDI回路のテスト生成法、電子情報通信学会 DC 研究会、機械振興会館、2012年2月13日
 29. Yuta Yamato, Tomokazu Yoneda, Kazumi Hatayama and Michiko Inoue, "On per-cell dynamic IR-drop estimation in at-speed scan testing," IEICE Tech.Rep., Vol. 112, No. 102, DC2012-15, pp.39-44, June 2012.
 30. 秋吉 保紀, 大和 勇太, 米田 友和, 畠山 一実, 井上 美智子, "LSI のテストパタンの IR ドロップ見積り手法," 平成 24 年度情報処理学会関西支部大会, Sep. 2012.
 31. Ratna Aisuwarya, Yuta Yamato, Tomokazu Yoneda, Kazumi Hatayama and Michiko Inoue, "Acceleration of seed ordering and selection for high quality VLSI delay test," 平成 24 年度情報処理学会関西支部大会, Sep. 2012.
 32. Yuta Yamato, Yasunori Akiyoshi, Tomokazu Yoneda, Kazumi Hatayama and Michiko Inoue, "An improved method of per-cell IR-Drop estimation based on the weighted switching activity metric," The Thirteenth Workshop on RTL and High Level Testing (WRTL'12), Nov. 2012.
 33. 津森 渉, 三宅庸資, 佐藤康夫, 梶原誠司, 三浦幸也, "フィールドテストのための温度・電圧モニタ回路構成の検討", 電子情報通信学会 デザインガイア 2012, 福岡市, 2012年11月28日
 34. 王 森レイ, 佐藤康夫, 梶原誠司, 宮瀬紘平, "マルチサイクル BIST におけるスキャン出力の電力低減手法", 電子情報通信学会 デザインガイア 2012, 福岡市, 2012年11月28日
 35. 三宅庸資・津森 渉・佐藤康夫・梶原誠司(九工大)・三浦幸也(首都大東京), "モニタ回路による製造バラツキを考慮した温度・電圧推定手法", 電子情報通信学会技術研究報告 DC2012-89, pp. 55-60, 2013年2月13日
 36. 吉見 優太, 畠山 一実, 大和 勇太, 米田 友和, 井上 美智子, "フィールドでの組込み自己テストにおける不定値処理に関するデータ量の削減手法," 電子情報通信学会技術研究報告, DC2012-90, Vol. 112, No. 429, pp.61-66, Feb. 2013.
 37. Kazumi Hatayama, "Impact of process variation on delay test quality," 31st IEEE VLSI

- Test Symposium (VTS 2013), Apr. 2013.
38. 森保孝憲、大竹哲史(大分大)、制約付きテスト生成を用いたスキャン BIST の LFSR シード生成法、電子情報通信学会 DC 研究会、機械振興会館、2013 年 6 月 21 日
 39. 池田龍史、三浦幸也(首都大)、リング発振器を用いたトランジスタの劣化推定法、電子情報通信学会ディペンダブルコンピューティング研究会、東京、2013 年 6 月 21 日
 40. 畠山 一実、大和 勇太、米田 友和、井上 美智子、佐藤 康夫、梶原 誠司、三浦 幸也、大竹 哲史、"フィールド高信頼化のためのマージン低下検知技術(DART)の LSI での実現方法について," 第 69 回 FTC 研究会, July 2013.
 41. Keita Ito, Tomokazu Yoneda, Yuta Yamato, Kazumi Hatayama and Michiko Inoue, "Efficient scan-based BIST architecture for application-dependent FPGA test," The Fourteenth Workshop on RTL and High Level Testing(WRTL'13), Nov. 2013.
 42. Yousuke Miyake, Yasuo Sato, Seiji Kajihara and Yukiya Miura, "A Flexible Temperature and Voltage Monitor for Field Test", *IEEE Workshop on RTL and High Level Testing*, Paper III.3.F (6 page), Nov. 2013.
 43. 本田太郎、大竹哲史、"遅延故障 BIST 向け LFSR シード生成法," 電子情報通信学会技術報告(DC2013-58), Vol.113, No.321, pp.227-231, Nov. 2013.
 44. 中島寛之、大竹哲史、"RTL 情報を用いた高品質遷移故障テスト生成法," 電子情報通信学会技術報告(DC2013-60), Vol.113, No.321, pp.239-244, Nov. 2013.
 45. 三宅庸資・門田正文・佐藤康夫・梶原誠司(九工大)、"FPGA における複数の周波数特性を実現するためのリングオシレータ構成法の検討" 電子情報通信学会技術研究報告 DC2013-50, pp. 165-170, 鹿児島市, 2013 年 11 月 28 日
 46. 野々山 聡・佐藤康夫・梶原誠司(九工大)・中村芳行(ルネサス エレクトロニクス)、"データマイニング手法によるバーンインテスト結果予測の検討" 電子情報通信学会技術研究報告 DC2013-57, pp. 221-226, 鹿児島市, 2013 年 11 月 29 日
 47. 加藤隆明・喜納 猛・三宅庸資・佐藤康夫・梶原誠司(九工大)、"論理 BIST におけるスキャンイン電力制御回路の TEG 評価について" 電子情報通信学会技術研究報告 DC2013-59, pp. 233-238, 鹿児島市, 2013 年 11 月 29 日
 48. 伊藤 溪太、米田 友和、大和 勇太、畠山 一実、井上 美智子、"FPGA 向けアプリケーション依存テストのための効率的なスキャン BIST アーキテクチャ," 信学技報 , Vol. 113, No. 353,DC2013-68,, pp.1-6, Dec. 2013.
 49. 佐藤康夫・松浦宗寛・荒川 等・三宅庸資・梶原誠司(九工大)、"FPGA の自己テストのための可変タイミングクロック生成" 電子情報通信学会技術研究報告 DC2013-69, pp. 7-12, 石川県七尾市, 2013 年 12 月 13 日
 50. 佐藤秀一、大竹哲史、"束データ方式の非同期式回路に対する遅延測定機構," 情報処理学会研究会報告(九州支部火の国情報シンポジウム 2014 論文集), 1A-2, pp.1-8, Mar. 2014.
 51. 小野廉二、大竹哲史、"遷移故障向け診断テスト生成の一手法," 情報処理学会研究会報告(九州支部火の国情報シンポジウム 2014 論文集), 4A-4, pp.1-6, Mar. 2014.

③ ポスター発表 (国内会議 5 件、国際会議 4 件)

1. 発表者(所属)、タイトル、学会名、場所、月日
1. 梶原誠司, 佐藤康夫, 宮瀬紘平, 温暁青(ポスター発表), "パワーオン・テストによるフィールド高信頼化手法", 第15回 LSI・アプリケーション産学連携会議, 北九州, Jul. 3, 2009.
2. 梶原誠司, 佐藤康夫, "LSI のフィールドテストによる遅延劣化の検知技術", 第 18 回 LSI・アプリケーション産学連携会議「環境エレクトロニクス北九州フォーラム」, 北九州, 2011 年 1 月 31 日.
3. Satoshi Ohtake(OU), Seiji Kajihara, Yasuo Sato(Kyutech), Michiko Inoue, Kazumi Hatayama, Tomokazu Yoneda, Yuta Yamato(NAIST), Yukiya Miura(TMU), On-chip delay measurement with field test architecture DART, IEEE/ACM Workshop on Variability

- Modeling and Characterization 2012, Hilton San Jose, November 8, 2012.
4. 三宅 庸資,佐藤 康夫,梶原 誠司,宮瀬 紘平(九工大),三浦 幸也(首都大学東京) “フィールドテストのための温度・電圧モニタ用回路の試作評価”, LSI とシステムのワークショップ 2012 ポスター発表, 北九州市, 2012 年 5 月 28 日
 5. Kazumi Hatayama(NAIST), Yasuo Sato, Michiko Inoue, Tomokazu Yoneda, Yuta Yamato, Seiji Kajihara, Yukiya Miura and Satoshi Ohtake, “Functional safety enhancement using DART technology for dependable VLSIs,” The 42nd Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN 2012), Boston, June 2012.
 6. Seiji Kajihara, Yasuo Sato, Michiko Inoue, Kazumi Hatayama, Tomokazu Yoneda, Yuta Yamato, Yukiya Miura, Satoshi Ohtake, “BIST-based Field Test for Dependable VLSIs,” IEEE International Test Conference, Poster, Nov. 2012.
 7. Satoshi Ohtake(OU), Seiji Kajihara, Yasuo Sato(Kyutech), Michiko Inoue, Kazumi Hatayama, Tomokazu Yoneda, Yuta Yamato(NAIST), Yukiya Miura(TMU), On-chip Delay Measurement with Field Test Architecture DART, IEEE/ACM Workshop on Variability Modeling and Characterization 2012, Hilton San Jose, November 8, 2012.
 8. 三宅 庸資,佐藤 康夫,梶原 誠司 “フィールドテストのための温度・電圧モニタ回路”, 第 22 回LSI・アプリケーション産学連携会議, 北九州市, 2013 年 2 月 7 日
 9. 九州工業大学 情報工学研究院 情報創成工学専攻 梶原・温研究室, イノベーション・ジャパン 2013 ～大学見本市&ビジネスマッチング～「フィールドテスト用の温度・電圧モニタ IP」 (2013 年 8 月 29 日～30 日)

(4)知財出願

① 国内出願 (11 件)

1. 半導体集積回路のテストパターン生成方法、井上美智子、米田友和、佐藤康夫、国立大学法人奈良先端科学技術大学院大学、国立大学法人九州工業大学、2010/1/15、2010-007003
2. 半導体装置、検知方法及びプログラム、佐藤康夫、梶原誠司、井上美智子、米田友和、李賢彬、三浦幸也、国立大学法人九州工業大学、国立大学法人奈良先端科学技術大学院大学、公立大学法人首都大学東京、2010/3/15、2010-57310
3. スキャンC 素子およびそれを備えた半導体集積回路ならびにその設計方法およびテストパターン生成方法、大竹哲史、岩田大志、井上美智子、国立大学法人奈良先端科学技術大学院大学、2010/6/17、2010-138609
4. 故障検出システム、観測装置、故障検出方法、プログラム及び記録媒体、佐藤康夫、梶原誠司、国立大学法人九州工業大学、2010/10/5、2010-225318
5. リング発振器、三浦幸也、佐藤康夫、梶原誠司、公立大学法人首都大学東京、国立大学法人九州工業大学、2011/1/19、2011-008850
6. MOS トランジスタ集積回路および MOS トランジスタ劣化度合模擬算出システム、三浦幸也、佐藤康夫、公立大学法人首都大学東京、国立大学法人九州工業大学、2011/3/23、2011-065061
7. テストパターン生産装置、故障検出システム、テストパターン生産方法、プログラム及び記憶媒体、佐藤康夫、梶原誠司、国立大学法人九州工業大学、2012/1/10、特願 2012-002214
8. 故障検出システム、生産回路及びプログラム、佐藤康夫、王森レイ、宮瀬紘平、梶原誠司、国立大学法人九州工業大学、2012/5/23、特願 2012-117842
9. スキャンBISTのLFSRシード生成法、大竹哲史、森保孝憲、大分大学、2013 年 7 月 17 日、特願 2013-148812
10. 遅延故障に対するスキャンBISTのLFSRシード生成法、大竹哲史、本田太郎、大分大学、2013 年 7 月 17 日、特願 2013-148663
11. FPGA 上に構成するリングオシレータのトランジスタ劣化抑制方法、佐藤康夫、島村孝太

郎、三浦幸也、国立大学法人九州工業大学、株式会社日立製作所、公立大学法人首都大学東京、特願 2014-39156

②海外出願 (9 件)

1. 半導体集積回路のテストパターン生成方法、プログラム、およびコンピュータ読み取り可能な記憶媒体、井上美智子、米田友和、佐藤康夫、国立大学法人奈良先端科学技術大学院大学、国立大学法人奈良先端科学技術大学院大学、国立大学法人九州工業大学、2011/1/7、PCT/JP2011/000059
2. 半導体集積回路のテストパターン生成方法、プログラム、およびコンピュータ読み取り可能な記憶媒体、井上美智子、米田友和、佐藤康夫、国立大学法人奈良先端科学技術大学院大学、国立大学法人九州工業大学、2011/1/14、100101509(台湾)
3. 半導体装置、検知方法及びプログラム、佐藤康夫、梶原誠司、井上美智子、米田友和、李賢彬、三浦幸也、国立大学法人九州工業大学、国立大学法人奈良先端科学技術大学院大学、公立大学法人首都大学東京、2011/3/11、100108218(台湾)
4. 半導体装置、検知方法及びプログラム、佐藤康夫、梶原誠司、井上美智子、米田友和、李賢彬、三浦幸也、国立大学法人九州工業大学、国立大学法人奈良先端科学技術大学院大学、公立大学法人首都大学東京、2011/3/14、PCT/JP2011/55900
5. スキャン非同期およびそれを備えた半導体集積回路ならびにその設計方法およびテストパターン生成方法、大竹哲史、岩田大志、井上美智子、国立大学法人奈良先端科学技術大学院大学、2011/6/15、PCT/JP2011/003405
6. スキャン非同期およびそれを備えた半導体集積回路ならびにその設計方法およびテストパターン生成方法、大竹哲史、岩田大志、井上美智子、国立大学法人奈良先端科学技術大学院大学、2011/6/17、100121280(台湾)
7. テストパターン生産装置、故障検出システム、テストパターン生産方法、プログラム及び記憶媒体、佐藤康夫、梶原誠司、国立大学法人九州工業大学、2012/1/9、PCT/JP2013/050150
8. Asynchronous memory element for scanning、大竹哲史、岩田大志、井上美智子、奈良先端科学技術大学院大学、2012年12月14日、13/715,929、米国
9. 故障検出システム、生産回路及びプログラム、佐藤康夫、王森レイ、宮瀬紘平、梶原誠司、国立大学法人九州工業大学、2013/5/14、PCT/JP2013/063393

(5)受賞・報道等

①受賞

1. 平成 24 年度情報処理学会関西支部大会学生奨励賞：秋吉保紀「LSI のテストパタンの IR ドロップ見積り手法」
2. 情報処理学会 SLDM 研究会優秀発表学生賞：津森 渉「フィールドテストのための温度・電圧モニタ回路構成の検討」

(6)成果展開事例、出口活動

①社会還元的な展開活動

- 横浜で開催された ET2011 組込み展に出展して、100 名超のブース来訪者に対して広報活動を行った。
- VLSI テストの分野の国際会議 IEEE VLSI Test Symposium 2011 で、CREST/DVLSI での成果に基づく特別セッションを設け、坂井チーム藤田先生、安浦チーム松永先生、梶原チーム井上先生がそれぞれ講演を行った。
- Embedded Technology 2012 で DART システムを FPGA 版のデモを行った。
- DART 技術に関するホワイトペーパー(日本語版、英語版)を DVLSI の Web サイトで公開した。

- キャンパス・イノベーションセンター東京新技術説明会(2012年9月7日、主催:キャンパス・イノベーションセンター東京、JST)において「温度均一化テストパターン生成技術」を紹介した。
- 大田区産業プラザ(PiO)で開催された「第2回おた研究・開発フェア」(平成24年10月4日(木)～5日(金))にて、“フィールドテストのための温度・電圧モニタ回路技術”のポスター展示を行った。
- けいはんな情報通信フェア(2012年11月8日～10日)において、DARTシステムをポスターにて紹介した。
- DART技術の普及に向けて技術内容を紹介したセールスキットを作成し、平成25年8月6日に9社の技術者を対象にDART説明会を開催した。
- イノベーション・ジャパン2013～大学見本市&ビジネスマッチング～(2013年8月29日～30日)にて、「フィールドテスト用の温度・電圧モニタIP」のポスター展示とショートプレゼンを行った。
- Embedded Technology 2013でDARTシステムを紹介した。
- 九州工業大学 新技術説明会(JST東京別館ホール、東京・市ヶ谷、2013年12月20日)において「半導体集積回路の劣化検知のためのフィールドテスト技術」のプレゼンテーションを行った。

§6 研究期間中の活動

6.1 主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
平成21年7月17日	第61回FTC研究会 特別セッション	奥伊勢フォレストピア	48人	非同期回路の設計とテストについての招待講演
平成23年5月2日	IEEE VLSI Test Symposium	Dana Point, CA, USA	約40名	Special Session: Multifaceted Approaches for Field Reliability
平成23年11月15-18日	ET2011 組込み展	パシフィコ横浜		展示会出展
平成24年11月7日	IEEE International Test Conference	Anaheim, CA, USA		Panel Session: Are industrial test problems real problems? I thought research has resolved them all!
平成24年11月13-15日	ET2012 組込み展	パシフィコ横浜		展示会出展
平成24年11月19-22日	IEEE Asian Test Symposium	朱鷺メッセ	146	基調講演、Special Session: Dependable VLSI
平成25年8月6日	DART説明会	JST 東京本部 (サイエンスプラザ)	21	DART普及のためのガイドライン等説明会