

戦略的創造研究推進事業 CREST
研究領域「ディペンダブル VLSI システムの基盤技術」
研究課題「超高信頼性 VLSI システムのための
ディペンダブルメモリ技術」

研究終了報告書

研究期間 平成20年10月～平成26年3月

研究代表者：吉本 雅彦
(神戸大学大学院 システム情報学研究科、
教授)

§ 1 研究実施の概要

(1) 実施概要

高信頼性 VLSI システムのためのディペンダブルメモリ技術を開発した。SRAMのディペンダビリティを阻害する要因として、次の6項目が挙げられる。中性子などによるソフトエラー、素子の経年劣化、電源ノイズなどの電圧変動、温度変動、サイドチャネルアタック、不正アクセスである。そこで、本研究では上記項目への対策技術開発を課題とした。

当初、耐ソフトエラーSRAMレイアウト技術(代表者 G)、不良予知診断技術(第1 G)、不良回避技術(代表者 G、第2 G)、自律型ディペンダブルメモリ技術(代表者 G、第1 G、第2 G)、システムレベル検証技術(第3 G、第4 G)、の側面から設計技術研究に着手した。これらの課題を解決することで、不良予知、検出、回避までの一貫したSRAMの信頼性向上のためのディペンダビリティメモリ技術開発を行った。

具体的な研究成果を列挙する。耐ソフトエラーSRAMレイアウト技術については、中性子起因ソフトエラー率導出ツールを開発するとともに複数セル反転(ECCでは救済できない)ソフトエラー率を削減するSRAMセルレイアウト技術を開発し、複数セル反転を57%削減できる見積もりを提案ソフトエラー率導出ツールを用いて得た。不良予知診断技術については、オンチップ電源モニタとBISTを組み合わせて経年劣化、電圧変動、温度変動などにより発生するマージン不良を実動作中に不良予知する技術を開発した。不良回避技術については2通りの開発を実施した。そのひとつはQuality-Bit-Memory(QoB)の提案(代表者 G)であり、それをウェイト数可変型キャッシュメモリに適用し、4.9%のIPC劣化で低電圧動作マージンを115mV改善し、IPCと動作電圧マージンとトレードオフを取ることで不良を回避する手法を開発した。もう一つの不良回避技術は、アシスト回路を用いた細粒度電圧制御(第2 G)であり、これにより面積、消費電力のオーバーヘッドなく50mV以上のVmin改善効果が得られ不良回避技術としての有用性を確認できた。以上の技術を統合することで、自律型ディペンダブルメモリを設計、試作した。実機ボードによるデモ環境を構築、動作確認を行い、システム動作を妨げることなく、不良検知および不良回避をバックグラウンドで自律的に行えることを確認した。また、大きな電源電圧ドループ(35%の電源電圧の振れ込みの場合)においても、Failure Rateを約2ケタ改善できるという有用な結果が得られた。さらに自律型ディペンダブルメモリを車載エンジン制御システムに適用した場合のシステムエラーレートの改善効果を評価するために、システムレベル検証技術を開発した。すなわち、CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション(Virtualization)技術を構築し、マイコン内にメモリ故障を注入でき、かつ注入したメモリ故障がシステムに与える影響を評価することができる極めて精度の高いシステムレベルでのシミュレーション実行が可能となった。自動車業界でニーズが高い、マイコン内各場所でのFMEA解析ができる機能安全検証実現の見通しを得た。

中間報告以降、上記研究成果をベースに、今後需要が見込まれるEV対応のディペンダブル技術開発として以下の発展テーマ課題に取り組んだ。QoBメモリのマルチコア応用技術(代表者 G、第3 G、第4 G)、EV対応のEMC対策技術(第1 G)、不正アクセス抑止のためのメモリベースID生成技術(第2 G)研究を行った。

具体的にはこれらの研究成果は下記である。QoBメモリのマルチコア応用技術については、QoB構造を利用した一括比較技術、一括コピー技術を開発し、それを用いることでマルチコアプロセッサ上のDMRロックステップにおけるCheck & Recovery機能での時間オーバーヘッドを削減できる見通しを得た。同時に車載制御システムへの有効性を定量的に評価できる開発環境を構築し、現在システムエラーレートの改善度を定量的に評価中である。EV対応のEMC対策技術については、VLSIチップとパッケージおよびプリント基板を統合したノイズ・シミュレーション手段を確立し、半導体チップに関わるEMC評価の国際規格(IEC61967-6、IEC 62132-4)による観測結果を原理的に解析・説明でき、ノイズ耐性の高いVLSI設計に役立つことを示した。メモリベースID生成技術については、動作マージンを拡大するために使うアシスト回路のバイアスを通常とは逆に悪化するように印加することで発生した不良ビットアドレスからIDを生成する方法を提案し、環境変動・ノイズ変動耐性が高いことを実デバイスにて実証した。

以上の当初課題と発展課題に取り組んだ成果として、SRAMのディペンダビリティを阻害する種々の要因を解決する技術を創出し得た。

(2) 顕著な成果

＜優れた基礎研究としての成果＞

1. 「自律型ディペンダブルメモリ LSI の開発」 (代表者 G、第 1 G、第 2 G)

概要:再構成型メモリ (QoB メモリ、細粒度アシスト SRAM)、フィールド BIST、オンチップモニタを組み合わせた自律型ディペンダブルメモリ LSI (統合試作)を開発。フィールド BIST、オンチップモニタを 1 チップに統合し、QoB メモリ、細粒度アシスト SRAM による不良回避を行う自律型ディペンダブルメモリを構成し、試作、評価を完了した。動作最少電圧を 100-200mV 低減するとともに、大きな電源電圧ドループ (35%の電源電圧の振れ込みの場合)においても、Failure Rate を約 2 ケタ改善できるという有用な結果が得られた。自動車用途の MCU では自動車用機能安全規格 ISO26262 への対応が強く要求されている。自律型ディペンダブルメモリシステムを適用することにより、システム動作を妨げることなく、不良検知および不良回避をバックグラウンドで自律的に行うことができる。すなわち、本ディペンダブルメモリシステムでは、電圧も含めた動作マージンテストを行い、誤動作が発生する前に不良を回避することをシステム動作のバックグラウンドで自律的にこなうことを目指しており、よりディペンダビリティが高いシステムを構築できる。

2. 「耐ソフトウェア SRAM 技術の開発」 (代表者 G)

概要:中性子起因ソフトウェア率導出ツールと複数セル反転 (ECC では救済できない)ソフトウェア率を削減する 6T SRAM セルレイアウト技術を開発した。ソフトウェア率導出ツールは核反応シミュレータ PHITS を用いて 2 次粒子の輸送計算を行なうことで 1 秒間に 10,000 イベント以上計算することができる。1 イベントの計算に数 10 時間かかる電磁界シミュレーションより 8 桁以上高速にモンテカルロシミュレーションを行う。また高コストな中性子照射実験をする必要もない。新しい回路レイアウトや新しい素材を用いた記憶素子のアイデアを高速・低コストでソフトウェアプロトタイプングできるのが特長である。この提案ツールを用いて、NMOS-PMOS 反転セルの評価を行った。CKB パターンを用いた場合、複数セル反転を 57%削減できる見積もりを提案ソフトウェア率導出ツールを用いて得た。

3. 「VLSI における電源ノイズ・シミュレーション手段の確立」 (第 1 G)

概要:VLSI チップとパッケージおよびプリント基板を統合した電源供給ネットワーク・インピーダンスモデル、および VLSI チップに搭載されるデジタル集積回路の消費電流モデルを統合したノイズ・シミュレーション手段を確立した。半導体チップに関わる EMC 評価の国際規格 (IEC61967-6, IEC 62132-4)による観測結果を原理的に解析・説明でき、ノイズ耐性の高い VLSI 設計に役立つことを示した。

＜科学技術イノベーションに大きく寄与する成果＞

1. 「オンチップモニタ技術によるビット不良の発生メカニズムの解明」 (第 1 G)

概要:SRAM の EMC (エミッションとイミュニティ)に関して、オンチップモニタ技術の応用により、ビット不良の発生メカニズムの解明および予知・回避手段を具体化した。当該手法をデジタル VLSI に一般化することで、VLSI における EMC 技術、とりわけ車載エレクトロニクス等の重要課題であるイミュニティ対策に向け、電源ノイズの解析手法および電源ノイズ耐性を獲得するシステム構築手段の確立に貢献できることを示した。

2. 「CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション (Virtualization) 技術の構築」 (第 3 G、第 4 G)

概要:車載システム実機検証手法では、米国 GM 社、富士通テン社等が積極的に取り組んでいるが、マイコン模擬より抽象度の高いレベルで実行しているため精度が悪化しマイコン動作を模擬することができない。これに対し、本研究グループでは、今までに、マイコン模擬が可能な CPU モデルベースの協調シミュレーショ

ンが可能となるため、マイコン内にメモリ故障を注入でき、かつ注入したメモリ故障がシステムに与える影響を評価することができ、極めて精度の高いシステムレベルでのシミュレーション実行が可能となる。更に、マイコン内のメモリだけでなく、CPU 内のレジスタについても、故障注入ができる検証環境を構築することができるようになり、自動車業界でニーズが高い、マイコン内各場所での FMEA 解析ができる機能安全検証の実現が期待できる。

3. 「メモリベース ID 生成技術」 (第 2 G)

概要：従来のチップ固有 ID 生成技術では、トランジスタのランダムばらつきに着目した種々の PUF (Physically Unclonable Function)が提案されているが、いずれも環境変化・ノイズ等に対する耐性が低く、温度・電圧変動に対して安定したIDを生成することが困難であるという課題があった。我々は、SRAM のハードマクロを使用し、動作マージンを拡大するために使うアシスト回路のバイアスを通常とは逆に悪化するように印加することで発生した不良ビットアドレスから ID を生成する方法を提案した。さらに製品出荷前のスクリーニングテストを用いた安定アドレスの抽出手法およびオンチップの不揮発素子を導入したメモリベースのチップID生成機構を開発、環境変動・ノイズ変動耐性が高いことを実デバイスにて実証した。

§ 2. 研究構想

(1) 当初の研究構想、課題設定

① 研究の背景、社会や産業に存在する問題と本研究の課題設定

現在、情報通信・コンピュータ・交通などの重要な社会インフラはシリコン LSI によって支えられている。しかしながら微細化・大規模化・高性能化が進む LSI では、放射線によるソフトエラーやトランジスタが時間的に劣化する NBTI (negative bias temperature instability)などの物理的エラーによる信頼性低下が問題となっている。加えて、あまりに複雑化した LSI 設計やその製造・検査段階において発生する人為的エラーを完全には排除できない状況となっている。このことは製品がエラーを持ったまま出荷され、さらに偶発的なエラーも加わることを意味しており、もはや完璧に信頼できる LSI は望めない。速度・電圧・温度・入出力信号の品質などの想定される外部環境のあらゆる組み合わせにおいて、満足して動作することは不可能であり、信頼性の低下があってもそれを改善できる機構を持った LSI が望まれている。これがディペンダブル LSI である。

本研究ではディペンダブルなメモリ技術に着目する。システム LSI においてはメモリ SRAM の大容量化が進み、現在では総トランジスタ数の 90%以上を占めるに至っている。そのため、LSI のディペンダビリティは組み込み SRAM によって決められる要素が極めて大きいと言える。SRAM のディペンダビリティを阻害する要因として、次の項目が挙げられる。素子の経年劣化、電源ノイズなどの電圧変動、温度変動、ソフトエラーである。

そこで、本研究では、上記項目への対策技術開発を課題とする。すなわち、耐ソフトエラー設計技術、不良予知診断技術、不良回避技術、自律型ディペンダブルメモリ技術、システムレベル検証技術の各側面から設計技術を研究する。これらの課題を解決することで、不良予知、検出、回避までの一貫した SRAM の信頼性向上のためのディペンダビリティメモリ技術開発を行う。

② 本研究チームの達成目標。

1) 第1の目標は、中性子起因 SRAM ソフトエラー率 (Soft Error Rate: SER) 導出ツールおよび MCU (Multiple-Cell Upset : ECC では救済が難しい) を 1 桁以上低減するレイアウト技術を提案する。

2) 第2の目標は、経年劣化、電源ノイズなどの電圧変動、温度変動などにより発生するマージン不良を実動作中に不良予知する技術を開発する。オンチップ電源モニタと BIST を組み合わせて予知する。

3) 第3の目標は、経年劣化、電源ノイズなどの電圧変動、温度変動などにより発生するマージン不良を回避する技術を開発する。具体的には、最少動作電圧 V_{min} を 100mV-200mV 低減できる再構成型メモリ技術を開発する。

4) 第4の目標は、自律型ディペンダブルメモリの開発。これにより、トランジスタ特性の経年劣化、環境変動(雑音等による電圧変動、温度変動)による SRAM 動作マージンが劣化しても自律的にマージンを改善し動作を継続できるメモリスシステムを構築する。深い低周波の電源電圧ドループ (35% の電源電圧の振れ込みの場合) においても、自律的に不良回避モードへ移行し Failure Rate を約 2 ケタ改善する自律型ディペンダブルメモリを開発する。

5) 第5の目標は、メモリへの不良注入技術(新規開発)を導入した Virtualization 技術 (PILS: Processor-In the Loop Simulation) の構築と自律型ディペンダブルメモリによる車載制御システム信頼性向上効果の定量的検証。

③ 本研究の特徴

本チームによる研究の最大の特徴は、自律型ディペンダブルメモリ開発だけでなく、その最終応用におけるシステム信頼性を評価できるチーム構成を確立していることにある。そのため、ディペンダブル VLSI の重要な応用である特に車載制御システム信頼性向上効果の定量的検証を可能としている。

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

メモリという最もデバイスに近い技術であるが、回路技術、SoCアーキテクチャ、想定応用システム(車載制御)まで縦に通した垂直統合研究を実施した。

2) 領域外部の企業等との連携

研究チームには、ルネサスエレクトロニクスが参画しており、半導体メーカーとの直接的な共同研究体制にある。また、Virtualization を担当する共研3G(日立中研)は車載機器メーカーと密な連携関係を持っており、本研究成果を実応用システム(車載応用)で検証できる環境にある。また、Virtualization では、EDAベンダの Synopsys 社と連携して、IPコアの開発を進めてきた。

3) 領域内他研究チームとの連携関係

安浦チームと連携して、ソフトウェアレート(SER)予測技術とSER改善技術の研究に取り組んだ。特に、物理、デバイス、回路、アーキテクチャの垂直統合シミュレーションによる評価方法の確立に注力した。

(2)新たに追加・修正など変更した研究構想、発展テーマ

① 中間評価で受けた指摘や助言、それを踏まえて対応した結果について

SRAMのディペンダビリティを阻害する要因として、素子の経年劣化、電源ノイズなどの電圧変動、温度変動、ソフトウェアだけでなく、サイドチャネルアタックや不正アクセスがあり、これに対応できるメモリ技術やノイズ評価技術へ展開することの必要性が指示され、それを踏まえて対応した結果が下記開発項目である。

(1)中間評価では、電源ノイズの評価技術について、評価技術にとどめず耐ノイズVLSIや耐タンパVLSIの創造的提案につなげることで、この指摘を頂いた。これに対応すべく、中間評価以降(平成24-25年度)はVLSIにおけるEMC技術としてイミュニティに着目し、以下の研究成果を得た。すなわち、(1)直接電力注入法(国際規IEC 62132-4)による半導体チップのイミュニティ特性評価に関して、オンチップモニタを用いることでチップ内部のノイズ挙動およびノイズ応答を掌握し、イミュニティ評価の境界をチップ内部に拡張する手段を確立した。耐ノイズ性および耐タンパ性を確保する設計指針の導出に応用できる。また、VLSIチップの実装環境に対してアダプティブな電源ノイズ・フィルタ機構を開発した。オンチップモニタを用いて電源ノイズの周波数特性を診断し、これをもとにフィルタ特性をチューニングすることで、電源ノイズを効果的に抑圧できる。(永田G)

(2)VLSIシステムへの不正アクセスを防御するために、不良回避技術(細粒度アシストSRAM)を用いたID生成技術の開発へ展開した。従来のチップ固有ID生成技術では、トランジスタのランダムばらつきに着目した種々のPUF(Physically Unclonable Function)が提案されているが、いずれも環境変化・ノイズ等に対する耐性が低く、温度・電圧変動に対して安定したIDを生成することが困難であるという課題があった。我々は、SRAMのハードマクロを使用し、動作マージンを拡大するために使うアシスト回路のバイアスを通常とは逆に悪化するように印加することで発生した不良ビットアドレスからIDを生成する方法を提案した。(新居G)

② 中間報告書 § 6. 今後の研究の進め方、および研究成果の見通しの記載事項に関し、研究を進めた結果について

(1)中間報告書において、メモリベース耐タンパ技術の構成要素として「耐タンパのための電源フィルタに向けた電源系の設計解析技術」の開発を提案していた。しかしながら、本研究プロジェクトの出口戦略として、産業界のニーズが大きい車載エレクトロニクスに焦点を置くこととし、「EV向けEMC対策としての電源設計技術開発」に研究方針をシフトした(平成24年度研究計画において承認)。具

体的には電源ノイズのフィルタリング技術に的を絞り、VLSI チップの実装環境に対してアダプティブな電源ノイズ・フィルタ機構を開発した。(永田 G)

(2)不良回避技術として QoB メモリを提案したが、その回路構成を巧みに利用することで、マルチコアプロセッサ上での DMR ロックステップ機構にも適用でき、かつそのサイクルオーバーヘッドを劇的に削減できることを着想した。QoB 構造を利用した一括比較技術、一括コピー技術を開発し、それを用いることで、DMR ロックステップにおける Check & Recovery 機能での時間オーバーヘッドを削減できる見通しを得た。そして、ディペンダブルメモリベース・マルチコアプロセッサアーキテクチャを提案した。(吉本 G)

(3)CPU モデルベースのハードウェア/ソフトウェア協調シミュレーション(Virtualization)に関して、上記ディペンダブルマルチコアプロセッサアーキテクチャの車載制御システムへの有効性を定量的に評価できる開発環境を構築することとした。本開発により、マルチプロセッサ内の各メモリや各 CPU レジスタに関する一括コピーや一括比較技術などの、故障時でも自律的に改善し動作継続ができる新機能について、車載制御システムへの有効性検証を、実物試作前に行うことが可能となった。(勝 G、於保 G)

§ 3 研究実施体制

(1) 研究チームの体制について

①「吉本」研究グループ

氏名	所属	役職	参加時期
吉本 雅彦	神戸大学大学院 システム情報学研究科 情報科学専攻	教授	H20.10～
川口 博	同上	准教授	H20.10～
和泉 慎太郎	神戸大学大学院 自然科学系 先端融合研究環	助教	H23.6～
吉本 秀輔	神戸大学大学院 システム情報学研究科 情報科学専攻	B4-D3	H20.10～H25.9
何 光霽	同上	M1-	H21.4～
奥野 圭祐	同上	M1-	H23.4～
梅木 洋平	同上	M1-	H24.4～
藤川 飛鳥	同上	M1-	H24.4～
北原 佑起	同上	M1-	H24.4～
木美 雄太	同上	B4-	H24.4～
松川 豪	同上	B4-	H24.4～
藤原 英弘	神戸大学大学院 自然科学研究科 情報・電子科学専攻	D3	H20.10～H21.3
松田 隆志	同上	D3	H21.4～H22.3
竹内 隆	神戸大学大学院 工学研究科 情報知能学専攻	D3	H21.4～H22.3

野口 紘希	同上	D1-D3	H20.10~H23.3
井口 友輔	神戸大学大学院 工学研究科 情報知能学専攻	M2	H20.10~H21.3
李 赫鍾	同上	D1-D2	H21.4~H22.11
奥村 俊介	神戸大学大学院 システム情報学研究科 情報科学専攻	M1-D3	H20.10~H25.3
中田 洋平	同上	M1-D3	H20.10~H25.3
小西 恵大	同上	M2-D3	H21.4~H25.3
水野 孝祐	同上	D1-D3	H22.4~H25.3
寺田 正治	同上	M1-M2	H22.4~H24.3
竹内 幸大	神戸大学大学院 工学研究科 情報知能学専攻	M2	H22.6~H23.3
鄭 晋旭	神戸大学大学院 システム情報学研究科 情報科学専攻	B4-M2	H22.9~H25.3
竹内 勇介	同上	M1-M2	H23.4~H25.3
吉川 将弘	神戸大学大学院 工学研究科 情報知能学専攻	M2	H22.12~H23.3
山口 幸介	同上	M2	H22.12~H23.3
天下 卓郎	神戸大学大学院 システム情報学研究科 情報科学専攻	M2	H23.4~H24.3
鍵山 祐輝	同上	M2	H23.4~H24.3
柳田 晃司	同上	M1-M2	H23.4~H25.3
増田 麻里	同上	B4	H23.4~H24.3

研究項目

- ・QoB・SRAMによる除錯設計技術
- ・QoB・SRAMセル構造の検討
- ・QoB・SRAM周辺回路の設計
- ・QoB・SRAMのマルチコア応用
- ・耐ソフトエラー設計

②「永田」研究グループ

研究参加者

氏名	所属	役職	参加時期
永田 真	神戸大学大学院 システム情報学研究科 情報科学専攻	教授	H20.10~
三浦 典之	神戸大学 自然科学系 先端融合研究環	特命助教	H24.12~
吉川 薫平	同上	D1-	H22.4~

原田 祐二	同上	M1-	H24.4～
奥本 健	神戸大学大学院 工学研究科 情報知能学専攻	D3	H24.4～H25.3
澤田 卓也	同上	M1-D3	H20.10～H25.3
佐々木 悠太	同上	M1-M2	H23.4～H25.3
利川 托	同上	M1-M2	H22.4～H24.3
榊井 翼	同上	M1-M2	H22.4～H24.3
松本 大	同上	M1-M2	H22.4～H24.3
藤本 大介	同上	M1-M2	H21.4～H23.3
松野 哲郎	同上	D3	H21.4～H22.3

研究項目

- ・不良予知診断による預錯設計技術
- ・SRAM 動作環境モニタの開発と評価
- ・SRAM ビットエラー予測システムの構築
- ・電源ノイズの評価
- ・LSI チップ-パッケージ-ボードを統合した電源ノイズ解析手法の確立
- ・電源ノイズフィルタの評価

③「新居」グループ

研究参加者

氏名	所属	役職	参加時期
新居 浩二	設計基盤事業統括部	主管技師	H20.10～
藪内 誠	設計基盤事業統括部	技師	H20.10～
藤原 英弘	設計基盤事業統括部		H21.11～H25.9
中野 裕文	コア技術事業統括部	技師	H20.10～H25.7
河合 浩行	コア技術事業統括部	主管技師	H20.10～H25.7
塚本 康正	設計基盤開発統括部	技師	H22.6～H25.3
有本 和民	システムコア開発統括部	統括部長	H20.10～H24.3
布上 裕之	設計技術統括部	主管技師	H21.04～H22.3
高田 英裕	設計基盤開発統括部	主任技師	H20.10～H23.4
岩男 剛宜	システムコア開発統括部	技師	H20.10～H24.3
小原 淳子	システムコア開発統括部	主任技師	H21.4～H24.3
黒澤 隆之	システムコア開発統括部		H21.10～H24.11
川村 嘉郁	システムコア開発統括部	主任技師	H20.10～H24.3
礪田 正典	設計基盤開発統括部	技師	H22.6～H24.11
大和田 徹	システムコア開発統括部	主任技師	H22.6～H24.3
大林 茂樹	設計技術統括部	主任技師	H20.10～H21.9
栗本 昌憲	設計技術統括部	主任技師	H20.10～H21.3
篠原 尋史	設計技術統括部	主管技師	H20.10～H21.3
原口 大	システムコア技術統括部	技師	H20.10～H21.3
石原 和哉	システムコア技術統括部	主任技師	H21.4～H21.9
奥野 義弘	システムコア技術統括部	主管技師	H20.10～H21.3

研究項目

- ・細粒度電圧制御によるメモリ不良回避技術の開発
- ・ディペンダブルメモリシステムのハードウェアプラットフォームの開発
- ・SRAM のランダムビット不良を利用したメモリベースID/暗号鍵生成技術

④「勝」グループ

研究参加者

氏名	所属	役職	参加時期
勝 康夫	(株)日立製作所中央研究所	主任研究員	H21.4～
於保 茂	同上	主管研究員	H21.4～H24.3
伊藤 康宏	同上	研究員	H21.4～H25.3
倉田 英明	同上	主任研究員	H21.7～H22.3
近藤 伸和	同上	主任研究員	H22.4～H22.6
伊藤 浩朗	同上	主任研究員	H22.6～H23.3
山田 哲也	同上	主任研究員	H23.4～H24.3
十山 圭介	同上	主任研究員	H23.7～H24.3
上原 敬太郎	同上	主任研究員	H24.4～H25.9

研究項目

- ・システムレベル検証技術の開発と車載応用への適用

⑤「於保」グループ

研究参加者

氏名	所属	役職	参加時期
於保 茂	日本工業大学	教授	H24.4～

研究項目

- ・システムレベル検証技術の開発

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

- ・LSI チップ・パッケージ・プリント基板の協調による電源ノイズ・シミュレーション手法の技術領域において、国内標準活動を担う JEITA の LPB 相互設計ワーキング・グループと連携した。EDS Fair2012 および EDS Fair 2013 における LSI・パッケージ・ボード相互設計特設ブースの共同企画、あるいは本 CREST 研究成果の出展等を通じてコミュニティ形成を推進した。(永田 G)

§ 4 研究実施内容及び成果

4. 1 耐ソフトウェアSRAM レイアウト技術(神戸大学・吉本グループ)

(1) 「8T型SRAMセルのMBU(Multiple Bit Upset)の低減」

① 内容

8T型SRAMセルの新規レイアウトによるSER低減技術を開発した。提案8Tレイアウト(図4-1-1)とDivided WL構造を組み合わせることにより、Multi-Bit-Upset(MBU)に対する耐性を高め、同時に低消費電力化を実現できる。Divided WL構造は、1ワード内のビットを固めて配置し必要なワードにのみアクセスを行うことで、低消費電力を可能とする技術である。しかし、1ワード内のビットが固まることによって、MBUの影響をECCで排除出来なくなってしまう問題があった。提案するレイアウト構造により、横方向のMBUを~1桁削減出来る(図4-1-2)。Divided WL構造とECCを組み合わせることにより、SEUを救済することが出来、中性子線照射時のSERを約1桁改善できる。

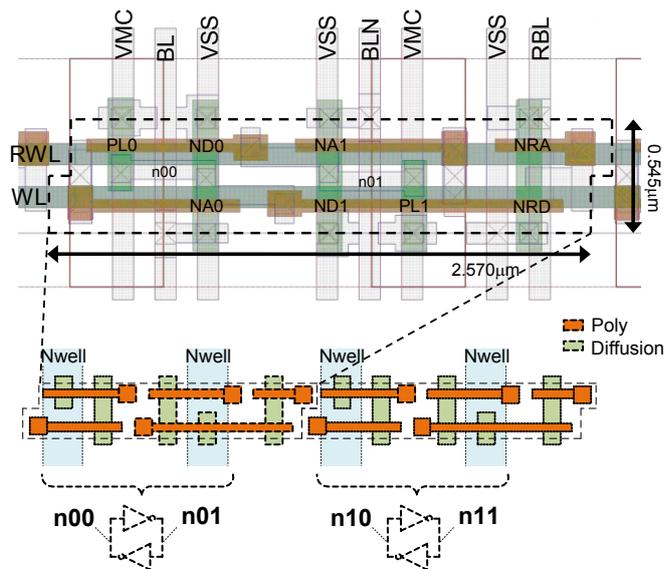
② 有用性

従来技術と比較して、横方向の

る。

③ 優位比較

低消費電力化とソフトウェア耐



(2)「6T型SRAMセルのMCU(Multiple Cell Upset)の低減」

① 内容

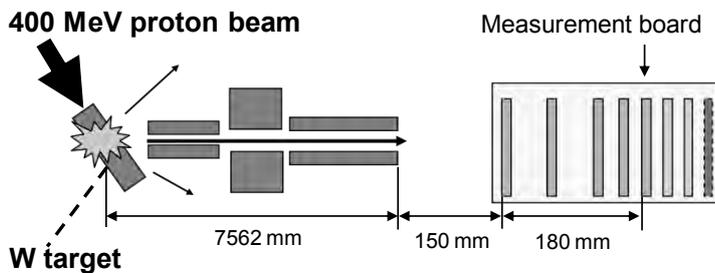
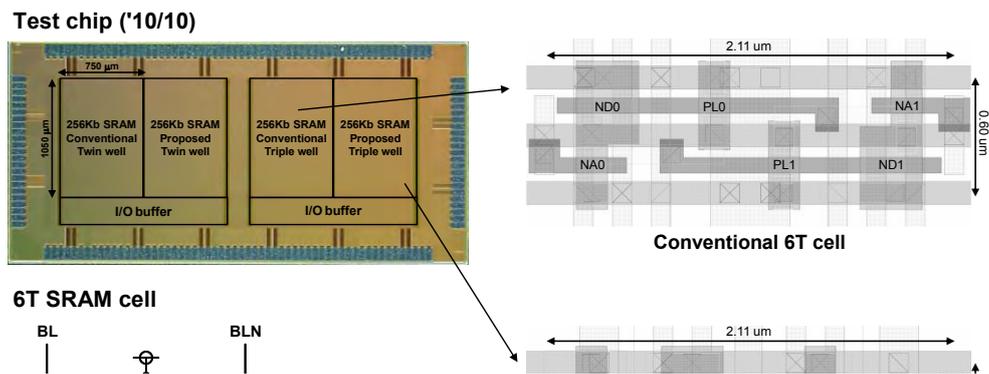
本研究では、ワード線方向のMCU(Multiple Cell Upset)を低減させる、新規6Tセルレイアウトを提案した(図4-1-3下). 従来の6Tレイアウト(図4-1-3上)では、雑音電荷に敏感なNMOSがワード線方向で隣り合うため、同一ワード内のMCUが増加するという問題があった. 提案する6Tレイアウトでは、NMOS領域を内側、PMOS領域を外側に配置する構造を取るため、MCU耐性が向上する. 従来レイアウト及び提案レイアウトを用いたSRAMを設計試作し、中性子線照射試験を行ったところ(図4-1-4)、ワード線方向のMCUを67%~98%削減できることを確認した(図4-1-5, 図4-1-6, 図4-1-7, 図4-1-8, 図4-1-9.)。ワード線方向のMCUはECCで救済できないため、本提案レイアウトの中性子線耐性はきわめて大きいといえる。

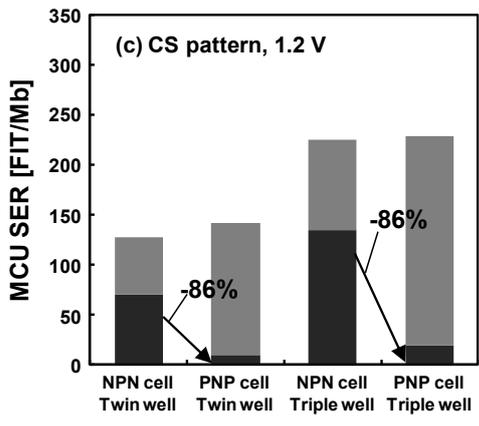
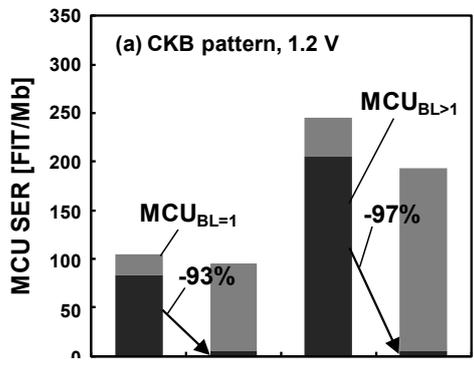
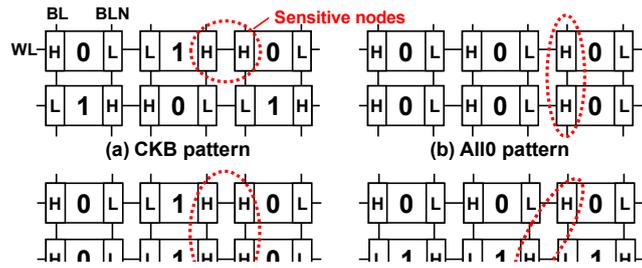
② 有用性

分割ワード線構造は、消費電力の観点から非常に有用であることが知られている. 本レイアウトを分割ワード線構造と組み合わせることにより、低消費電力化及び高ソフトウェア耐性のメリットを同時に享受することが可能となる。

③ 優位比較

従来レイアウト技術に比べ、ワード線方向のMCUを67%~98%削減できる。また、提案レイアウトを用いることによる面積オーバーヘッドは発生しない。





(3) 「NMOS-PMOS 反転 6T SRAM セルレイアウト技術」

(1) 実施方法・実施内容

図 4-1-10

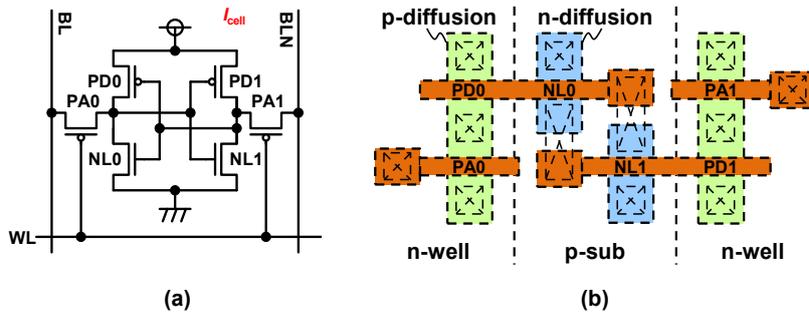


図 4-1-11

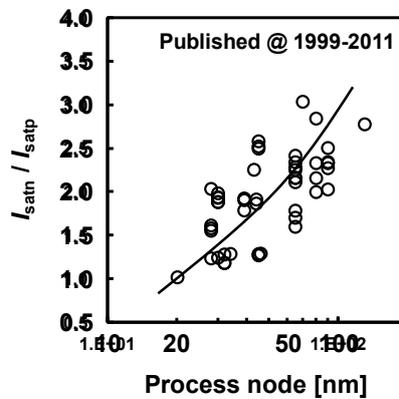


図 4-1-11 NMOS と PMOS のドレイン電流比トレンド

(3) 有用性

表 4-1-1 は、電源電圧・酸化膜厚・NMOS と PMOS のばらつき・ドレイン電流値の比のプロセスノード別トレンドを示す。ばらつきの値は 65nm 世代を基準に、Stalk の式を用いて計算した。図 4-1-12 は読出しマージン (Static Noise Margin: SNM) とセル電流 (読出し電流) の比較結果を示す。提案 NMOS-PMOS 反転 6T SRAM セルは 22nm プロセスにおいて SNM を 2.04 倍、セル電流を 2.81 倍に改善できる。

表 4-1-1 電源電圧・酸化膜厚・NMOS と PMOS ばらつき・ドレイン電流値の比のプロセスノード別トレンド

	Process node [nm]					
	22	32	45	65	90	130
VDD [V]	0.9	1.0	1.0	1.1	1.2	1.2
EOT [Å]	12	15	19	21	24	27
$\sigma_{V_{thn}}$ [mV]	83.8	64.6	51.2	40.0	32.3	25.7
$\sigma_{V_{thp}}$ [mV]	62.9	48.5	42.9	30.0	24.2	19.3
I_{sat} ratio (I_{satn} / I_{satp})	1.01	1.40	1.84	2.26	2.70	3.08

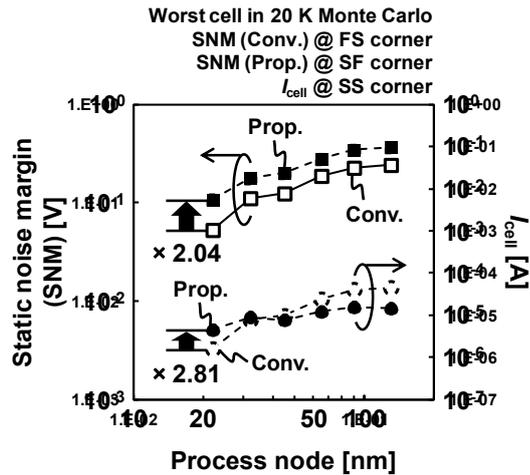


図 4-1-12 読出しマージンとセル電流

図 4-1-13 はソフトエラー率の評価結果を示す. 提案 NMOS-PMOS 反転 6T SRAM セルを用いることで CKB (ALL0)のパターンにおいて単一ビット反転ソフトエラー率を 27(34)%, 複数セル反転ソフトエラー率を 57(56)%改善できることを示している.

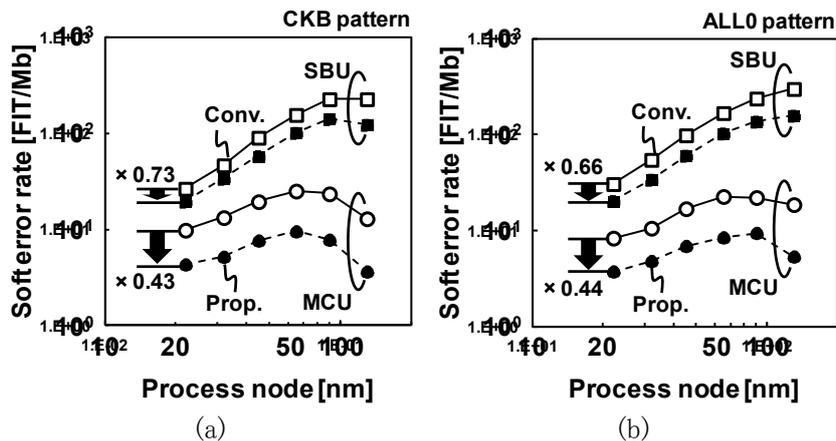


図 4-1-13 ソフトエラー率評価結果:(a) CKB, (b) ALL0

④ 優位比較

上記 NMOS-PMOS 反転 6T SRAM セルレイアウトのソフトエラー率評価は開発したソフトエラー率導出ツールフロー(図 4-1-14)によるものである. 提案ツールは内部に核反応シミュレータ PHITS (Particle and Heavy Ion Transport code System)を組み込んでおり, 中性子とシリコン原子核の衝突によって生じる 2 次粒子の輸送計算を行なうことができる. 中性子線の流入スペクトラムは EXPACS (Excel-based Program for calculating Atmospheric Cosmic-ray Spectrum)を用いて計算した. 実測との比較で, 一桁以内の精度を出すことができることを確認している.

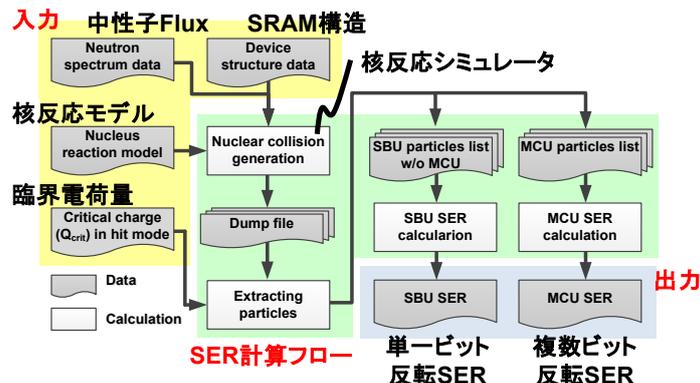


図 4-1-14 ソフトエラー率導出ツールフロー

4.2 チップ内電圧モニタリングによる不良予知診断技術(神戸大学・永田グループ)

(1)「SRAM コアにおけるオンチップ電源ノイズのモニタリング」

①実施方法・実施内容

オンチップの電源ノイズ観測とオンチップ BIST によるビットエラー率の測定の統合を実現し、電源ノイズとビット不良のメカニズムを解明するための実験データを蓄積した。SRAM の動作環境変動と動作不良をオンチップ評価するためのテストチップ構造を検討し、90 nm CMOS 技術によるテストチップを開発した(図 4-2-1)。産業界における製品レベルの SRAM マクロコアを対象として、(1)オンチップ電圧モニタアレイにより SRAM 動作時の電源/グラウンド電圧ノイズ波形の取得を実現している。加えて、(2)SRAM 動作時のチップ温度の記録と、(3)SRAM のビルトイン・セルフテスト機構(BIST)による SRAM 動作時のフェイルビットマップ(FBM)取得を可能にしている。これらのオンチップ・モニタ手法を統合することで、SRAM 動作時の自己電源ノイズや SRAM 搭載システムにおける外来ノイズによるダイナミックな動作環境変動に対する SRAM のディペンダビリティを評価できる。

SRAM コア動作時にオンチップモニタで取得した電源ノイズ波形を図 4-2-2 に示す。メモリセルアレイ(上段)およびメモリ周辺回路(センスアンプやプリチャージ回路を含む)(中段)の電源、メモリ内部で共通のグラウンド(下段)のノイズ波形を示している。メモリ周辺回路において、クロック信号による動作周期毎に大きい電圧ドロップが発生している。他方、メモリセルアレイの電源ノイズ波形はメモリ周辺回路と比較して、ノイズ振幅が小さく、また電圧ドロップの方向(符号)が反転している。これは、メモリセルアレイに特徴的に大きな電源-グラウンド間寄生容量により、メモリ周辺回路で発生したグラウンド・ノイズがメモリセルアレイの電源ノイズとして観測されることを示唆している。

メモリセルアレイにおける静的な電源電圧とビット不良の発生率の測定結果を図 4-2-3 に示す。ここで、電源電圧からある大きさの電圧だけ低下したときにビット不良が発生し、さらに電源電圧が低減するにつれてビット不良率が増加する応答を示すことから、ビット不良発生における静的なしきい電圧の存在がわかる。

このしきい電圧より小さい、ある電源電圧におけるメモリセルアレイ内の不良ビット分布を BIST により図 4-2-4 のように評価した。メモリセルアレイ内のカラム方向、ロー方向に周期的な固定不良ビットの存在が認められ、それぞれ、物理レイアウトにおけるウェルタップ配置の周期性、2 ビット読み出し構造におけるセンスアンプの回路特性ばらつき、などのメモリセル構造を反映していると想像できる。

②創造性

オンチップモニタ技術を半導体チップの EMC に活用した。

③有用性

SRAM 動作時の電源ノイズ波形をオンチップ観測する手段を確立した。

④優位比較

従来の研究において、オンチップ電圧モニタは VLSI の発生する電源ノイズの理解を主たる目的としてきた。他方、本研究は動作環境の変動とメモリ動作不良の発生を複数のオンチップ・モニタ機構の協調により捕捉するものであり、メカニズムの解明及び不良予知につなげようとする点で、これまでに例を見ない。

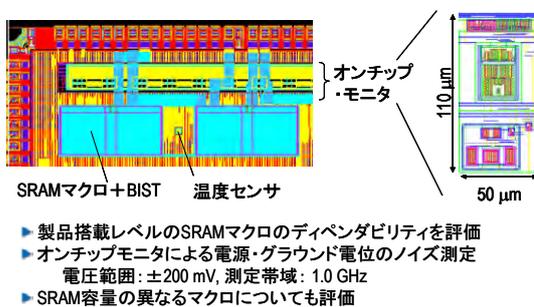


図 4-2-1 SRAM 評価チップ

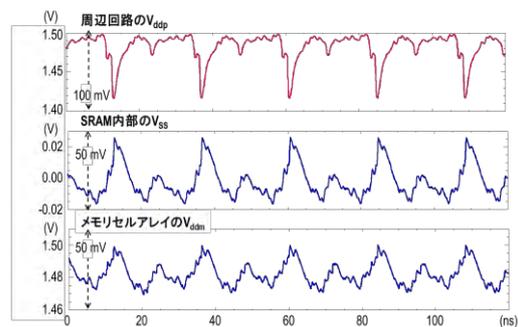


図 4-2-2 SRAM 内部ノイズ波形

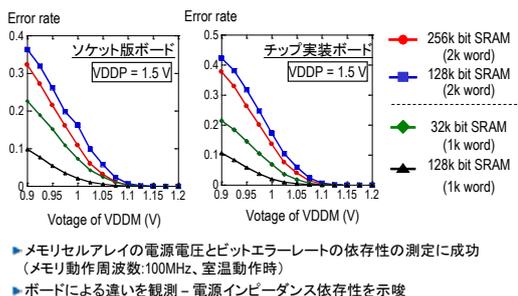


図 4-2-3 SRAM のビットエラー率

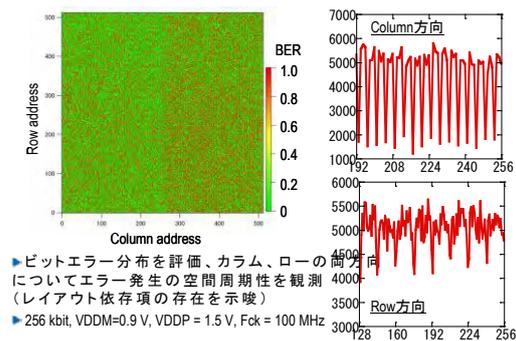


図 4-2-4 SRAM のビットエラー分布

(2) 「直接電力注入(DPI)法による SRAM コアの外因性ノイズ感度の評価」

①実施方法・実施内容

オンチップ電源ノイズ観測とオンチップ BIST によるビットエラー率の評価手段を用いて、VLSI システムの実装ボードから伝播する外因性電源ノイズが SRAM に与える影響について評価を進めている。直接電力注入(DPI)法により SRAM チップの評価ボードの電源供給経路上に RF 電力を結合導入し、外因性の電源ノイズとした。図 4-2-5 に自動測定系の概要をまとめている。

SRAM と BIST を搭載したテストチップにより、SRAM のダイナミックなビット不良発生が RF 電力に依存すること、及び SRAM 動作周波数と RF 注入周波数に非線型に依存することを観測した(図 4-2-6)。ここでも、ある大きさの RF 電力を注入したときにビット不良が発生し、さらに電力が増大するにつれてビット不良率が増加する応答を示す(図 4-2-6 右)。従ってビット不良発生を引き起こす動的な電圧変動についてしきい特性が存在することがわかる。なお、注入した RF 電力と動的な電圧変動の大きさは、SRAM コアの寄生容量およびチップ・パッケージ・ボードの電源系の特性インピーダンスに依存した周波数特性に依存するが、図 4-2-5 の測定系では概ね単調増加傾向であることを確認している。

ここで、RF 電力注入における動的電圧変動化におけるビット不良の発生が平均的な事象であり、RF 注入下における BIST 試行回数(BIST による全メモリセルを対象とした不良ビット数評価の実行回数)に概ね比例して増加することを見出した(図 4-2-6 左)。このことから、BIST 試行回数に対するビット不良発生の増加率(直線の傾き:Error slope)を、SRAM を対象とした DPI 法における動的なビット不良発生の定量的な指標値とすることを新規に提案している。

RF 注入周波数(F_{rf})に対するビット不良発生の評価を図 4-2-7 に示す。メモリの動作周波数(F_{clk})は 100 MHz、また電源電圧は公称定格値(1.5 V)としている。ビット不良発生の増加率は、低周波数の F_{rf} では一定であるが、高周波数になると著しく低下する(エラーが発生しなくなる)。また、 F_{rf} に対して、ビット不良発生を引き起こす最小 RF 電力を評価した(図 4-2-7 左)。RF 周波数の増加に対して、ビット不良を引き起こす電力が増大する(すなわちメモリのノイズ感度が低減する)ことがわかる。

DPI 法による RF 電力導入時のメモリセル電圧(V_{ddm})波形をオンチップ・モニタにより観測した(図 4-2-7 右)。同図は、 $F_{clk} = 100$ MHz、 $F_{rf} = 80$ MHz のとき、RF 電力の増加とともに V_{ddm} に重畳される正弦波の振幅が増大する様子を示している。また、SRAM のビット不良の発生状況について考察すると、その発生条件が V_{ddm} がしきい電圧 $V_{ddm,th}$ をしきい時間 $T_{drop,th}$ よりも長い時間に低下することであることを突き止めた。すなわち、このビット不良発生の条件では、高い周波数ではより大きい振幅(電力)が必要である。このことが、図 4-2-7 左のように、高周波で不良ビット発生感度が低減する直接的な理由であることを見出した。

②創造性

オンチップモニタ技術を半導体チップの EMC に活用した。

③有用性

外因性ノイズによるオンチップ電源ノイズ振幅と SRAM ビット不良発生率の関係を実測評価する手法を確立した。さらに、SRAM ビット不良の発生条件を見極め、高周波ノイズに対する不良発生の低減現象のメカニズムの理解に至った。

④優位比較

インテルより SRAM のビット不良発生について現象論的な報告がなされているが、本研究のように、オンチップの電源ノイズモニタによる電源ノイズ波形を根拠としたビット不良発生の物理的理解には至っていない。

SRAMのダイナミックディペンダビリティ テストチップ測定自動化環境

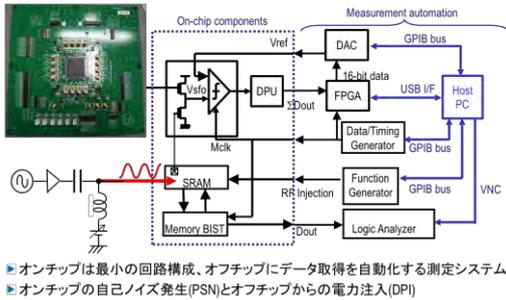


図 4-2-5 SRAM における DPI 評価系

SRAMにおけるRF電源ノイズの注入と ビットエラーの発生(1/2)

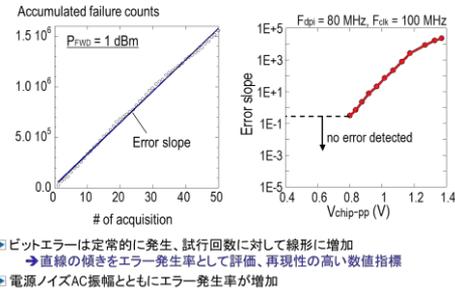


図 4-2-6 SRAMにおける DPI 応答

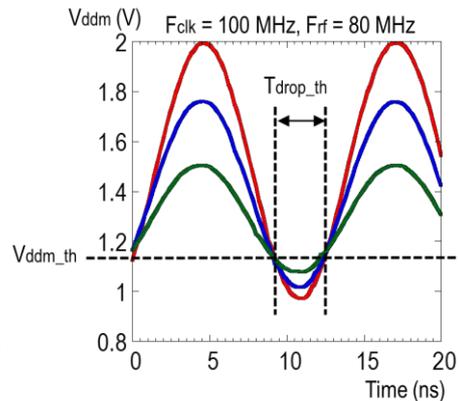
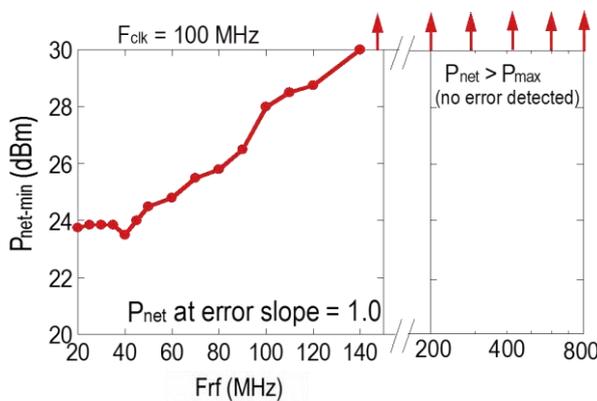


図 4-2-7 SRAM における DPI の周波数特性とオンチップ波形

(3) 「統合試作に向けた droop/bottom 電源モニタの開発」

①実施方法・実施内容

前項の二つの研究成果、すなわち「SRAM における静的な電源電圧の低減に対するビット不良の発生」と「SRAM における RF 電力注入による動的な電源電圧変動に対するビット不良の発生」に関する実験的な考察から、SRAM のチップ内実動作環境下において、静的な電圧低下(電源の IR drop)およびクロック信号より 1/10 以上小さい低周波数の電圧変動(電源の droop)が、ビット不良の動的発生に作用することが見出された。このことから、SRAM におけるダイナミックディペンダビリティの実現(Quality of Bit の実現)には、図 4-2-8 に示すドループモニタ(左)とボトムモニタ(右)によりメモリの電源配線を観測し、それぞれメモリ動作時における緩い電源電圧低減トレンドを追跡し、また電源電圧の最低値(底値)を記録することが有用であることがわかる。これらのモニタ機構を 40 nm CMOS 技術により設計し(図 4-2-9)、QoB 統合試作チップに搭載した。

②創造性

オンチップモニタ技術を SRAM のビット不良発生の予知に応用した。

③有用性

SRAM コアのビット不良発生を引き起こす低周波数の電圧ドループを追跡する機能と、最低電圧(底値電圧)を観測する機能をあわせ持つオンチップ電源モニタを開発した。SRAM 実使用環境においてビット不良発生の予知と回避機構の実現に利用できる。

④優位比較

SRAM における電源電圧とビット不良発生の実験的理解に基づき、SRAM におけるダイナミックディペンダビリティのためのモニタ構成法を示したものである。従来技術は、BIST によりビット不良の発生を事後に検出するが、本技術は、電源電圧のトレンドを評価することでビット不良の発生を事前に予測する可能性を示している点できわめて優位性が高い。

QoB統合試作のための
On-chip Droop/Bottom Monitor

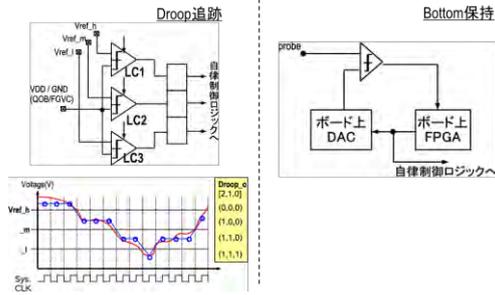


図 4-2-8 QoB 向けモニタ機構

QoB統合試作のための
On-chip Droop/Bottom Monitor (Layout)

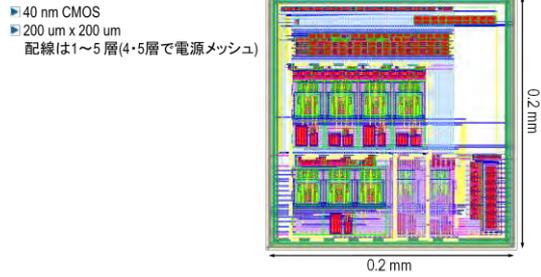


図 4-2-9 QoB 向けモニタのレイアウト

4. 3 不良回避のための QoB メモリの開発(神戸大学・吉本グループ)

(1) 「QoB(Quality of Bit)概念の提唱と QoB メモリの開発」

①内容

Q o B ・ S R A M (回避方式 1) の概念を提案した。Q o B ・ S R A Mでは図 4-3-1 に示すように信頼性をブロックごとに動的に変化させることが可能である。通常モードブロックにおいては、従来のように 1 つのメモリセルに 1bit のデータを割り当て、一方、2 つのメモリセルに 1bit のデータを割り当てるブロックを高信頼性ブロックとする。この構造ではメモリの容量が半分となるが、高い信頼性を実現する。例えば、OS では暗号化プログラムや個人情報などのプログラムに対して高い信頼性のブロックを割り当てる。アプリケーションソフトではシステムコールによってデータの信頼性を適切に割り振ることが可能となる。上記基本概念を具現化するために、メモリセルペアの内部ノードを付加 Tr. を介して直接接続する方式を提案してきた(図 4-3-2)。検討の結果、付加 Tr. を PMOS としたレイアウトでは面積オーバーヘッドが 12%, NMOS とした場合 30% となり、面積の観点から PMOS を付加する回路を選択することとした。付加 Tr. をオンの状態とし、WL[0]か WL[1]のどちらか一方のみをオンとする。これにより、読み出し時に、一つのアクセス Tr. を介して流れる電流を 2 つのドライブ Tr. で放電するため、内部ノードの電圧の上昇を抑えることが可能となり、読み出しマージンが拡大される(図 4-3-3)。TEG 写真を図 4-3-5 に示す。

②有用性

上記動作マージンの改善によるビットエラーレート (BER) の低減効果を図 4-3-4 に示す。提案 7T メモリセルの高信頼性モードが BER 10^{-3} の時、従来の 6T メモリセルと比較して BER (Vdd=0.6V) が 4×10^{-5} 改善されている。

③優位比較

従来よく用いられてきた多数決回路が基本回路の約 3 倍の面積増であるのに対して QoB では約 2 倍に抑えられる。一方、QoB の BER は、多数決回路の BER の約 3 分の 1 に低減できる。

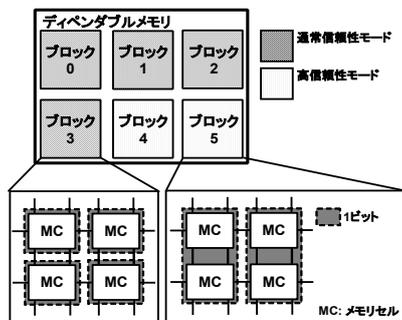


図 4-3-1 QoB(Quality of Bit)の概念図

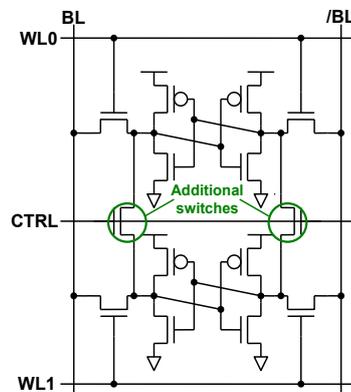


図 4-3-2 QoB メモリセル回路図

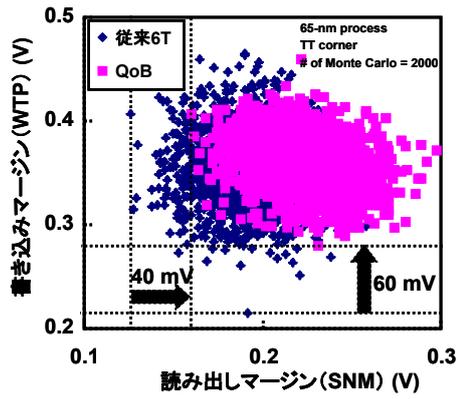


図 4-3-3 QoB による動作マージンの拡大

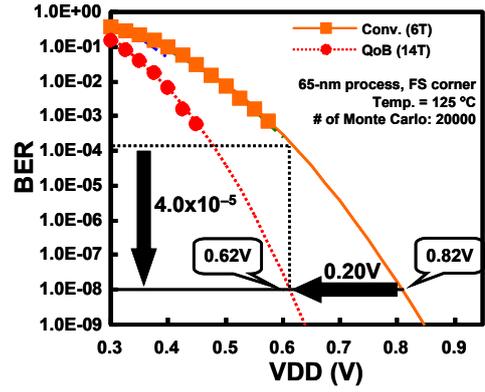


図 4-3-4 QoB による BER の改善

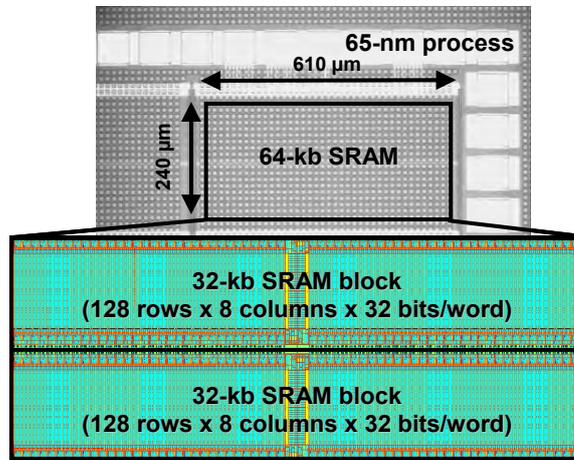


図 4-3-5 64K-bit QoBRAM の TEG 写真

(2) 「細粒度QoBアーキテクチャとテスト技術」

①内容

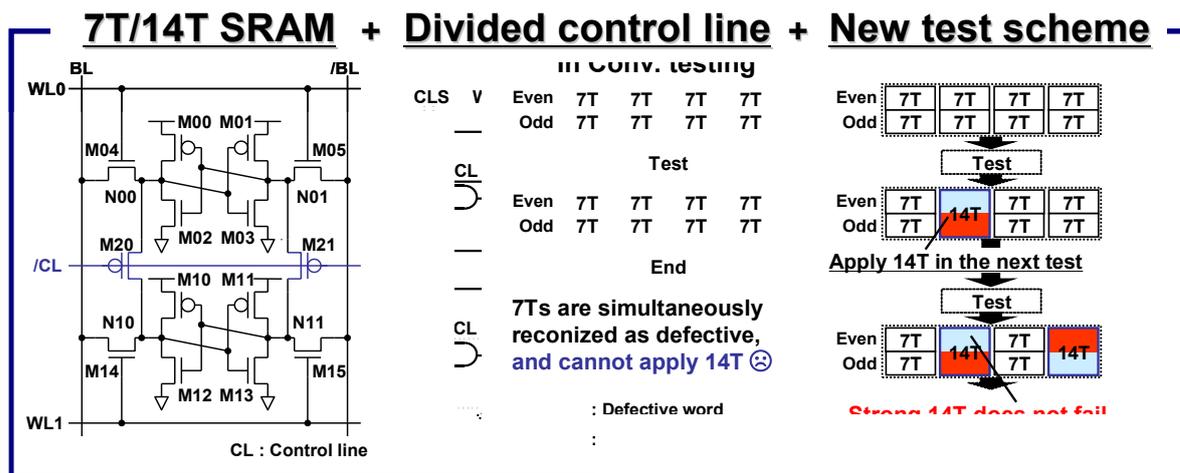
QoB・SRAM (回避方式1) は、1ビットの情報を1個または2個のメモリセルで保持することができる。劣悪環境下でも高信頼性を得るために2個のメモリセルで情報を保持するが、メモリ容量の低下を伴うので、トレードオフを見極める必要がある。メモリ容量の変動による性能低下を最小限に抑えるQoBキャッシュアーキテクチャを開発した。また、QoB構造への再構成を細粒度で実行するアーキテクチャとテスト手法 (図 4-3-6) により、Vmin を 0.5V まで低減できた (65nm による 4 MB キャッシュを想定) (図 4-3-7)。

②有用性

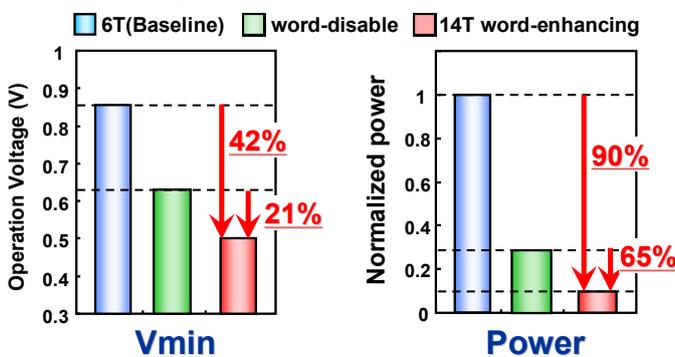
ディペンダビリティを損なう主要因のひとつはメモリセル動作マージンのばらつきや経時変化によるVminの悪化である。QoB構造はVminを劇的に改善(低減)できる手法であるが、面積オーバーヘッドが大きいという問題があった。本提案のように細粒度でQoB再構成制御を行うことでそのオーバーヘッドを最小限にでき、ディペンダブルプロセッサのキャッシュ応用へ大きく前進した。

③優位比較

キャッシュ容量とウェイト数を削減してVminを改善する従来方式としてインテルの「word-disable方式」がある。それと比較して、Vminを0.63Vから0.5Vまで改善できた。また、規格化IPCの比較では、従来の「word-disable方式」とほぼ同様の性能が得られた (図 4-3-8)。つまり同じ性能で、Vminを大幅に改善できた。



Voltage/power comparison



14T word-enhancing can realize wider-range power scaling

(65nm による 4 MB キャッシュを想定)

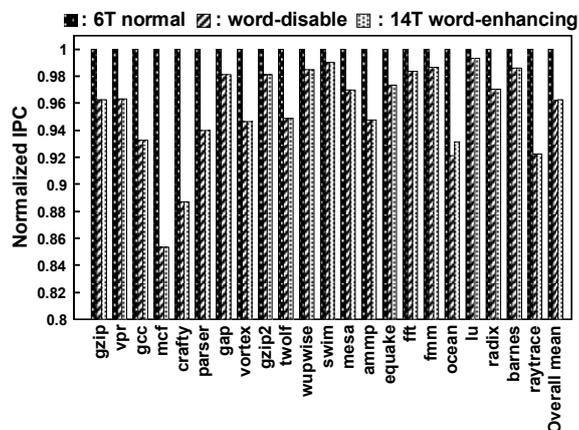


図 4-3-8. IPCの比較

(3) 「QoBを用いた連想度可変ディペンダブルキャッシュメモリ」(代表者グループ)

①内容

256KBの8-way L2 キャッシュおよび 32KBの8-way L1 キャッシュ構成において、連想度を動的に可変にすることで Vmin を改善できる (すなわち動作マージンを拡大できる) キャッシュメモリを提案し (図 4-3-9)、その有効性を実験的に確認した。115mV の Vmin 改善を実証するとともに、4.93%の IPC 劣化を SESC サイクル精度シミュレータにより確認した (図 4-3-10, 4-3-11)。経年劣化による動作マージン劣化や電源電圧の低下など環境悪化においても動作を持続できるディペンダブルキャッシュメモリとしての有効性を示した。

②有用性

プロセッサのディペンダビリティを損なう主要因のひとつはメモリセル動作マージンのばらつきや経時変化による Vmin の悪化である。QoB構造は Vmin を劇的に改善(低減)できる手法であるが、通常のバッファメモリとしては容量が2分の1となることで使いにくいという問題があった。そこで本提案では、キャッシュメモリに適用することでその問題を隠蔽し、かつその Way 数と Vmin のトレードオフ (性能と信頼性のトレードオフ) を適応的に取れる構成とすることで、ディペンダブルプロセッサアーキテクチャに有用なメモリ技術を開発できた。

③優位比較

65nm 技術を用いた 256KB の 8-way L2 キャッシュおよび 32KB の 8-way L1 キャッシュ構成において、従来技術と比較し、4.93%の IPC 劣化だけで、Vmin を 115mV 改善できた。

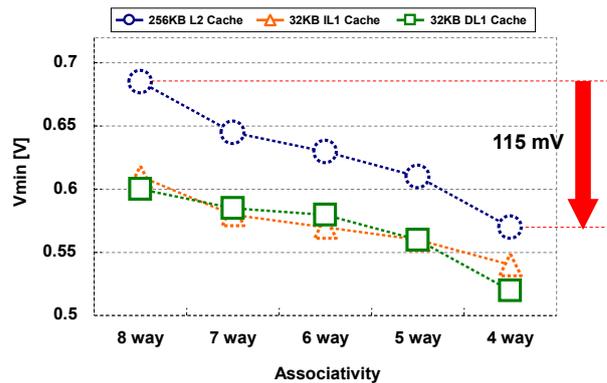
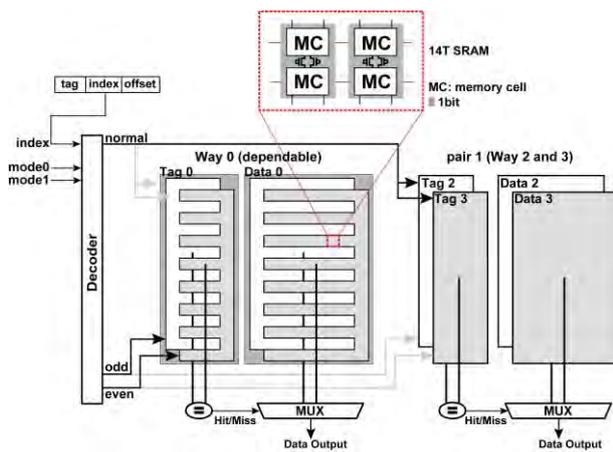
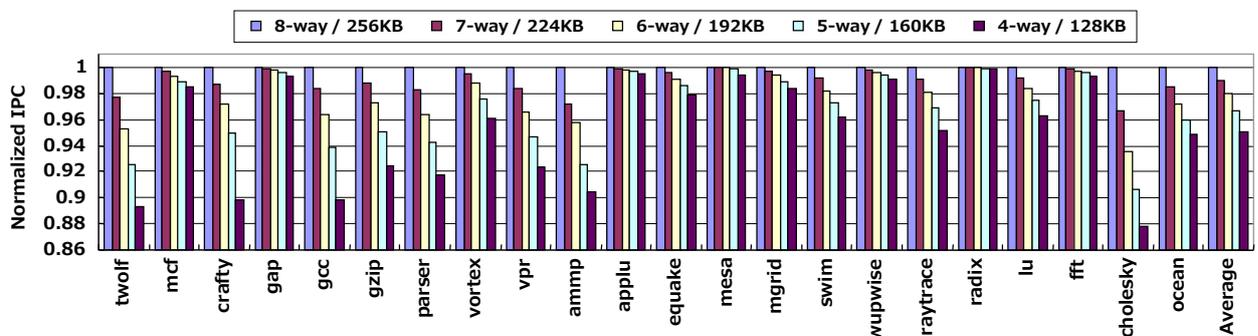


図 4-3-9 連想度可変ディペンダブル QoB キャッシュメモリの構成

図 4-3-10 Vmin と Way 数のトレードオフ



4. 4 不良回避のための細粒度電圧制御技術(ルネサスエレクトロニクス・新居グループ)

(1) 「アシスト回路を用いた細粒度電圧制御」

①内容

細粒度電圧制御SRAMモジュールの設計・評価について報告する。昨年度試作したものと違うアシスト回路方式を搭載したSRAM要素TEG2を試作した。リードアシスト回路はワード線ドライバの電源電圧を調整するもので、従来のWLクランプ型に比べ小面積ですむ。ライトアシスト回路はネガティブビット線を搭載した。従来のVDD降圧ではメモリのVDDラインの負荷容量が大きいと、プリチャージに時間がかかりサイクル性能が劣化するとか、パワーが大きくなると云ったデメリットがあった。図4-4-1は、90nmプロセスを用いて設計試作した細粒度アシスト制御SRAM要素TEG2のレイアウトプロットである。チップ諸元を表4-4-1に示す。なお、本要素TEG2は前節に示したフレキシブル電源ネットワークと同等の機能を有する。

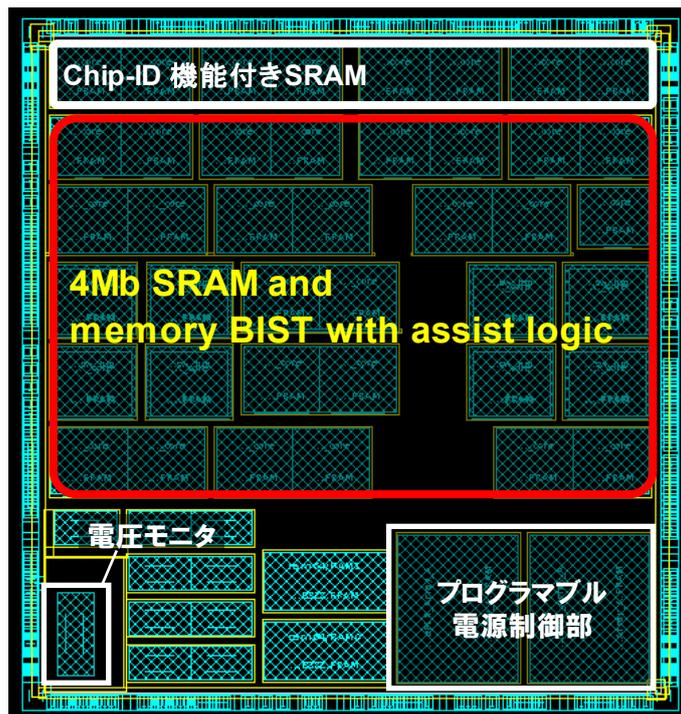


図 4-4-1 細粒度アシスト制御SRAMの要素TEG2のチップサイズ及びダイレイアウトプロット

Features of test chips

Technology	90-nm low-power LSTP CMOS process w/ 6 Cu-metals and AL-top-metal
Chip size	7.7 mm x 7.7 mm
Target speed	150MHz @1.5 V+/-10%, -40 °C to 125 °C
Key IPs	
1) CPU and Peri. logic	Logic : 252 kG
Instruction memory	SRAM : 1.1 Mb
2) Programmable logic	Programmable logic matrix (ePLX)*
3) Embedded SRAM	5 Mb (128 kb x 40 instances) 128kb macro size: 580 μm x 495 μm 6T bitcell size: 1.25 μm ²
4) Memory BIST w/ Peri. and SRAM assist logic	124 kG (BIST+Peri: 30kG, Assist: 94 kG)

* H. Nakano et al., ASSCC 2006

図 4-4-2 は、本 TEG に搭載した細粒度アシスト SRAM マクロ(128kb)の回路構成図を示す。細粒度制御可能なリードアシスト回路及びライトアシスト回路を付加することで、SRAMの動作下限電圧をより低くすることを目的とする。今回の要素TEGでは、32行単位及び32列単位でアシスト電圧を設定できるように細分割した。具体的なリードアシスト回路及びライトアシスト回路を図 4-4-3 に示す。リードアシスト回路は、ワード線(WL)降下によるSNMの改善を図り、ワード線ドライバの電源電圧を調整するスイッチを付加して、On/Offにて4段階の電位切替

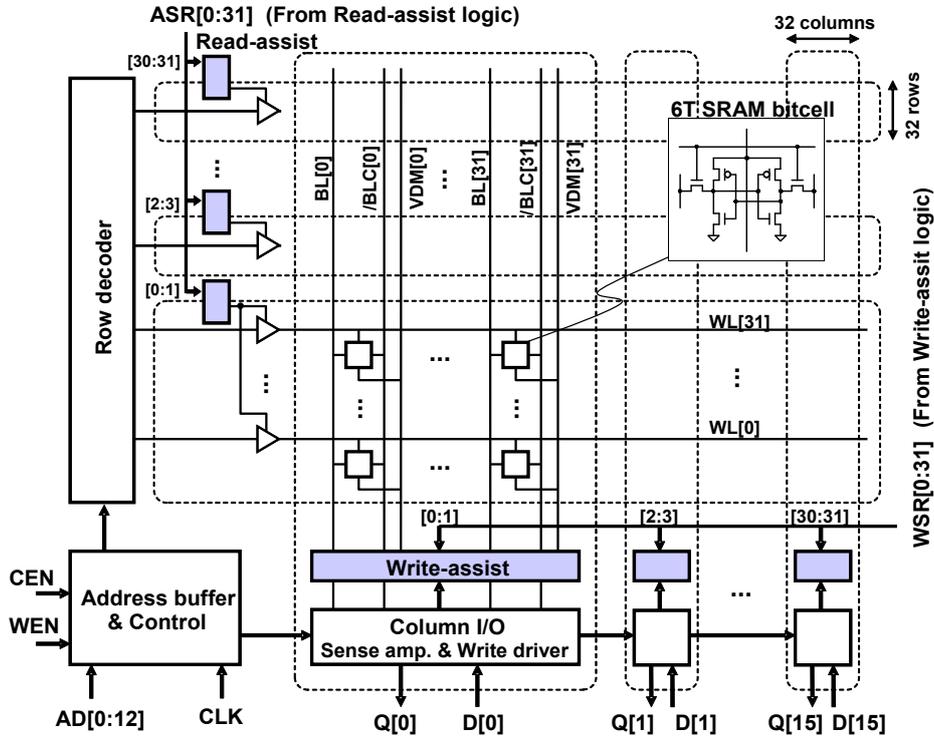


図 4-4-2 細粒度アシスト SRAM マクロ(128kb)のレイアウトプロット及び回路構成図

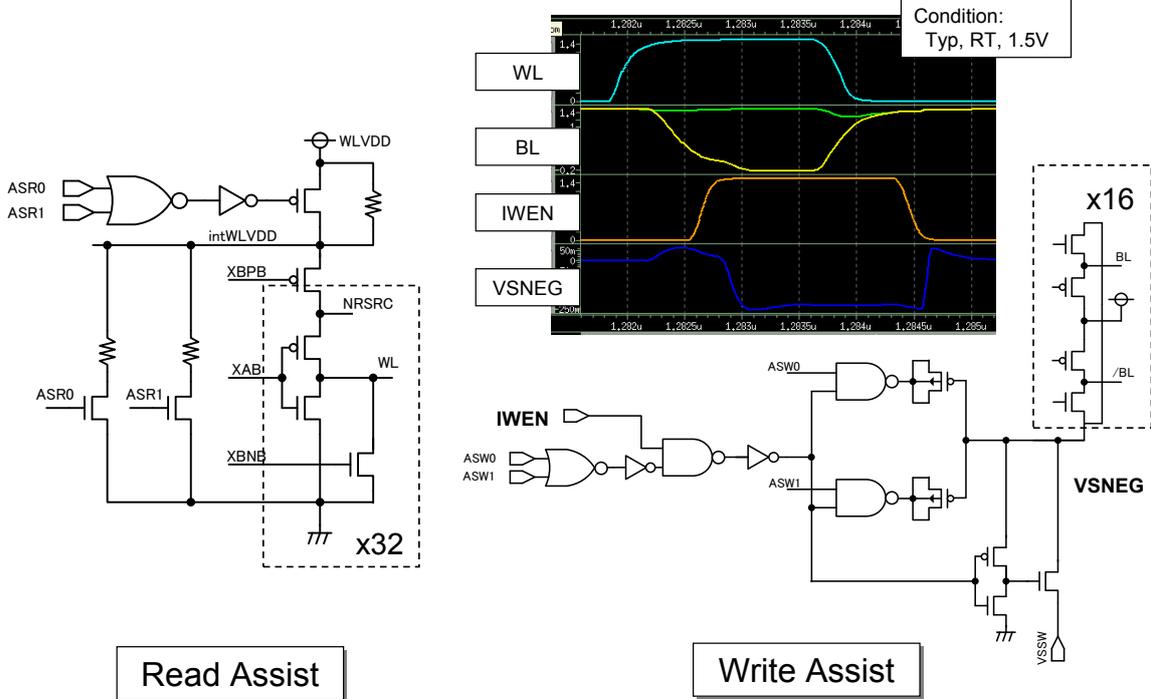


図 4-4-3 リード・ライトアシスト回路

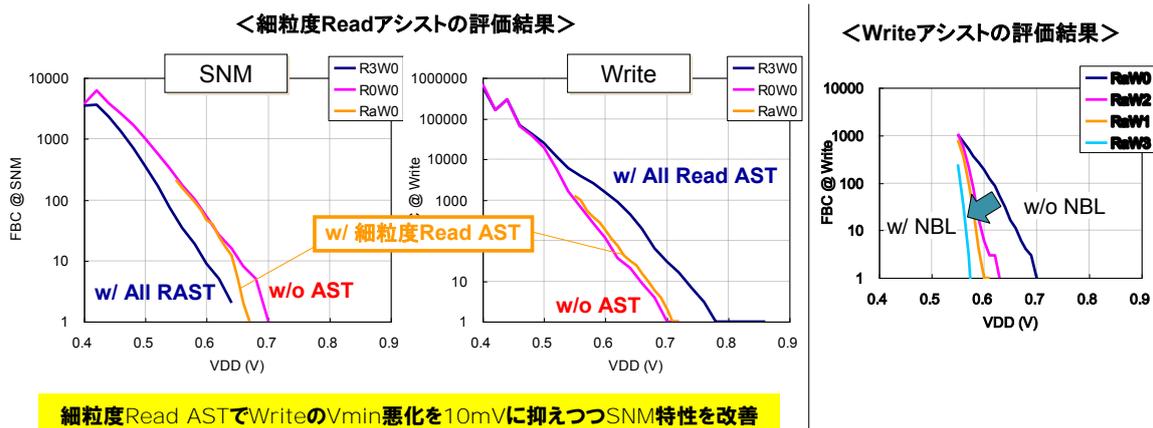


図 4-4-4 実測結果

が可能(32 行単位)とした。一方、ライトアシスト回路は、ネガティブビット線によるライトマージン改善を図るものである。各 IO 回路部に切替用の容量を持ち、On/Off にて 4 段階の電位切替が可能(32 列単位)である。

図 4-4-4 に実測した不良数の電圧依存性結果を示す。図 4-4-4 左はリードアシスト回路のみの効果を確認したものである。不良ビットを含む細粒度セグメントブロックにのみアシストバイアスを制御することで、ライトの動作下限電圧の劣化を 10mV に抑えつつ、SNM を改善する事ができた。図 4-4-4 右はライトアシストの効果を示したもので、ネガティブビット線によって動作下限電圧が改善している事がわかる。

② 有用性

従来の SRAM アシスト技術として、リード改善のためにワード線電圧を低下させる技術が報告されているが、これは逆にライトマージンを悪化させるという問題がある。本領域で研究している細粒度アシストではリードマージン不足のビットセルを含む細分化された領域のみワード線電圧を低下させる。一般にリードマージン不良となるビットセルとライトマージン不良となるビットセルは異なる。そのため、ワード線電圧を低下させる細分化された同一領域内に同時にライト不良となるビットセルも存在する確率は細分化されるほど低い。試作した

TEG の評価結果では、従来のアシストに対し、提案の細粒度アシストで 50mV 以上の Vmin 改善効果が得られ、その有用性を確認できた。

③ 優位比較

SRAM のアシスト技術は様々な研究機関から報告されている。そのうち、リードアシストに関するものを大別するとワード線電圧を下げる方法と、メモリセル電圧を上げる方法がある。プロセス変動や温度変動などに対して最適バイアスを与える等の工夫がなされているものの、いずれも、リードマージンを改善することによって結果的にライトマージンが減少してしまうという問題がある。それに対し本提案では、リードマージンとライトマージンを改善するために局所的にバイアス制御するため、両マージンを同時に改善できるという点で優れている。また、バイアス制御する領域を細粒度化することで、アシスト回路付加による動作電力増分を抑制することができるため、動作電力低減効果の面でも従来のアシスト回路方式に比べて優位となる。

(2) 「フレキシブル電源ネットワーク」

① 内容

自律型ディペンダブルメモリシステムの不良診断、回避の手段として細粒度で電圧制御をするフレキシブル電源ネットワークを開発した(図 4-4-5)。

図 4-4-6 にフレキシブル電源ネットワーク要素回路 TEG の概略図を示す。フレキシブル電源ネットワークはレギュレータより供給されるマルチ電源を複数のプログラマブルなパワースイッチ PPSW(Programmable Power Switch)でスイッチングすることにより、各モジュールに異なる電源を供給することが出来る。プログラマブル制御部は、PPSW を制御し、PPSW から細粒度電圧制御方式 SRAM に電源供給する。自律型ディペンダブルメモリシステムではシステム動作中に電源を切り替えることが想定されるため、PPSW は電源スイッチングノイズを低減するための適応的電源遷移コントロール回路を備える方式とした。

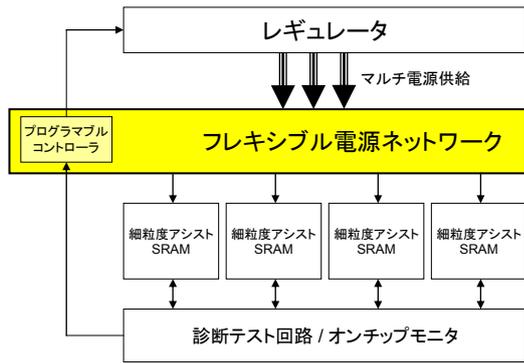


図 4-4-5 自律型ディペンダブルメモリシステム

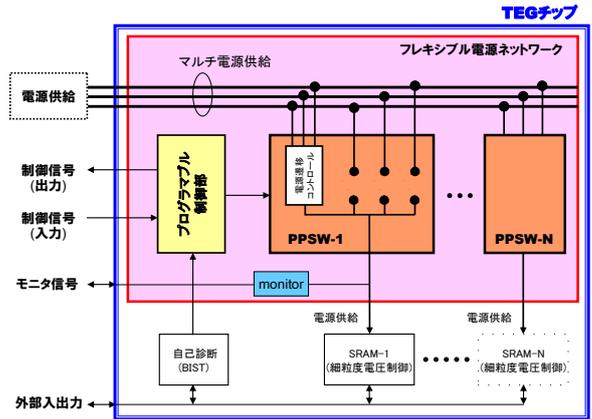


図 4-4-6 フレキシブル電源ネットワーク TEG

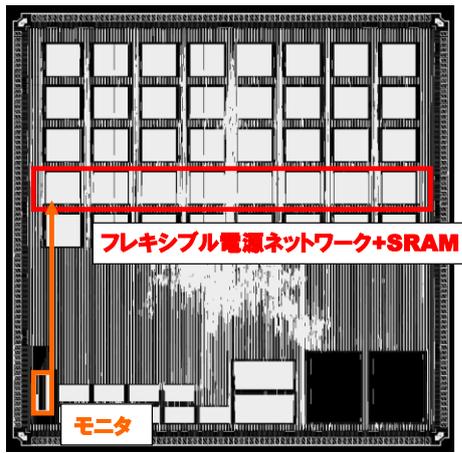


図 4-4-7 動作検証用 TEG

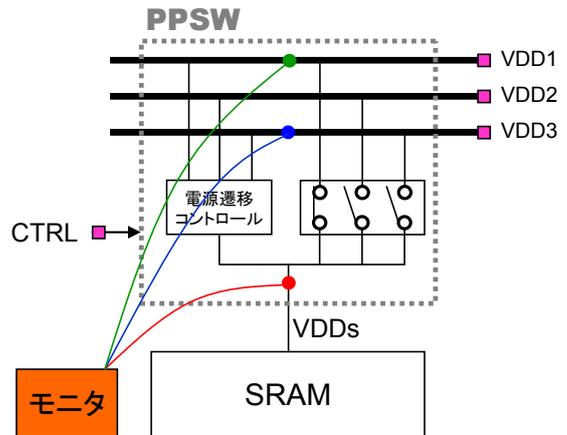


図 4-4-8 電圧モニタ接続

フレキシブル電源ネットワーク要素回路 TEG チップのプロットを図 4-4-7 に示す。オンチップ電圧モニタ(永田グループ設計)は図 4-4-8 に示すように、グローバル電源 VDD1、グローバル電源 VDD3 と PPSW から SRAM に出力されるローカル電源 VDDs にプローブを接続した。この TEG で、PPSW による電源切り替え時のチップ内部のスイッチング特性・電圧安定性評価を行った。SRAM の電源 VDDs を VDD1 から VDD3 へ切り替える制御をした場合の電源電圧波形を電圧モニタで測定した結果を図 4-4-9、4-4-10 に示す。測定結果は、電源電圧 VDD1=1.5V、VDD3=1.0V において、VDD1 から VDD3 への切り替えコントロールを、パワースイッチ(大スイッチ)で VDD1 から VDD3 へ切り替えた場合と VDD1⇒電源遷移コントロール⇒VDD3 と電源遷移コントロールで低ノイズスイッチをした場合の結果を示している。

図 4-4-9 の遷移コントロールなしの場合、電源遷移時間は約 20ns と速いが、グローバル電源 VDD1、VDD3 には大きなノイズが発生していることがわかる。次に、図 4-4-10 の電源遷移コントロールありの場合、遷移コントロールによって、遷移時間が 400ns 以上と遅くなるが、グローバル電源 VDD1、VDD3 にノイズが発生せずに電源遷移が行えていることが確認できた。

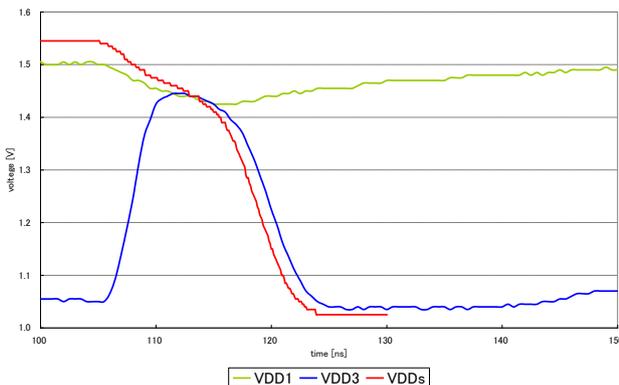


図 4-4-9 電源遷移波形 (遷移コントロールなし)

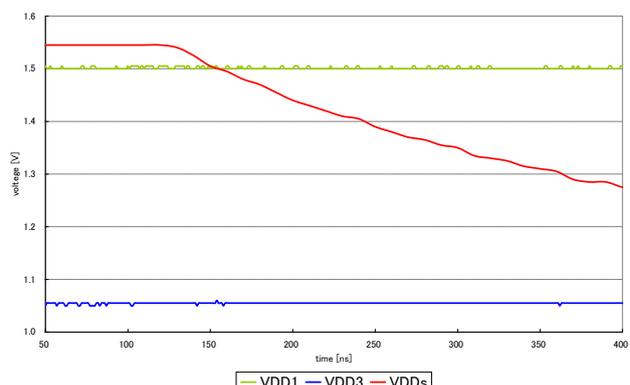


図 4-4-10 電源遷移波形 (遷移コントロールあり)

電源遷移コントロール回路は複数の電流駆動力を持つスイッチを持ち、それぞれのスイッチによって様々な遷移波形を作り出すことが可能である。試作チップでは12種類のスイッチを用意しており、それぞれのスイッチを使った電源遷移波形(VDDs)の実測結果を図 4-4-11 に示す。プログラマブル制御回路の制御によって、これらの組み合わせ制御などにより、低ノイズ、高速遷移などの制御が可能となる。

以上のPPSWの特性と、マルチ電源、プログラマブル制御回路を統合したフレキシブル電源ネットワークにより、自由度の高い電源制御が実現できる。

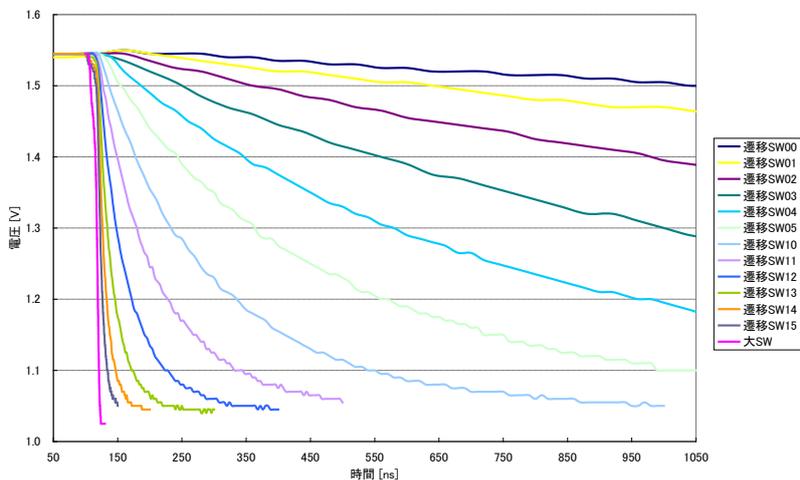


図 4-4-11 遷移コントロールスイッチのバリエーション

②有用性

モジュールレベルの細粒度電圧制御ではマルチ電源とパワースwitchの組み合わせによる電源供給が面的に有利である。これにBIST やオンチップモナ、制御機構を組み合わせることにより、モジュールレベルの電圧制御や診断テストが可能となり、ランタイムの不良診断、不良回避が可能となる。

③優位比較

DVFS などの低消費電力動作を目的とした電源は既知であるが、本開発では、ディペンダビリティ向上を目的として、BIST やオンチップモナ、制御機構などを搭載して特定ブロックのメモリ診断テスト、故障検出の仕組みと、その結果を元に電源制御による不良回避を可能とする、細粒度で自由度の高い電源ネットワークとなっており、これにより高信頼なメモリシステムを実現できる。

4.5 自律型ディペンダブルメモリ LSI 開発(神戸大学・吉本グループ+神戸大学・永田グループ+ルネサス・新居グループ)

(1) 自律型ディペンダブルメモリの設計と試作

① 内容

フレキシブル電源ネットワーク(FPSN)と細粒度アシスト SRAM、フィールド BIST、オンチップモニタを組み合わせた自律型ディペンダブルメモリ LSI(統合試作)を開発した。FPSNとフィールド BIST、オンチップモニタを統合して不良予知診断を行い、細粒度アシスト SRAM、FPSN による不良回避を行う自律型ディペンダブルメモリを実現する。

自律型ディペンダブルメモリの概念図を図 4-5-1 に示す。本メモリシステムでは、細粒度アシスト SRAM に冗長 SRAM ブロックを搭載し、冗長ブロックに対して FPSN とフィールド BIST で電圧加速試験による不良予知診断を行い、不良予知された場合はアシストによる不良回避を行う。正常動作を確認できると別ブロックのデータを動作確認済み冗長ブロックに退避し、データ退避したブロックを冗長ブロックとして上記と同様の不良予知診断、不良回避動作を行う。この動作を繰り返すことにより、全メモリブロックの不良予知診断、不良回避をシステム動作中に実現できる。

このメモリシステムを実証するテストチップ(統合試作チップ)を 40nm CMOS プロセスで設計、試作した。統合試作チップ写真を図 4-5-2 に示す。また、本試作チップのディペンダブルメモリ動作をデモンストレーションするためのデモシステムを構築した(図 4-5-3)。細粒度アシスト SRAM をフレームバッファとして使い、LCD に画像描画を行うデモシステムであり、メモリの動作不良を画像の乱れとして表示できる。このデモシステムにより、メモリの動作をビジュアルに示すことができる。

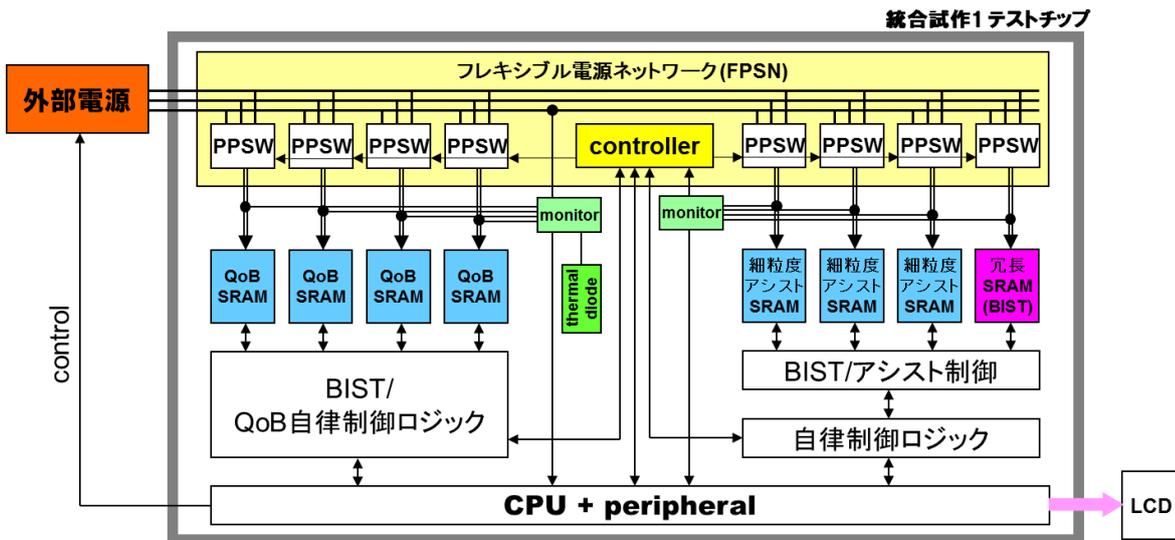


図 4-5-1 自律型ディペンダブルメモリ

② 創造性

FPSNとフィールド BIST、オンチップモニタ、細粒度アシスト SRAM を統合した不良予知診断、不良回避を行う自律型ディペンダブルメモリシステム。

③ 有用性

近年、自動車用機能安全規格 ISO26262 が正式発行され、自動車用途の MCU では機能安全への対応が必須となっている。自律型ディペンダブルメモリシステムは、CPU からは通常のメモリと同様に扱えるが、システム動作中でもバックグラウンドで通常動作を妨げることなく、不良予知診断および不良回避を自律的に行い、機能安全に貢献できる非常に有用なシステムである。

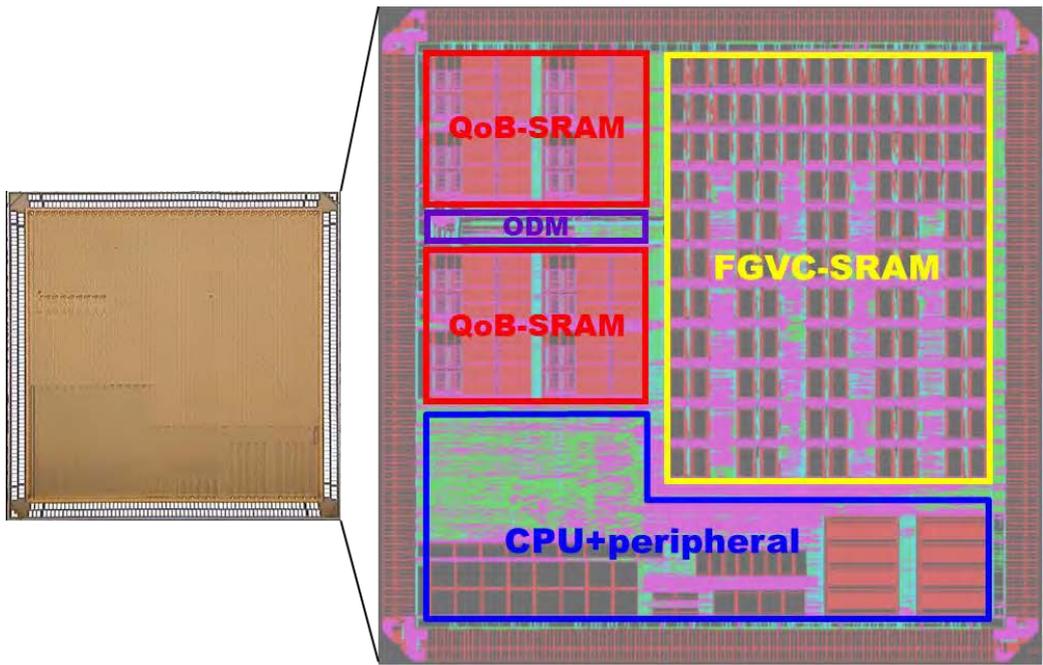


図 4-5-2 統合試作チップ



図 4-5-3 統合試作チップ用デモボード

④優位比較

従来 SRAM のエラー検出は ECC やユーザプログラムによる診断で行われている。本ディペンダブルメモリシステムでは、電圧も含めた動作マージンテストを行い、誤動作が発生する前に不良を検知し、SRAM のアシスト機構で動作不良回避することをシステム動作のバックグラウンドで自律的に行なうことを目指しており、よりディペンダビリティが高いシステムを構築できる。

(2)「自律型ディペンダブルメモリ LSI の評価・実機デモ」(ルネサス・新居グループ)

①内容

フレキシブル電源ネットワーク(FPSN)と細粒度アシスト SRAM、フィールド BIST、オンチップモニタを組み合わせた自律型ディペンダブルメモリ LSI(統合試作)を開発。FPSN とフィールド BIST、オンチップモニタを1チップに統合し、細粒度アシスト SRAM、FPSN による不良回避を行う自律型ディペンダブルメモリを構成する。統合試作チップの SRAM 評価を完了し(図 4-5-4、4-5-5)、実機ボードによるデモ環境を構築、動作確認を行った(図 4-5-6(試作チップのブロック図)、図 4-5-7(試作チップのレイアウトプロット)、図 4-5-8(デモ環境))。

②有用性

近年、自動車用途の MCU では自動車用機能安全規格 ISO26262 への対応が強く要求されている。自律型ディペンダブルメモリシステムは、システム動作を妨げることなく、不良検知および不良回避をバックグラウンドで自律的に行える。

③優位比較

従来 SRAM のエラー検出は ECC システムでは、電圧も含めた動作マージン作のバックグラウンドで自律的に行な

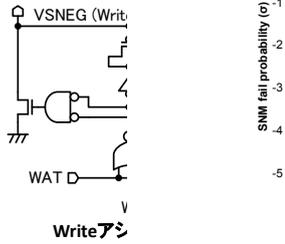
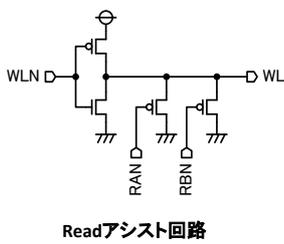


図 4-5-4 細粒度アシスト回路

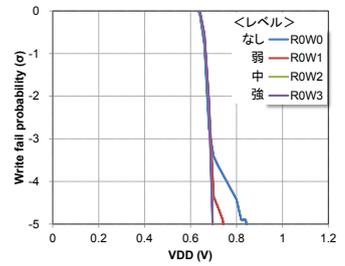
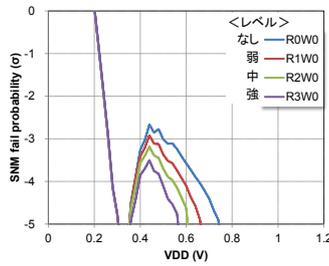


図 4-5-5 実測結果

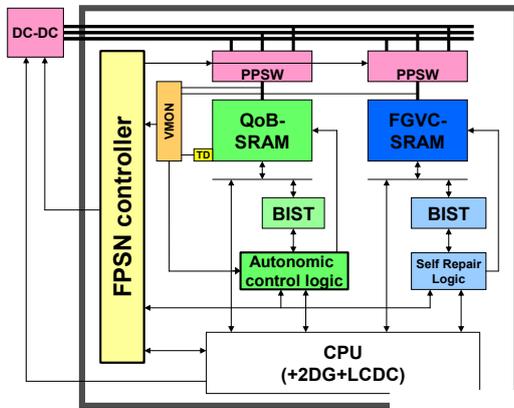
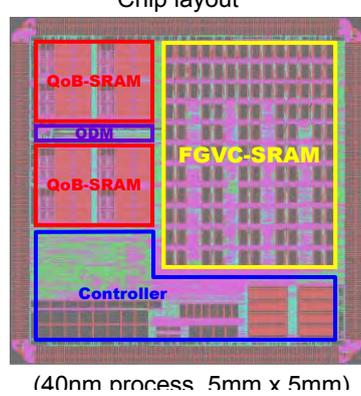


図 4-5-6 試作チップ



ウト



① 正常状態 ② FGVCアシストによる類似不良発生 ③ FGVCアシスト改修による不良回避動作 ④ 不良回避完了 図 4-5-8 デモデモンストレーション環境



(3) 「自律型ディペンダブルメモリの電源雑音耐性評価」(神戸大学・吉本グループ+神戸大学・永田グループ)

①内容

統合試作により試作された自律型ディペンダブルメモリ(QoB 構造によるウェイ数可変型256KB キャッシュメモリ) (図 4-5-9、4-5-10)の電源雑音耐性の評価を実施した。

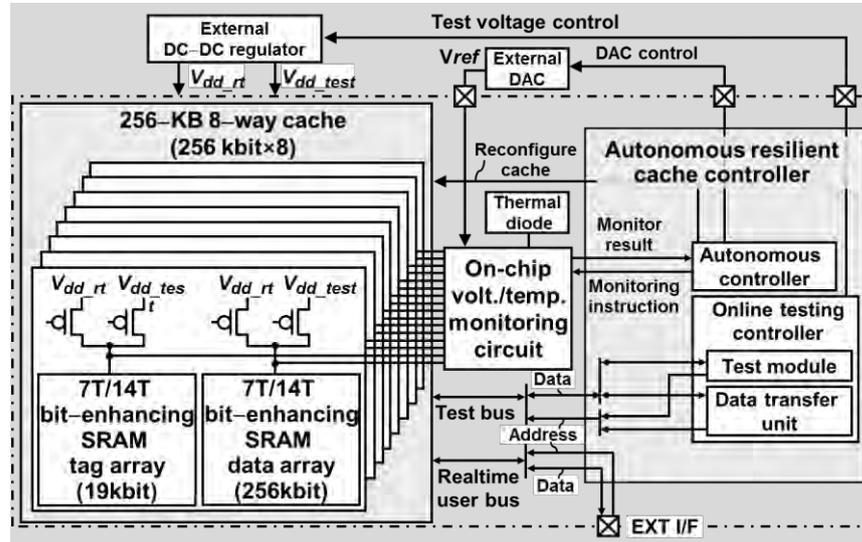


図 4-5-9 自律型ディペンダブルメモリ(QoB 構造によるウェイ数可変型256KB キャッシュメモリ)

自律型ディペンダブルメモリは、BIST(代表者 G 開発)を内蔵し実使用状態でブロック毎(ウェイ毎)にテストすることで各ウェイのビットエラーレート(BER)の電圧依存性を測定する。一方、オンチップ電源モニタ(共研 1G 開発)により電源電圧ドループを常時モニターし、電源電圧降下量に応じてウェイ数を可変(削減)することで、最低動作電圧 V_{min} を約 200mV 改善する。その結果、Failure Rate(実測値)を91%削減できた。(図 4-5-11)

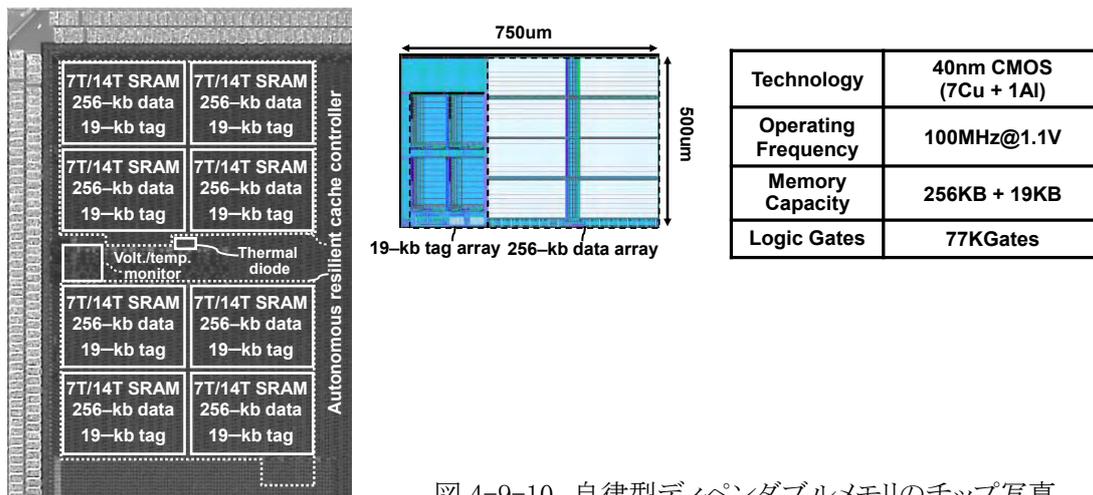


図 4-9-10 自律型ディペンダブルメモリのチップ写真

③ 有用性

大きな電源電圧ドループ(35%の電源電圧の振れ込みの場合)においても、Failure Rate を約 2 ケタ改善できるという有用な結果が得られた。劣悪な電源ノイズ環境でのマイコン、SoC のディペンビリティの向上に大きく寄与できる。特に車載応用においてモーター雑音、EMI、ワイヤーハーネスにおける電圧サージなどに耐性の

強いデバイスの内蔵メモリとして有用性が高い。

③優位比較

従来技術として A. Raychowdhury らによる「Tunable Replica Bits」技術 (JSSC 2012/4) があるが、小さな電源電圧ドロップ (13%) でさえ 9% の V_{min} 改善しか達成できてない。それと比較して、本方式による 30% を超えるドロップでの 200mV の V_{min} 改善と 2 ケタの Failure Rate 改善は圧倒的に優位な技術であることを示している。

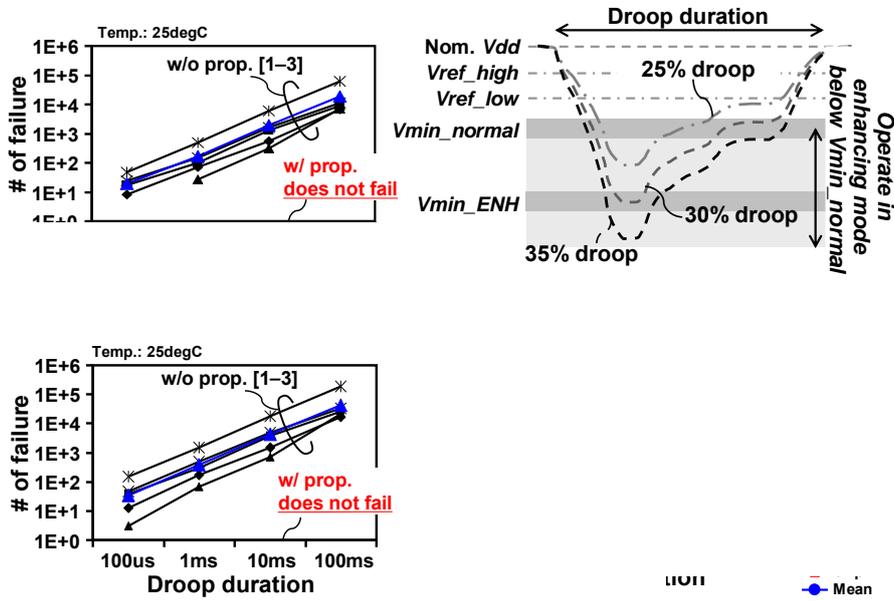


図 4-5-11 電源電圧ドロップ下での Failure Rate 測定結果

Me
an

4. 6 Virtualization によるシステムレベル評価

(1)「Virtualization環境の構築(システムレベル検証)」(日立・勝グループ+日本工大・於保グループ)

①内容

CPUモデルベースのハードウェア/ソフトウェア協調シミュレーションにおける故障注入技術の開発及び検証環境の構築を行った(図4-6-1)。そして、本環境を用いることで、メモリ故障が車載エンジンコントロールシステムに与える影響を定量的に評価することが可能となった。更に、代表者グループが開発した不良回避技術を搭載したディペンダブルメモリの回避時間に関する性能についても評価可能となった。具体的には、組み込みシステム全体レベルでの信頼性検証を目的にメモリアクセス時の故障注入を可能とするメカ/エレキ/ソフト協調シミュレーション技術、Fault Injection Systemを開発した。Fault Injection Systemはメモリ故障の起きる時間、アドレスを確定的に記述した故障シナリオを入力として受け取り、これに基づきSRAMアクセス異常を模擬する。バス上に追加された仮想的なブリッジがメモリトランザクションに介入する形でアクセス異常を模擬する事により、テスト対象環境への非侵襲性を確保可能とした。本手法を自動車エンジン制御システムに適用し、メモリ故障による点火制御への影響を模擬可能にした(図4-6-2)。

②有用性

従来の実機検証と比較すると、実機を用いずにモデルを用いてシミュレーション実行できるため、実機完成前に性能評価をすることが可能となり、実在しない新規機能のデバイスに対しても機能/性能の評価が可能である。

③優位比較

車載システム非実機検証手法では、米国GM社、富士通テン社等が積極的に取り組んでいる。両社とも、マイコン模擬より抽象度の高いレベルで実行しているため、シミュレーション実行時間が短縮するが、その分精度が悪化し、マイコン動作を模擬することができない。一方、本研究グループは、マイコン模擬が可能なCPUモデルベースの協調シミュレーションが可能となるため、マイコン内にメモリ故障を注入でき、かつ注入したメモリ故障がシステムに与える影響を評価することができ、その点優位である。シミュレーション実行時間の短縮に関しては、並列実行等による高速化ができるため、改善の見込みがある。

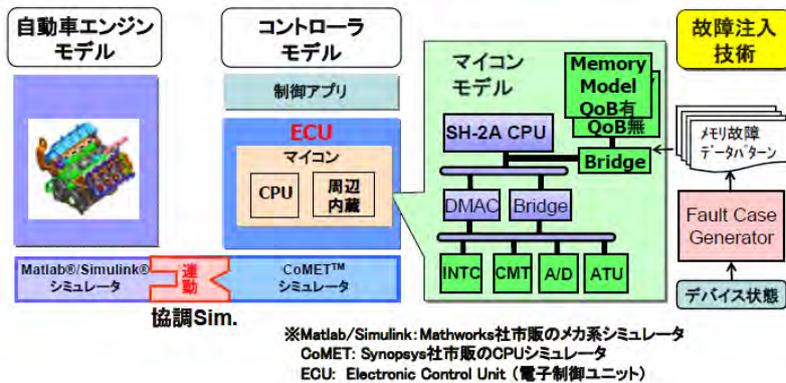


図4-6-1 CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション

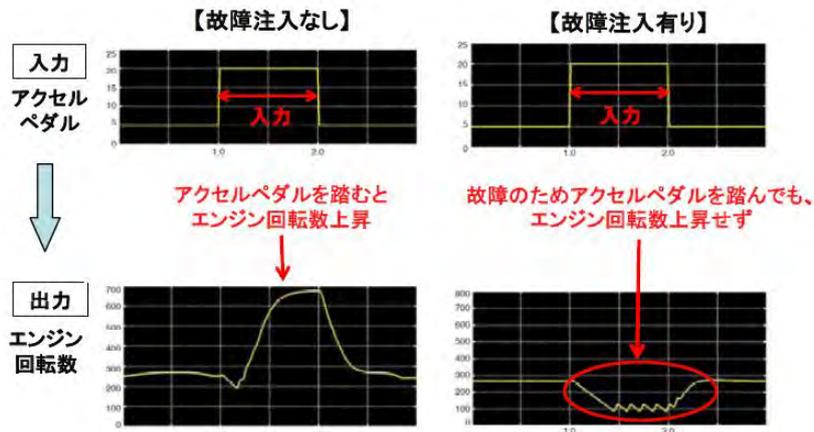


図 4-6-2 メモリ故障による点火制御への影響

(2)「Virtualizationにおけるメモリ故障注入技術の開発」(日立・勝グループ+日本工大・於保グループ+神戸大学・吉本グループ)

①内容

トランジスタデバイスレベルのSRAMシミュレーションを元にSRAM故障をモデル化し(図4-6-4), CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション(Virtualization)の検証環境(図4-6-3、共同研究第3Gにて開発)における故障注入システム(Fault Injection System(FIS))に注入するためのメモリ故障を生成するFault Case Generator(FCG)を開発した(図4-6-5, 4-6-6). FCGを統合したFISを用いてQoB(7T/14T)ディペンダブルSRAMを内蔵メモリに用いたプロセッサの異常終了率を評価し、従来の6T SRAMを用いたプロセッサと比較して、システムレベルで信頼性の改善効果があることを確認した. ECUの内蔵メモリに6T SRAM, QoBディペンダブルSRAMを用いた評価結果を図4-6-7(a), (c), 図4-6-7(b), (d)にそれぞれ示す. 図4-6-7(c), (d)は6T SRAM, QoBディペンダブルSRAMにおける異常終了があらわれる境界部分をそれぞれ拡大した図をあらわす. 全体に共通する傾向として、高温条件ほど異常終了率が高くなることがある. これは、SRAMの読出しマージンが高温条件において悪化することから、読出しマージン不良の増加が異常終了率の増加に影響していると推測される. QoBディペンダブルSRAMを用いた評価では、6T SRAMを用いた評価と比較して、0.1Vから0.15Vの動作電圧の改善がみられる. さらにQoBディペンダブルSRAMによる動作電圧の改善効果は低温領域において大きく、高温領域において小さいという傾向がある. この傾向の原因としては、低電圧領域において支配的な故障である書込みマージン故障が、QoBディペンダブルSRAMによって改善されることが一つの原因として考えられる. この原因を特定するためにはシステムの異常終了がどのSRAM故障によって引き起こされているかということが多量のサンプルに対して統計的に解析を行う必要がある. そのため、SRAMの各故障とエンジン制御システムの異常終了との関係の解析は今後の課題とする.

②有用性

システム検証を専門とする共同研究第3Gとメモリデバイス技術を専門とする代表者Gとの連携により、デバイスレベルの信頼性向上が、システム応用レベルの信頼性向上にどれくらい効くかを定量的に評価できる検証環境を構築できた. この手法を用いて、車載エンジン制御システムの異常故障率が、QoBの使用でどう改善されるかを導出した. 今後、種々の応用システム検証に用いることが出来る. 本研究の有効性を示す概念図を図4-6-8に示す.

③優位比較

Virtualization をメモリの故障注入技術の開発はこれまでにない画期的な成果である.

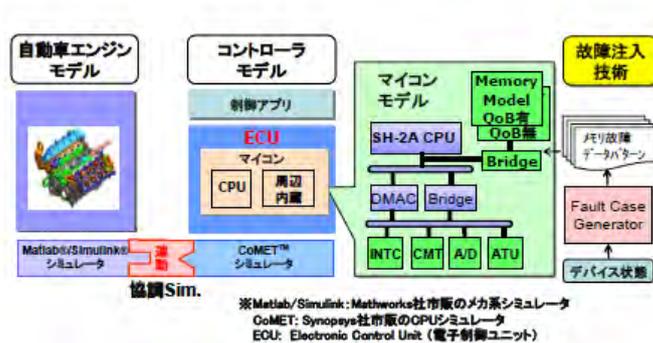


図 4-6-3 CPU モデルベースのハードウェア/ソフトウェア協調シミュレーション(Virtualization)システムブロック図(勝グループ+於保グループによる開発)



図 4-6-4 メモリ不良のモデル化

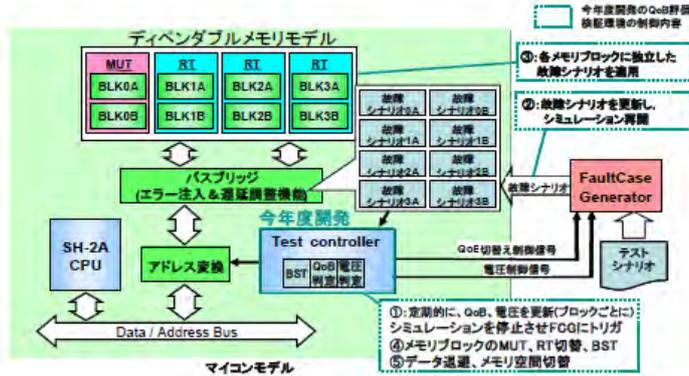


図 4-6-5 不良注入シナリオ

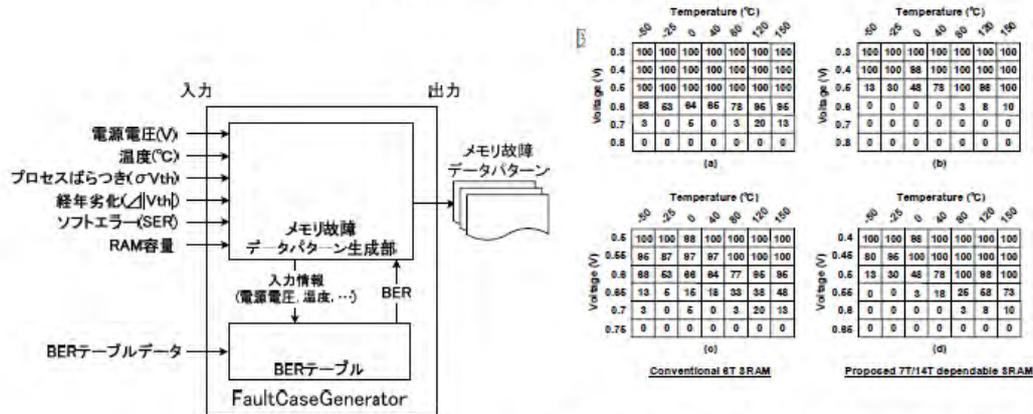


図 4-6-7 エンジン制御システムにおける異常終了率(%)

図 4-6-6 Fault Case Generator の機能ブロック図

- (a) 6T SRAM (0.3V-0.8V, 0.1V 刻み)
- (b) 7T/14T dependable SRAM(0.3V-0.8V, 0.1V 刻み)
- (c) 6T SRAM (0.5V-0.75V, 0.05V 刻み)
- (d) 7T/14T dependable SRAM (0.4V-0.65V, 0.05V 刻み)

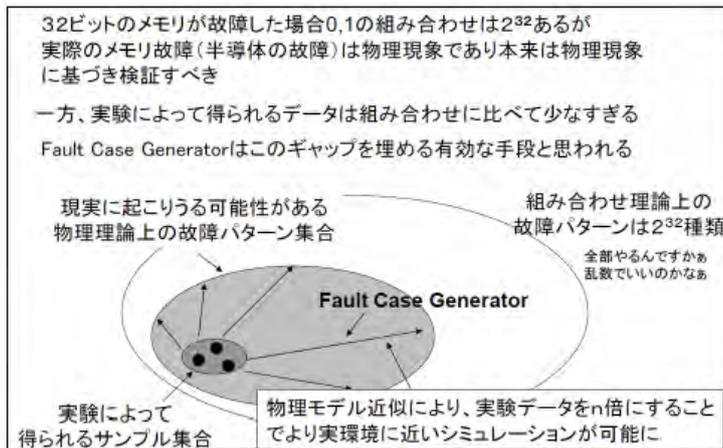


図 4-6-8 Fault Case Generator の有効性を示す概念図 (デンソー谷氏の H23.7.1 領域会議講演資料より抜粋)

(3) 「大規模 Virtualization 環境の構築とディペンダブルメモリのシステムレベル信頼性改善効果の評価」(日立・勝グループ+日本工大・於保グループ+神戸大学・吉本グループ)

①内容

自動車安全システムのシステムレベルにおける機能安全性検証を Virtualization を用いて実施するためにシステムレベルのモンテカルロシミュレーションを実行できる環境を構築した(図 4-6-9)。機能安全性を検証するためには、非常に多数のサンプル(仮想チップ)に対して、多くのテストシナリオ、電源電圧や環境温度をパラメータとして網羅的に Virtualization を実施する必要があり、多並列実行を可能とするクラウドコンピューティング環境を構築した。具体的には、Amazon Web Service (AWS) の Elastic Computing Cloud(EC2)を用いてシミュレーションを実施する(図 4-6-10)。

これにより、1050個の仮想チップに対して Virtualization を実施し、ディペンダブルメモリのエンジン制御システムにおける信頼性改善効果を定量的に導出することができた(図 4-6-11)。

②有用性

この検証手法を用いて、ディペンダブルメモリベース・マルチコアプロセッサによる自動車安全システムへの有効性検証を実施できる。また、種々の組込みシステムの信頼性検証手法として応用展開が期待できる。

③優位比較

Virtualization においてモンテカルロシミュレーションを実施した例はこれまでになく画期的な成果である。

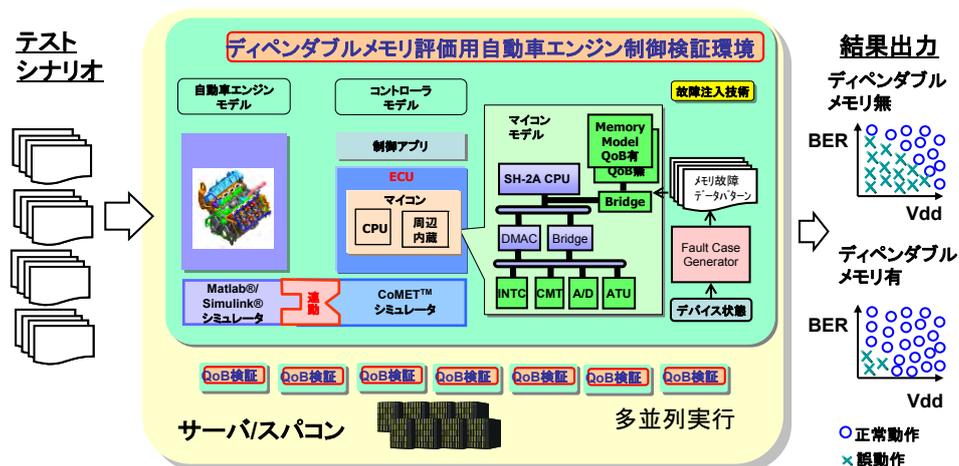


図 4-6-9 大規模 Virtualization 環境の構築

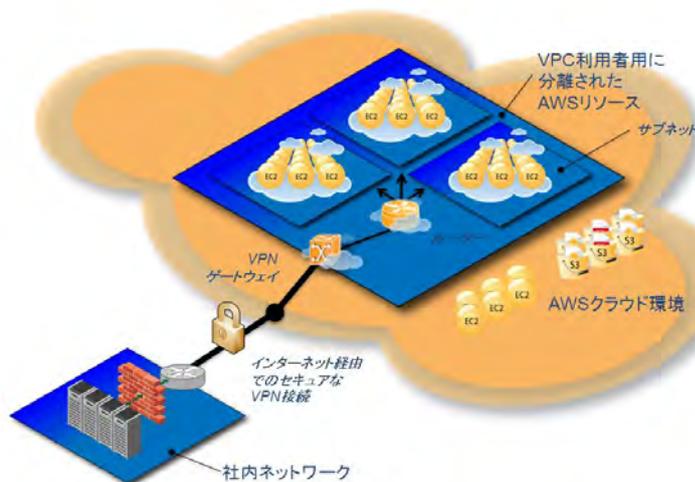
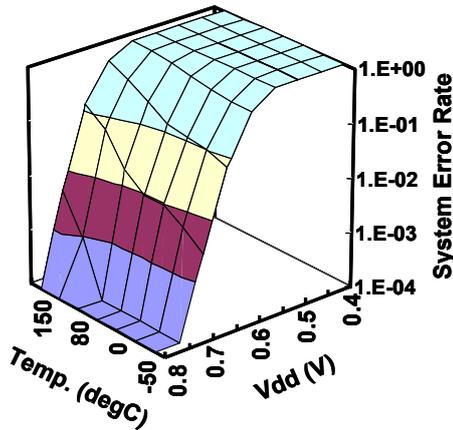
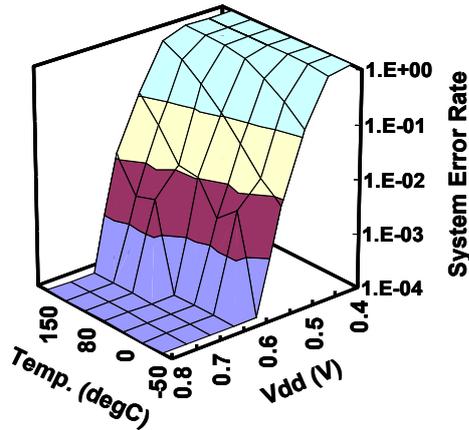


図 4-6-10 大規模 Virtualization に用いるクラウドコンピューティング環境

従来6Tを搭載したシステム



QoBを搭載したシステム



- ・ 1050 仮想チップ(不良アドレスを乱数で生成)について評価
- ・ 10年の経年劣化を想定 ($\Delta V_{th,pmos} = 24mV$)

図 4-6-11 ディペンダブルメモリのシステムレベル信頼性改善効果の評価結果

(4)「Dual コアアーキテクチャのエンジン制御応用デモ」(神戸大学・吉本グループ+日立・勝グループ+日本工大・於保グループ)

① 内容

これまで実施してきた Vrualization システム(Matlab/Simulink Simulator + Virtualizer Simulator)に加えて、車両モデルシミュレータとして、CarSim Simulator を結合することにより、SRAM のビット不良が実エンジン制御に及ぼす影響をシミュレーションにより定量的に導出するとともに、デモシステムとして構築した(図 4-6-12)。SRAM の電源電圧を変化させることで、システムエラーレートの変化を導出するシミュレーション手法を開発した(図 4-6-13)。

② 有用性

機能安全アプリケーションにおいて、リアルタイム性かつ高信頼なソフトウェア実行の可能なプロセッサが求められるが、車載システムの VLSI においてエンジンルームの厳しい環境や外部の雑音より電圧降下が発生するための対策の効果を定量的に評価できる手法として極めて有用である。また、このデモシステムは顧客開拓のための有用な武器となる。

③ 優位比較

SRAM への不良注入による最終システム(エンジン制御システムなど)での不良率を求める手法は世界初である。

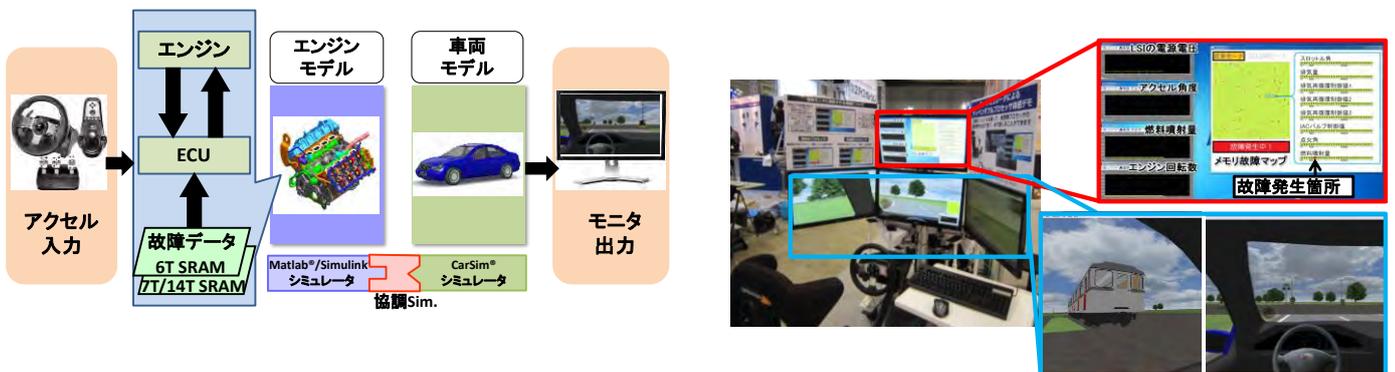


図 4-6-12 Dual コアアーキテクチャのエンジン制御応用デモシステム(ET2012 に於いてデモ展示)

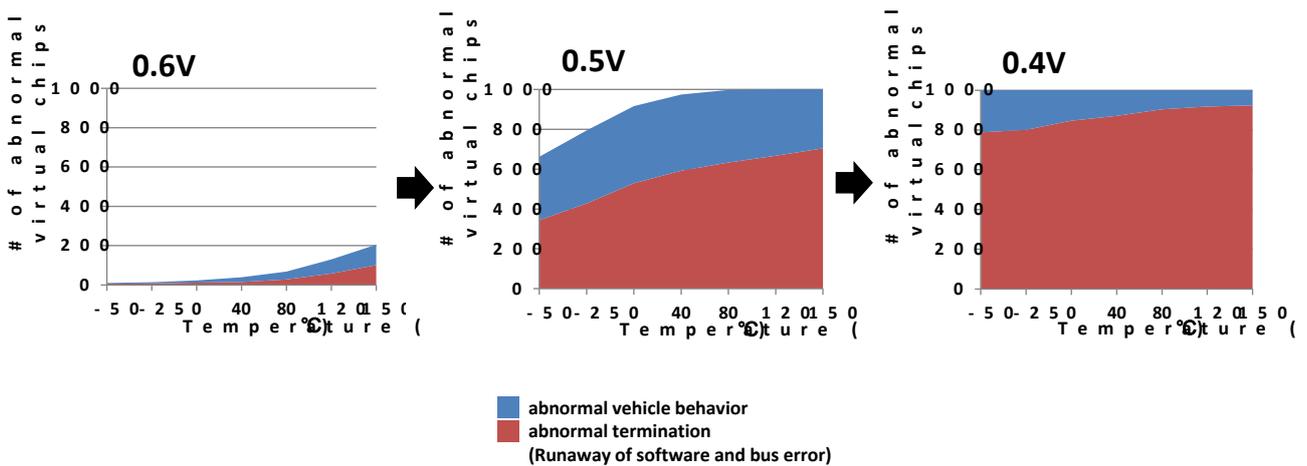


図 4-6-13 SRAM 不良に起因するエンジン制御動作の誤動作率の推移

4.7 QoB のマルチコア応用技術

(1) 「QoBのマルチコアプロセッサ応用のための一括データ比較技術」(神戸大学・吉本グループ)

①内容

微細化に伴う閾値電圧のばらつきによってプロセッサの信頼性が重要な課題となっている。DMR(Dual Modular Redundancy)は信頼性を改善する手法の一つである。提案するSRAMはQoB構造を用いてDMRのデータ比較を高速かつ低消費電力に実現するものである(図 4-7-1)。CRC(Cyclic Redundancy Check)の様な演算を必要としないため、低消費電力でのデータ比較が可能である。比較時には 7T ビットセルペアにそれぞれ比較対象となるデータを格納した後、CTRL 信号を“Low”として内部ノードを接続する。異なるデータが記憶されていた場合、それぞれの電源線(VDDA/VDDB)に放電パスが発生し、電圧が降下する。この電圧差を読み出すことでデータの比較を行う(図 4-7-2)。ブロック単位でのデータ比較は各行の電源線ごとに同時に行うことで可能となる。65nm プロセスにて試作を完了し(図 4-7-4)、実測によって、4kb 中において1つの不一致ペアが存在した場合、130ns で不一致データを検知することができた。

②有用性

マルチコアプロセッサにおける複数コア間でのDMRを高速に実行できる。QoBはディペンダブル・マルチコア・プロセッサに最適なメモリ構成であるといえる。

③優位比較

EXORを用いた比較回路、CRC によってデータ圧縮を行うデータ比較手法と比べ、提案手法は必要サイクル数を 99.6%削減でき、それぞれ 93%消費電力を削減することを確認した(図 4-7-3)。

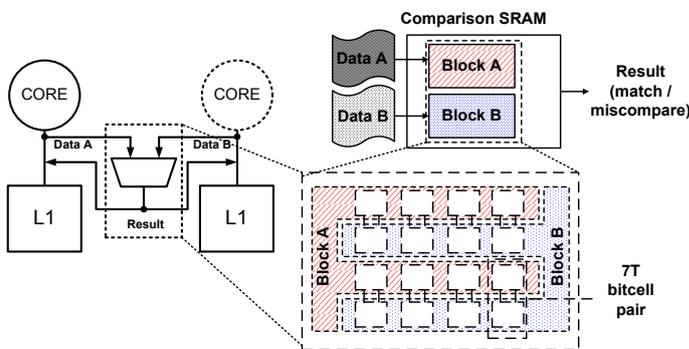


図 4-7-1. QoB構造を適用したDMRのメモリ間比較方式

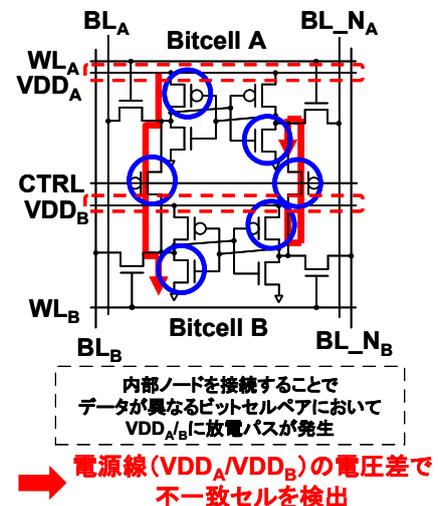
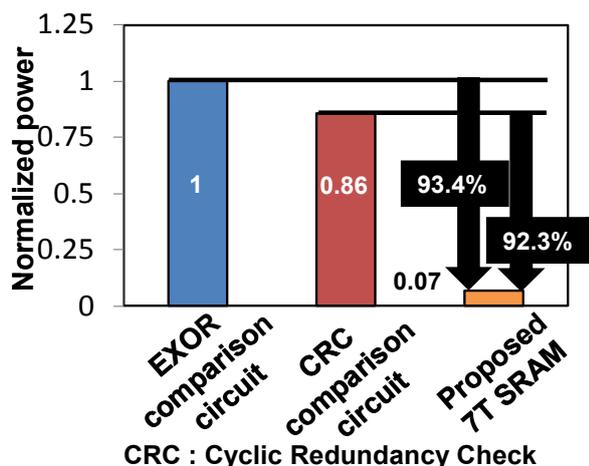


図 4-7-2. QoB構造を用いた比較の原理



130nsでの8kbデータ比較機能の動作を確認。
従来のEXORとCRCによるデータ比較手法と比較し、
それぞれ93.4%, 92.3%消費電力を削減

図 4-7-3. 提案回路による電力削減効果

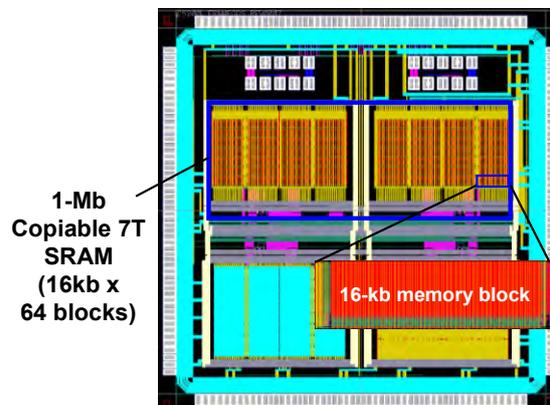


図 4-7-4. 試作した一括比較機能付 1Mb メモリ

(2) 「QoBのマルチコアプロセッサ応用のための一括データコピー技術」(神戸大学・吉本グループ)

①内容

通常、データの転送によるプロセッサの待ち時間を減らすために DMA(Direct Memory Access)が用いられるが、大量のデータを転送する際に発生する時間はパフォーマンスのボトルネックとなる。高速かつ低消費電力なデータコピーを実現するため、ブロックデータ一括コピー機能を有する 7T SRAM を開発した。ディペンダブルプロセッサにおいて、QoB 構成のメモリを通常モードから高信頼性モードへ高速移行させる場合に有効である。図 4-7-5 に記載されるシーケンスにしたがって、メモリセルペア間(セル A からセル B へ)においてブロック単位で瞬時にコピーを行う。TEG の試作と評価結果は、図 4-7-6 に示されており、65nm で試作した 1MbRAM において、4クロックサイクルで全データのコピーの完了を確認した。

②有用性

ディペンダブルプロセッサにおける“トランスアクションルメモリ”(図 4-7-7)や“チェックポイント&リカバリ”(図 4-7-8)等のローカルメモリ間でデータのコピーを行う応用においても提案手法は有効である。マルチコアプロセッサにおけるトランスアクションルメモリはデータの同期を行う際に各ローカルメモリ間でデータのコピーが利用される。チェックポイント&リカバリは、各チェックポイントにおいてプロセスの状態(Micro Architectural State)をレジスタやスタック領域にバックアップ、または読出す際にデータのコピーが行われる。提案手法を用いることによって、上記のようなローカルメモリ間のデータコピーの速度と消費電力が削減可能となる。

③優位比較

提案手法は従来の read-modify-write によるデータコピーと比較して、消費エネルギーとサイクルタイムをそれぞれ 92.7%と 99.6%削減した。(図 4-7-7)。

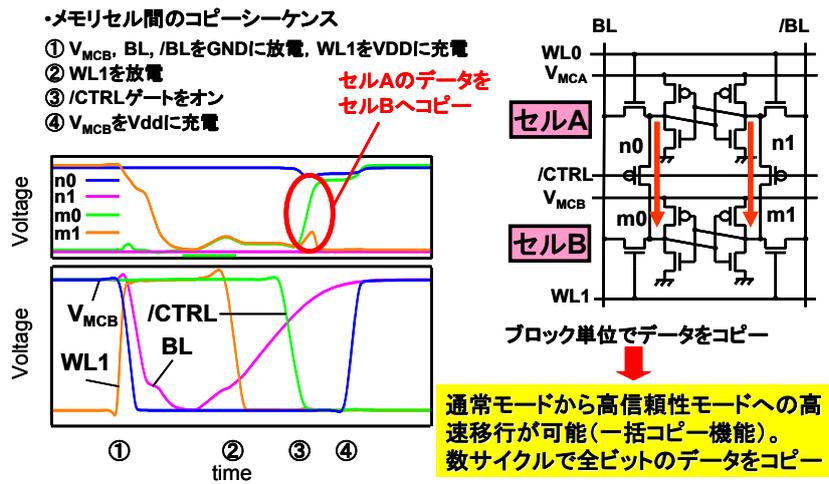
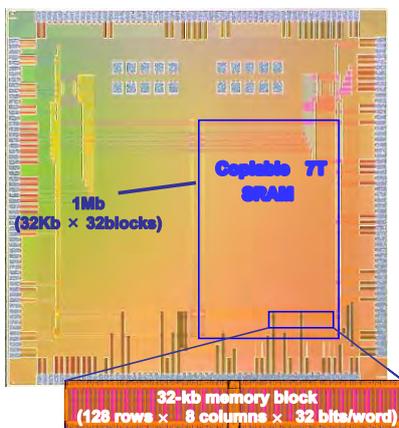
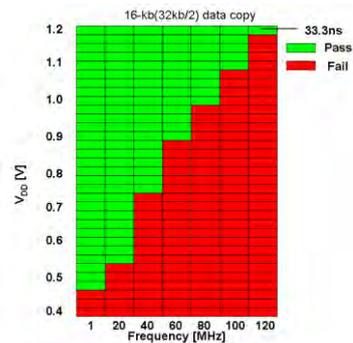


図 4-7-5 QoB メモリの一括コピー原理



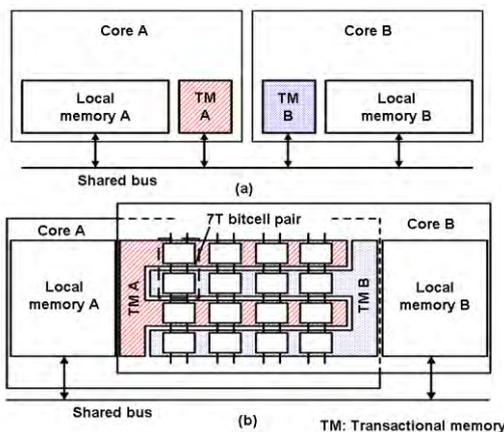
▶ 65nm CMOS プロセスにて試作

32kb SRAMブロック
(128 rows × 8 columns × 32 bit/words)
内でのコピーを測定



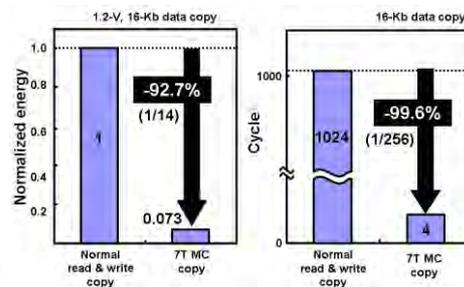
▶ 33.3ns(4サイクル)で 16kb のデータコピーを実現

図 4-7-6 高信頼性モードへの高速移行を実現する TEG の試作と評価結果



(a) general case and (b) copiable 7T SRAM architecture for transactional memory

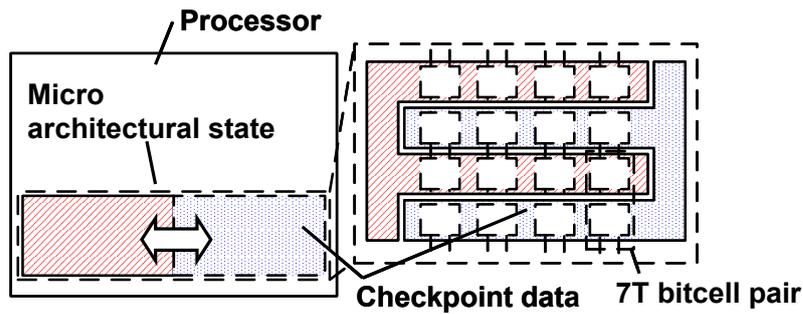
瞬時のデータコピー機能を利用



共有バスを介することなく、瞬時に変更内容を他コアのメモリに通知。

エネルギーを92.7%, サイクル数を99.6%削減

図 4-7-7 マルチコアプロセッサにおける Transaction Memory



**QoB SRAMの一括コピー機能を用いることで、
 高速にチェックポイントを作成(コピー)し、
 高速にリカバリすることが可能**

図 4-7-8 QoB SRAM の一括コピー機能を利用した高速チェックポイント&リカバリ

(3)「QoB ベースマルチコアプロセッサアーキテクチャとメモリ LockStep 機構の実現」
 (神戸大学・吉本グループ+日立・勝グループ+日本工大・於保グループ)

①内容

自律型ディペンダブルメモリ（不良予知技術および不良回避技術）を適用したマルチコアプロセッサアーキテクチャを開発した（図 4-7-9）。特に、QoB の一括コピー機能、一括比較機能、および細粒度 QoB キャッシュメモリと細粒度電圧制御技術を組み合わせ、ディペンダブルマルチコアプロセッサにおける性能オーバーヘッドを最小限に抑えるアーキテクチャを開発した。それを、DMR におけるメモリ Lockstep 機能におけるベンチマークを行った結果、信頼性性能が低下する低電源電圧領域で FIT 値が 80%改善されることが確認された（図 4-7-10）。

②有用性

本アーキテクチャの最大のメリットは、QoB 構造をシャドウレジスタ、ワーキングレジスタに適用することで、DMR におけるメモリ LockStep 機能の性能オーバーヘッドを大幅に削減できることである。チェックポイントの間隔を短くした時に、本アーキテクチャではサイクルオーバーヘッドを大きく改善できる（図 4-7-11）。チェックポイント間隔を短くすることにより、ビットが反転し比較が不一致となりタスク実行中に一度ロールバックが起こった場合でも最小サイクルオーバーヘッドを 3.28%に抑えられ、従来アーキテクチャと比較し 85.5%改善されることが確認された。また、タスク実行中に複数回のロールバックが起こる厳しい環境でも高速な回復処理ができるのでリアルタイムシステムに適したアーキテクチャである。今後のマルチコア化、メニーコア化は必須の流れであり、その信頼性向上設計に有用な技術である。

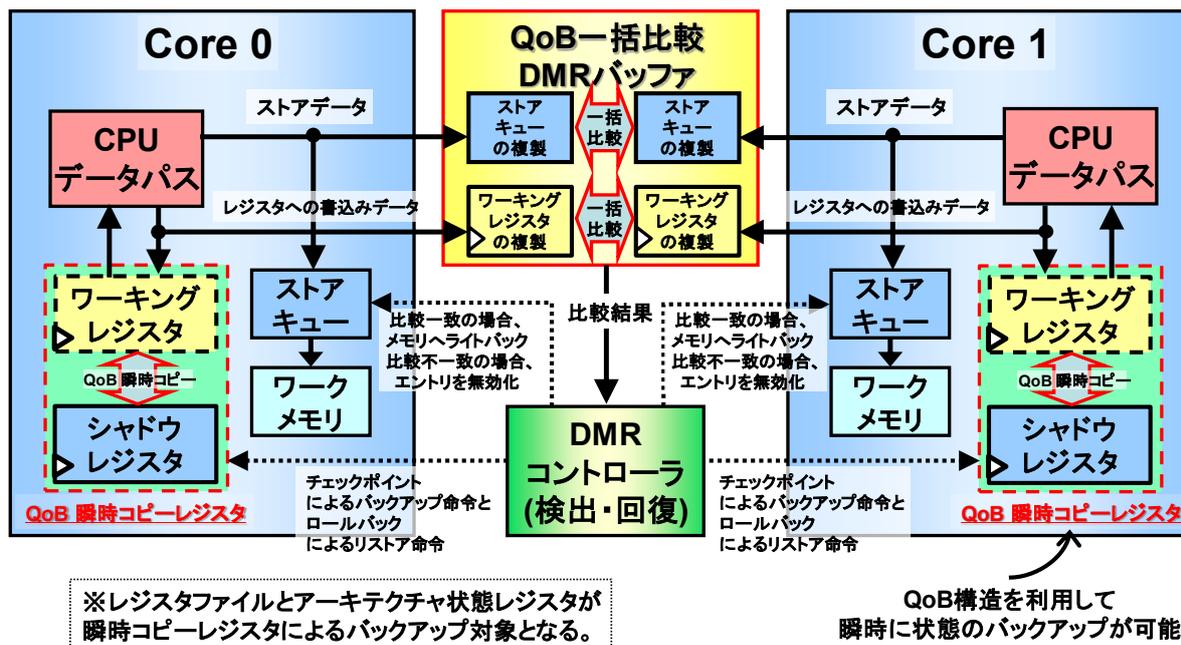


図 4-7-9 ディペンダブルメモリベース DualCore アーキテクチャ

③優位比較

従来技術（シングルコア密結合型、ロックステップマルチコアマイコン）に対する優位性を明確にする。従来アーキテクチャでは、チェックポイント周期内のワーキングレジスタの更新内容とストアキューへの書き込み内容を 32-bit CRC コードに符号化し、それぞれのコアにおいて生成された 32-bit CRC コードを比較することによって、DMR の比較を行う。チェックポイントを取得する際は、ワーキングレジスタの内容を、バスを介してシャドウレジスタへバックアップを行う。ロールバックの際もバスを介して、シャドウレジスタからワーキングレジスタへのデータのリストアを行う。バスを介するため、バックアップ・リストアにかかる時間は、バックアップすべきレジスタの本数依存となる。

これに対して本アーキテクチャでは、

- ・従来のバスによるチェックポイントのバックアップ&リストアを、QoB 瞬時コピー機能を有する QoB 瞬時コピーレジスタによって高速化 (数十~1000 サイクル -> 4 サイクル)
- ・従来の CRC 比較による DMR(二重化)の比較を、QoB 一括比較 DMR バッファを用いることにより低電力化 (比較にかかる消費エネルギーを 1/418 に低減) を達成する。

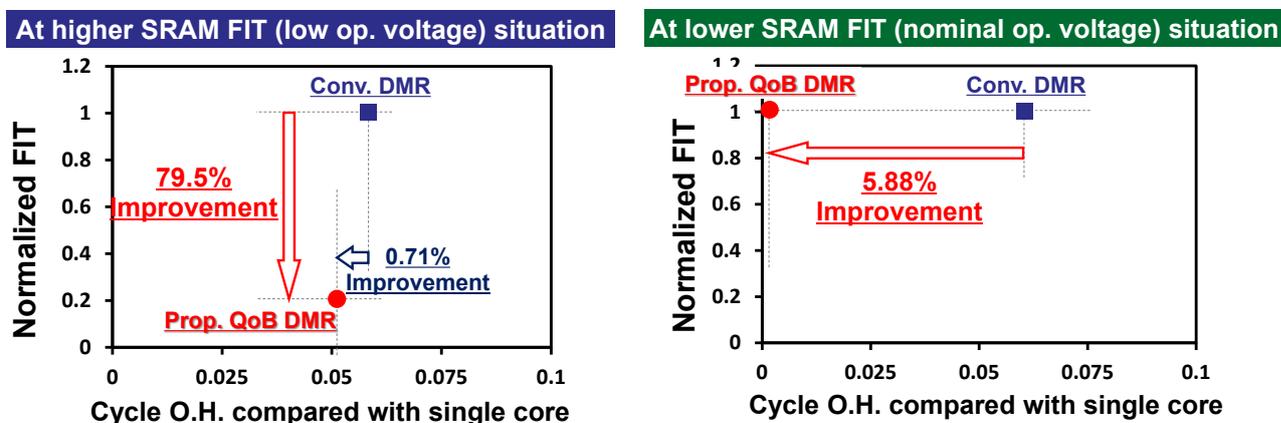


図 4-7-10 メモリ LockStep 機能実行時の性能オーバーヘッドの改善

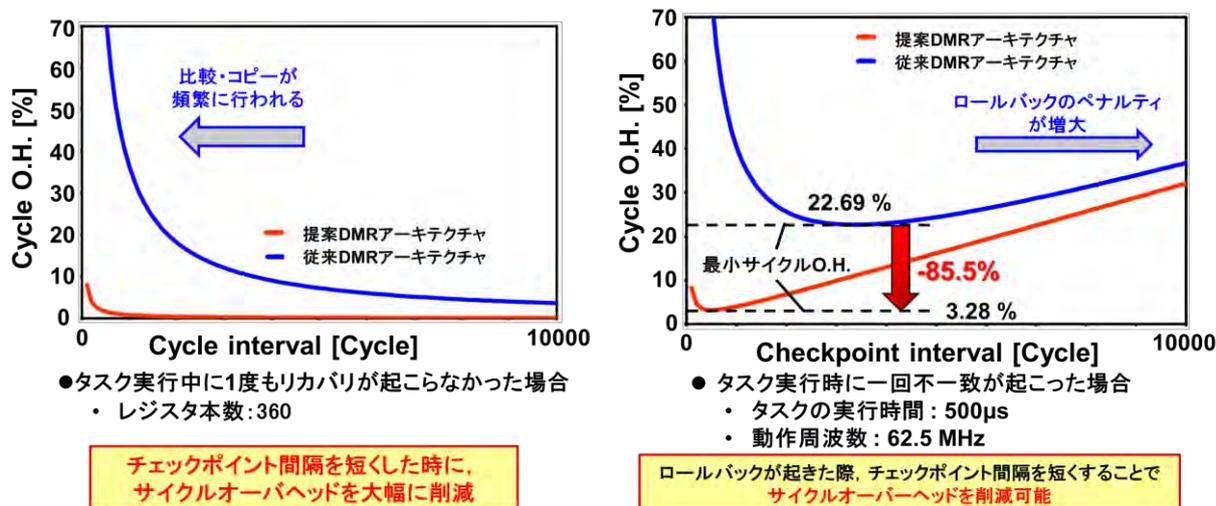


図 4-7-11 チェックポイント間隔に対する性能オーバーヘッドの改善

(4)「マルチコアアーキテクチャの Virtualization 評価環境」

(日立・勝グループ+日本工大・於保グループ+神戸大学・吉本グループ)

①内容

自動車システムレベルにおけるディペンダブルメモリベースマルチプロセッサの機能安全性検証について、Virtualization を用いて実施するために、QoB メモリやレジスタの一括コピー機能/一括比較機能をモデル化した。本機能のモデルや、前年度まで開発した QoB メモリ故障注入機構に加えて、今年度は、新たにレジスタに故障が発生したときの Virtualization 評価を実現するために必要なレジスタ故障注入機構を実装し、メモリだけでなくレジスタ一括比較機能の評価が可能な Virtualization 環境を構築した。また、クワッドコアプロセッサのメモリ比較機能を模擬する Virtualization 環境を構築した。本 Virtualization 技術により、実機試作前に、ディペンダブルメモリアーキテクチャおよび回路技術の有効性を定量的に検証することが可能となる。

②有用性

この検証手法を用いて、ディペンダブルメモリベース・マルチコアプロセッサによる自動車安全システムへの有効性検証を実施できる。また、種々の組込みシステムの信頼性検証手法として応用展開が期待できる。

③優位比較

Virtualization によるシステムレベルでのマルチコアアーキテクチャのメモリ及びレジスタ故障時評価環境はこれまでにない画期的な成果である。

4. 8 EV 応用 EMC 対策技術(神戸大学・永田グループ)

(1)「デジタル LSI における電源ノイズとデータ漏洩の相互評価」

①実施方法・実施内容

本評価システムにより、シフトレジスタアレイにおける電源ノイズの発生が、チップ内の回路動作と、チップ-パッケージ-評価ボードを統合した電源系インピーダンスネットワークとの相互作用に基づくことを、この系全体を包含するノイズシミュレーション手法及びテストチップによるノイズ測定により確認した(図 4-8-1)。さらに、同じ回路の発生する近傍磁界ノイズが、この回路を搭載したチップの評価ボードの広い範囲で漏洩することも、EMC テスタにより測定されている(図 4-8-2)。

オフチップで観測される電源電流ノイズの周波数成分が、シフトレジスタアレイの内部に保持されるビットパターンを明確に反映することを実験により確認した(図 4-8-3)。このように、電源電流ノイズの観測によりデジタル LSI の内部動作や内部データを読み取る攻撃は明らかに可能である。デジタル LSI が発生する電磁ノイズの特徴を抽出し、デジタル LSI 内部の演算シーケンスやデータなどの情報との相関性を見極めることができ、電源ノイズの低減と耐タンパ性の向上を関係づけられる。

②創造性

半導体チップの EMC 評価として、デジタル LSI における電源ノイズを経由したデータ漏洩を観測できることを示した。

③有用性

デジタル LSI の内部動作状態と、オンチップ電源ノイズ及び実装ボード上の電磁ノイズを関連づける評価システムを構築した。また、デジタル LSI をシフトレジスタで代表させ、その電源ノイズや電磁ノイズが、動作周波数や内部ビットパターンと強く相関することを、テストチップの評価により確認した。

④優位比較

デジタル LSI のオンチップ電源ノイズの評価・解析に関しては、米国の EDA ベンダーや大学等の研究機関から報告がなされている。しかしながら、電源ノイズや電磁ノイズの測定データや解析データを、デジタル LSI の内部論理動作についての情報漏洩と具体的に関連付ける試みは従来になく、新規性が高い。

Shift register arrayにおける磁界ノイズ強度の評価ボード面内分布

Shift register arrayを搭載したチップの
パッケージ・ボード統合ノイズ解析モデル

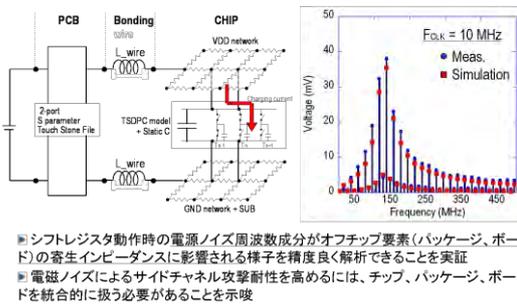


図 4-8-1 LPB 統合電源ノイズモデル

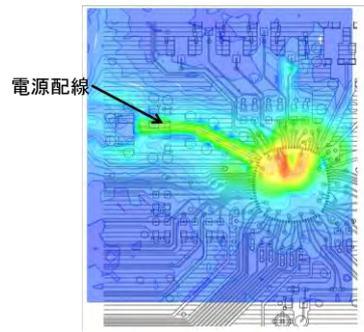
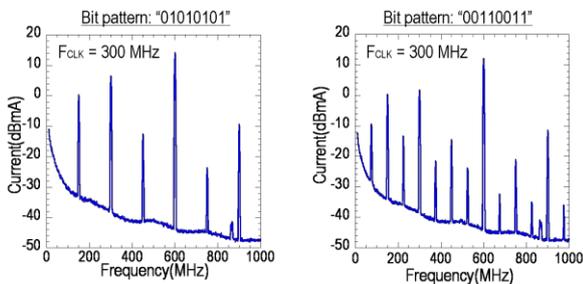
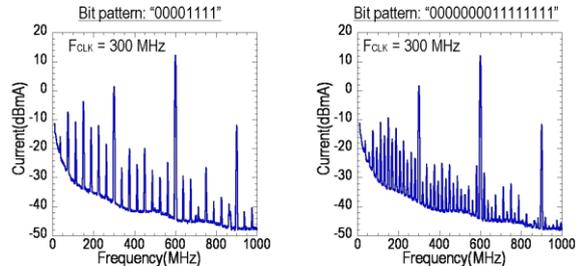


図 4-8-2 プリント基板上の電源ノイズ放射

Shift register arrayにおける電源電流ノイズの
ビットパターン依存性(1)



Shift register arrayにおける電源電流ノイズの
ビットパターン依存性(2)



オフチップで観測される電源電流ノイズは、シフトレジスタの内部データに依存

電磁ノイズによるサイドチャネル攻撃耐性には、電源ノイズ発生が内部データ(オペランド)に依存しないように対策すべきことを示唆

図 4-8-3 電源ノイズによるデータ漏洩

(2) 「オンチップノイズモニタを用いたデジタル LSI 電源ネットワーク(PDN)の評価とモデリング」

①実施方法・実施内容

LSI チップと電源ネットワークの接続は、電源ノイズの発生に着目すると、図 4-8-4 の等価回路のように示される。LSI チップ上のデジタル回路が AC 電流源であり、これがチップの電源パッド、ボンディングワイヤ、パッケージのリードフレーム、そしてボードの配線トレース、からなる PDN インピーダンス・ネットワークと作用して、電源ノイズを形成する。ここで、デジタル回路を halt 状態として(すなわち AC 電流源を停止状態として)、励振回路が独立に発生する電流パルスによりチップ内部から電源ネットワークを励振し、オンチップ電源ノイズモニタによりリングング波形を取得することで、デジタル LSI チップから見込んだオフチップの PDN インピーダンスをオンチップで評価できる(図 4-8-5)。本研究により、パッケージやボードを含むオフチップの PDN インピーダンスを一次の LCR 回路で近似することで、オンチップで観測されるリングング波形を再現できることを示した。また、電磁界解析ソフトウェアを利用したオフチップインピーダンスの解析モデルと整合の取れる結果であることも確認した。

さらに、オンチップモニタによるノイズ波形の測定およびノイズ解析モデルを用いたシミュレーション解析により、デジタル LSI チップからオフチップを見込んだ PDN インピーダンスが、デジタル LSI の動作による電源ノイズの

周波数成分を支配的に決定することを明らかにした。デジタル LSI のチップから給電端(ボード)を見込んだ PDN インピーダンスの周波数応答特性が、デジタル LSI の発生する電源ノイズの周波数成分と良く一致すること(図 4-8-6、およびデジタル回路の動作周波数(F_{clk})に依存したノイズ振幅の傾向ともきわめて良く一致すること(図 4-8-7)をそれぞれ見出した。

このように、デジタル LSI チップの電源ノイズは、ユーザの実装環境に依存した寄生インピーダンスにより支配的に決定されるため、(1)PDN の励振機構とオンチップモニタによるリングング波形取得により、オンチップで実装環境に依存したオフチップ PDN インピーダンスの近似評価・寄生素子抽出を行い、(2)オフチップ PDN インピーダンスに依存した電源ノイズの周波数成分の見積もりが可能となる。これにより、デジタル LSI の実装環境におけるディペンダビリティ向上に有用であると考えられる。

②創造性

オンチップモニタを活用することで、PDN の周波数応答特性および共振インピーダンスのその場抽出を実現している。

③有用性

LSI チップからオフチップを見込んだ PDN インピーダンスについて、(1)PDN の励振によるリングング波形から PDN のインピーダンス特性をオンチップ評価する手法を確立するとともに、(2)オンチップ電源ノイズの周波数成分における支配的な決定要因であることを実験およびシミュレーションにより明らかにした。

④優位比較

LSI チップを搭載した電子機器における電源ノイズや電源ネットワークの解析に関する研究は、従来から、電磁環境両立性(EMC)の分野で進められているが、LSI チップは通常ブラックボックスとして扱われてきた。これに対し本研究は、デジタル LSI チップの搭載回路とオフチップ PDN インピーダンスの統合系を対象にしたノイズ解析に立脚し、デジタル LSI チップから見たノイズ発生過程の理解を深めている。従来に比べて大きく踏み込んだ取り組みである。

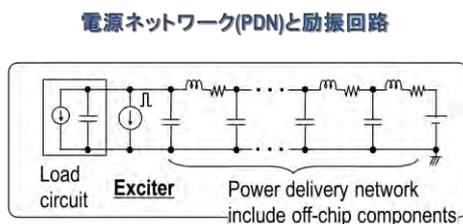
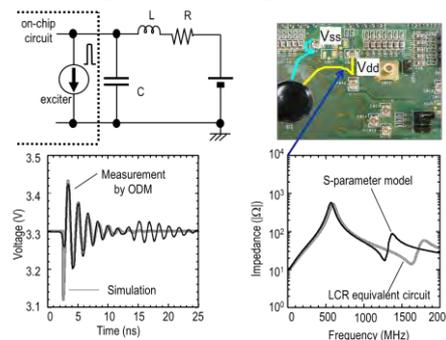


図 4-8-4 PDN と励振回路

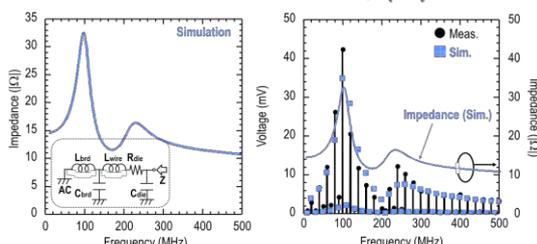
ODMによる電源ノイズおよび電源ネットワークの評価



▶ オンチップ回路から見たオフチップ電源インピーダンスについて、等価回路と素子値の導出にODM波形を利用

図 4-8-5 PDN の周波数特性評価

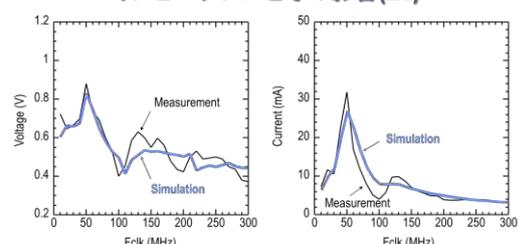
オンチップ回路から見たオフチップ電源インピーダンスとその影響(1/2)



▶ チップ上の回路からオフチップを見込んだ電源(PDN)インピーダンスの解析(実動作状態での直接インピーダンス測定はできない)
▶ 10 MHzで動作しているデジタル回路のオンチップ電源ノイズ周波数成分(上記のPDNインピーダンスの周波数応答特性と良く一致する)

図 4-8-6 PDN インピーダンスと電源ノイズ(1)

オンチップ回路から見たオフチップ電源インピーダンスとその影響(2/2)



▶ オンチップ回路の動作周波数とオンチップ電源電圧ノイズおよびオンボード電源電流ノイズの主成分の関係を測定と解析で評価
▶ オンチップ回路からオフチップを見込んだPDNインピーダンスが電源ノイズ周波数成分に大きく作用する→オンチップ電源インピーダンス変調の根拠

図 4-8-7 PDN インピーダンスと電源ノイズ(2)

4.9 メモリベース ID 生成技術

(1) SRAM のランダムビット不良を利用したメモリベース ID/暗号鍵生成技術(ルネサス・新居グループ)

①実施方法・実施内容

発展テーマの1つであるチップID生成について報告する。

LSI などの電子部品の粗悪な模造品の流通が問題 1)となっており、あらゆる電子部品に対して真正品と模造品を判別する技術が重要となっている。個別の部品ごとに複製不可能な認証コード(ID)を付加するのが一般的な手法であるが、ID の読み出し、複製を完全に排除することは困難である。これに対して、指紋のように、複製が困難な部品の性質を用いて、個別部品を認識しようという技術が PUF(Physically Unclonable Function) である。

我々はこの PUF として SRAM を用いることを提案している。SRAM はあらゆる SoC/マイコンで必ず用いられる IP であり追加 IP 不要ということ、SRAM セルは不純物ゆらぎによるランダムなトランジスタばらつきが大きく、そこから生成するデータのユニーク性が高いことなどのメリットがあるからである。

図 4-9-1 は、SRAM のランダム不良を用いたチップID生成機能の再現性を高めたブロック構成図を示す。チップID生成時にアシスト回路のバイアス条件を不良が発生しやすくなるように逆方向に制御(ワード線電位を昇圧)し、その不良アドレスをチップIDに用いる。

課題であった温度変化、電圧変動に対するID生成の再現性を高めるために、製品出荷前にあらかじめ必ず Pass もしくは Fail するアドレスを取得し、Fuse 等の不揮発素子に記憶させておく(Pass/Fail が不安定なアドレスを除くスクリーニングテストを実施する)。実使用時(ID 生成時)には不揮発素子に記憶してあるアドレス(安定して Pass もしくは Fail するアドレス)に対して MBIST を用いてテストを実施し、テスト結果が不良となるアドレスのみから、ID の生成を行う。また、Pass アドレスからは ID が生成されない(Pass アドレスは耐タンパ性の観点から偽のアドレスとして扱う)。

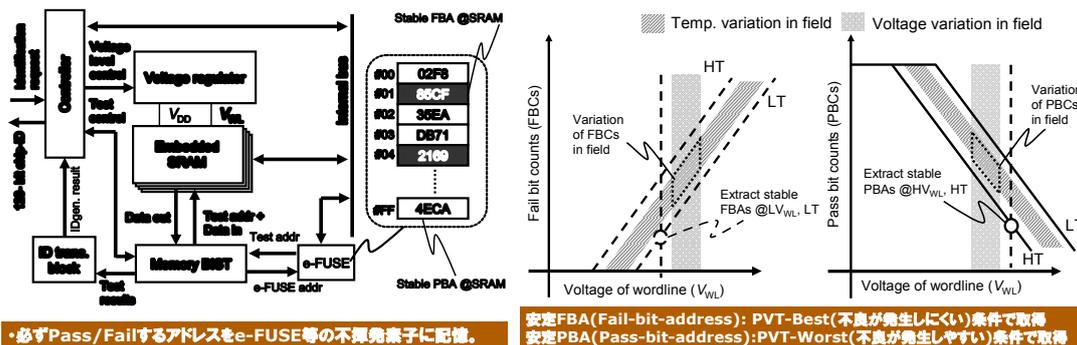


図 4-9-1

図 4-9-2

スクリーニングテストの方法を図 4-9-2 に示す。安定した不良アドレスを取得する場合、出荷前のテスト条件を実使用条件よりも不良が“発生しにくい”条件(低ワード線電位、低温)に設定する。こうすることにより、出荷前テストで取得された不良アドレスは実使用時において、必ず不良となる。同様に、安定したパスアドレスを取得する場合は、テスト条件よりも不良が“発生しやすい”条件(高ワード線電位、高温)に設定する。これら2つの手法を用いることによって、安定して Pass もしくは Fail するアドレスを不揮発素子に書き込み・記憶することが可能となる。

図 4-9-3 に 40nm プロセスを用いて試作を行ったチップ写真を示す。図 4-9-4 にスクリーニングテストの実測結果を示す。実使用を想定した条件(ワード線電位(Vwl): 1.5~1.55V、温度: 25°C~60°C)における不良アドレス(FBA)の個数は、スクリーニングテストの条件(Vwl: 1.45V、温度: -40°C)における不良アドレスの個数よりも常に大きくなっている。さらに、スクリーニングテストの条件で発生した全ての不良アドレスが、実使用の条件で発生した不良アドレスに含まれるという結果も確認済みである。パスアドレス(PBA)についても、同様の結果を取得することができた。

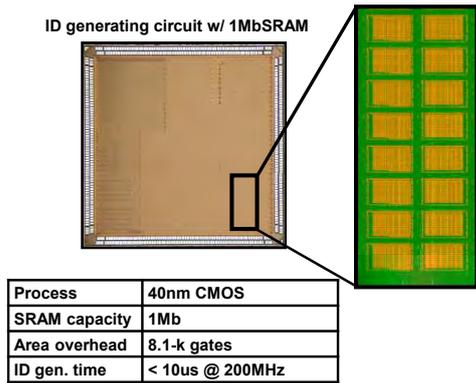
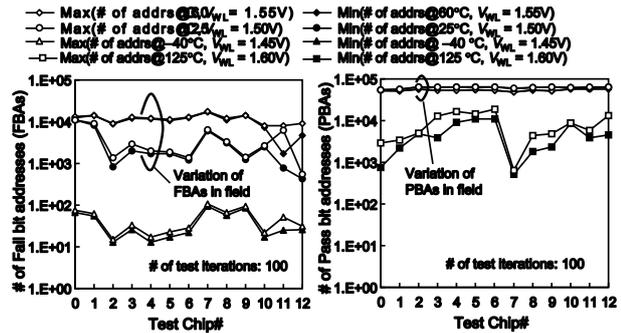


図 4-9-3



FBA@Field FBA@Test & PBA@Field PBA@Test
 になることを確認

図 4-9-4

以上から、提案するスクリーニング手法を用いることにより、温度変化、電圧変動に対するID生成の再現性の向上が可能であるということを確認することができた。

次に、PUFを用いた暗号技術について検討した。PUFのもっとも単純な利用方法はチップ(あるいはIP)の認証であるが、そのランダム性と秘匿性を考えると従来の暗号通信にも適用が可能と考えられる。図 4-9-5 は共通鍵・公開鍵ハイブリッド方式の暗号通信の例である。ここでは送信側の平文を暗号化して受信側に送信することを考える。従来技術であれば、まず受信側が乱数などを利用して秘密鍵と公開鍵を作り、公開鍵を送信側に渡す。送信側はまず共通鍵を作り、その共通鍵で平文を暗号化する。そして共通鍵そのものを受信側からもらった公開鍵で暗号化する。出来上がった暗号化共通鍵と暗号文を受信側に送付する。受信側ではまず秘密鍵を使って暗号化共通鍵を復号化し、できた共通鍵で暗号文を復号化する。ここでは、送信側の共通鍵と受信側の秘密鍵の秘匿性が問題になる。そこで PUF 技術を用いることによってこの秘匿性が向上させることが可能になる。

提案技術では、受信側は自らのチップ ID で秘密鍵と公開鍵を生成するが、同じチップ ID では同じ秘密鍵ができるので、必要な時にチップ ID から秘密鍵を生成すれば、秘密鍵自体は保存しておく必要がない。次に送信側は自らのチップ ID を共通鍵として利用する。これも普段は SRAM として使っている IP なので、共通鍵の保存が不要であり秘匿性が高い。

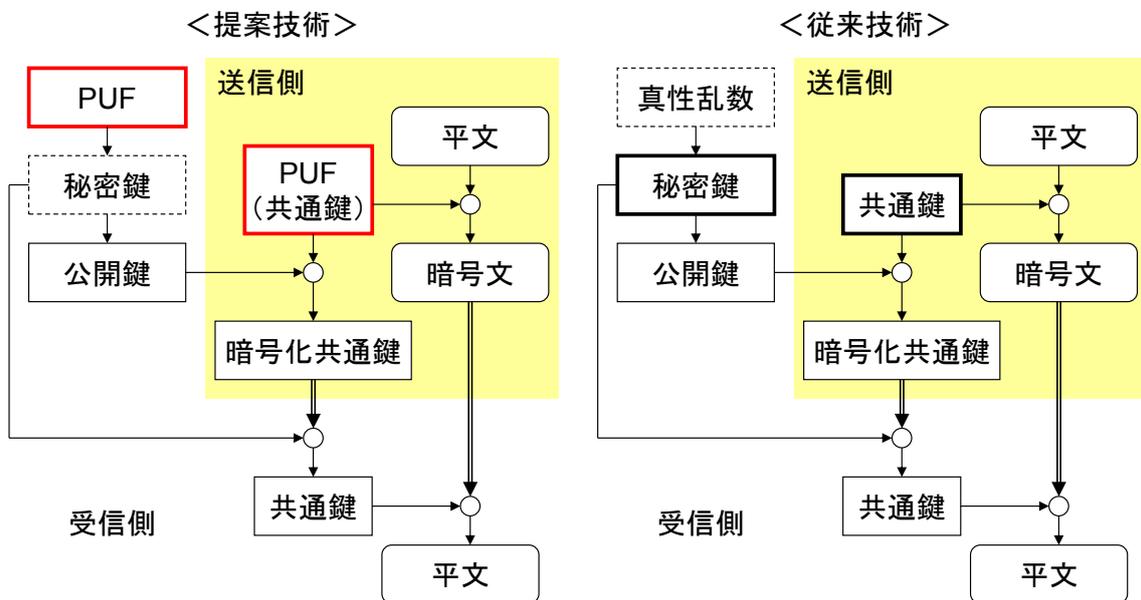


図 4-9-5 PUF を用いた暗号通信の例

最後に、チップ ID 生成機能をもった SRAM を用いてチップの真贋を認識するデモシステムを構築した。図 4-9-6 が評価ボードと照合用ソフトウェアを含めた照合システムである。このシステムでの動作を説明する。初期設定として、あらかじめ ID 情報を取得しその情報を外部パソコン内に保存しておく。デバイス認証時には、ボード上のチップにチップ ID 要求信号を送る。それを受け、チップ ID 生成機能ブロックが SRAM から ID 情報を読み出し、それを外部に送る。パソコンでは送られたチップ ID とあらかじめ保存していた ID を比較し、一致不一致

を判定する。このシステムにおいて SRAM-ID 生成を評価し、再現性よく ID が生成されることを確認した。



図 4-9-6 チップ ID 照合システム

②創造性

近年の SoC では少なくとも数 Mbit 規模のオンチップ SRAM とそれをテストする BIST 機能が内蔵されている。通常 SRAM として正常に動作するものの、微細化によりトランジスタのランダムばらつきが増加するため、規格範囲外の電圧条件では動作マージン不足によるビット不良が発生する。その不良アドレスがランダムに発生することに着目し、通常はメモリ機能を有する IP を必要に応じてチップ ID 生成機能として利用する方法を提案する。

PUF を用いた暗号システムにおいては、通常時は単なるメモリ IP として動作する SRAM-PUF を用いて鍵を生成することで秘匿性の高い方法を提案する。

③有用性

既存の SRAM IP 及び BIST 回路を使うことで面積オーバーヘッドを最小限に留めることができる。また大規模 SRAM でランダムに発生する不良アドレスを用いることで高い一意性を得ることができるため、チップ ID の偽装・模倣に対する耐性向上が期待でき、SoC のセキュリティ向上面で有用性が高い。暗号システムにおいては既存アルゴリズムを大きく変更するものではなく、簡単に置き換えるだけでセキュリティの向上が見込める。

④優位比較

これまで、ランダムばらつきを利用したチップ ID 生成方法は幾つか提案されているが、いずれも ID 生成専用ハード IP 化されたもので、面積オーバーヘッドが大きく、ハードウェアの設計コストが発生する。本提案手法では、既存 SRAM 及び BIST を有効活用することで、面積オーバーヘッドを最小限に抑えることができる。追加プロセスも必要とせず、小面積、低製造コストの面で他提案に比べて優位である。また、ヒューズのように固定長のチップ ID が存在する訳ではないため、タンパリング等による ID の盗難に対する耐性が高い。

暗号システムにおいては、ワンタイムパスワードなどによって鍵自体のセキュリティを保っているが、これはパスワードの同期など比較的難しい。そういう意味で、簡単に低コストで鍵のセキュリティを向上する本技術には優位性がある。

(2) 「“Low-and-Low”書き込みによるSRAM ID生成技術」(神戸大学・吉本グループ)

①内容

SRAMを構成するトランジスタにおけるしきい値電圧ばらつきを利用したチップID生成手法について報告する。図4-9-7は提案の“Low-and-Low”書き込みによる回路構成とそのシミュレーション波形を示したものである。通常書き込み動作時には片側のビット線(BL/BLN)を“Low”, もう一方のビット線を“High”としてデータの書き込みを行う。提案手法においてはビット線にID生成用のドライバ(MN0, MN1)を追加し, 同時に両ビット線を“Low”の状態とすることで, メモリセル固有のしきい値電圧ばらつきに応じたデータがメモリセルに記憶される。また, “Low-and-Low”書き込み時の貫通電流発生を防ぐため, メモリセル電源線(VBC)にスイッチ(MP0)を追加している。提案手法は3つの手順によってIDを生成する(図4-9-7)。始めにBCSW, BLCTRL, WLを“High”の状態として, メモリセルの両内部ノード(N0, N1)を放電する。メモリセル電源線をフローティング状態にして, ビット線ドライバによって内部ノードを放電した結果, メモリセル電源はPMOSトランジスタ(L0, L1)のしきい値の電圧となる。次にWLを“Low”として, データの書き込みを終了する。この時, 内部ノード電圧はL0, L1のしきい値電圧の違いによって異なる。最後にBCSWを“Low”としてメモリセルに電圧を再供給する。新たに保持されるデータはL0, L1のしきい値電圧の差に強く影響され, 再現性の高いIDの生成が可能となる。SRAMにおけるランダム不良を利用した「成果14」は, 加速試験を行い, マージンのないメモリセルを見つけ, そのアドレス情報からIDを生成する技術であり, 本提案はメモリセル内のロードトランジスタ(L0, L1)のしきい値電圧の差からチップ固有のID情報を生成するという点で異なる。

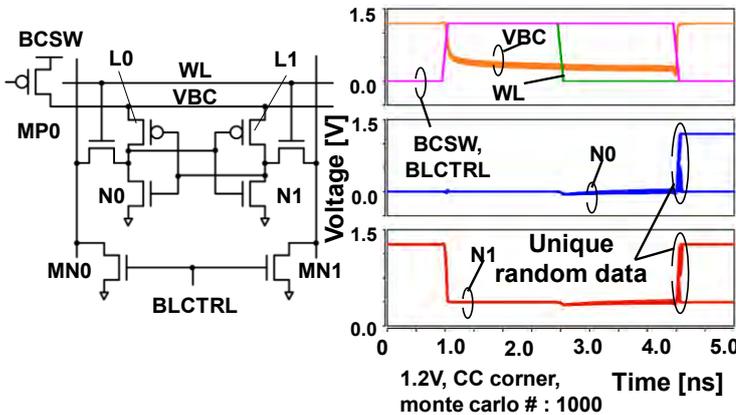


図4-9-7 提案回路図とシミュレーション波形

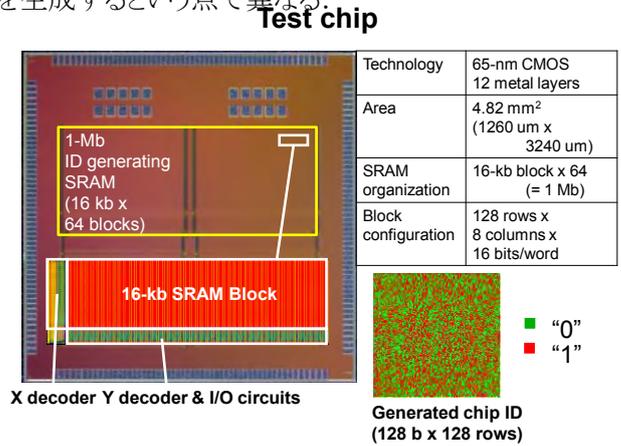


図4-9-8 試作チップ

次に試作結果について報告する。図4-9-8は試作したID生成SRAMのチップ写真と, 実測によって得られたランダムデータパターンの一例である。図4-9-9にハミング距離による評価結果を示す。ID長は128ビットとし, 温度, 電圧変化をさせて実測を行った。Known deviceとは事前にチップから生成されたIDと, 再度実測によって得られたIDを比較した際のデータを意味し, Latent deviceは事前にIDを登録していないデバイスでの比較結果を示している。Known deviceの平均値は1.38から3.44であり, Latent deviceの分布は平均値が64.88となる結果が得られた。この結果から, 提案手法を用いてチップ固有IDが生成されていることが示された。

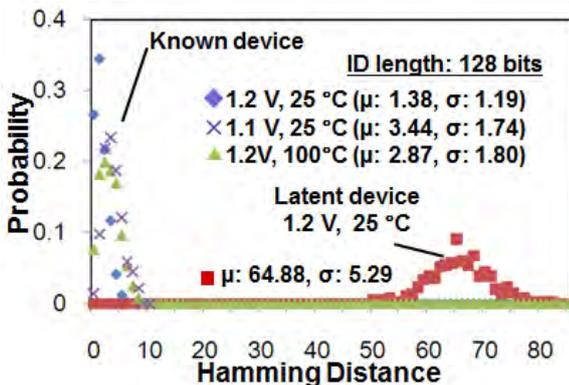


図4-9-9 ハミング距離による結果評価

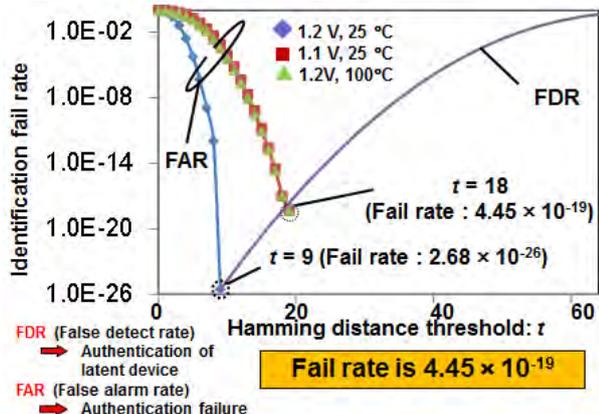


図4-9-10 誤認識率 (Identification fail rate)

図 4-9-10 は図 4-9-9 の結果から計算した誤認識率の評価結果である。ID 認証の際にハミング距離が 0 または、設定したしきい値 “t” よりも小さければ登録してある Known device であると認識することを仮定している。FAR (False alarm rate) は Known device を Latent device として誤認証する確率であり、FDR (False detection rate) は Latent device を Known device として認識する確率を示している。FAR と FDR は図 4-9-9 の分布を正規分布と仮定して確率密度関数から導出したものであり、FAR と FDR を比較し、悪い値を誤認識率として定義している。提案手法において、動作温度が 100 度、または動作電圧が -0.1V 低下した 1.1V 動作において、誤認識率 4.45×10^{-19} を実現している。

②有用性

近年、LSI におけるチップ固有のばらつきを利用して ID を生成する PUF (Physical Unclonable Function) が利用されている。PUF によって生成されるデータは予想不可能であり、製造過程において同一 ID を再現したチップを製造することは不可能であるため、チップ ID として有用である。提案手法は、チップ ID 生成専用の回路を必要とせず、一般的な SoC に内蔵されている SRAM を用いた ID 生成が可能であるため、コストや面積オーバーヘッドの点で優れている。上記に示した追加回路は、非常に簡素であり、試作を行った 16kb の SRAM ブロックにおける面積オーバーヘッドは 1.63%であった。また、実測結果から、誤認識率を 4.45×10^{-19} 確認しており、提案手法の ID を利用したセキュリティ向上が期待される。

③優位比較

従来の SRAM を用いた ID 生成手法として、電源投入時に記録されるデータをチップ ID とする手法が提案されている。しかし、一度電源が入った状態から再度 ID を生成するためには、SRAM の全電源 (VBC) を遮断し、内部ノードの電圧が完全に放電されるまで待たなければならない。完全に内部ノードの電圧が放電されていない場合、以前保持していたデータがそのまま記録されるため (図 4-9-11)、生成される ID の再現性低下につながる。また、提案手法は VBC の放電がしきい値電圧で止まるため、全ノードを完全に充放電する従来手法と比較し、42.6%の電力削減が可能となる (図 4-9-12)。次に、図 4-9-13 に ID の再現性実証結果を示す。

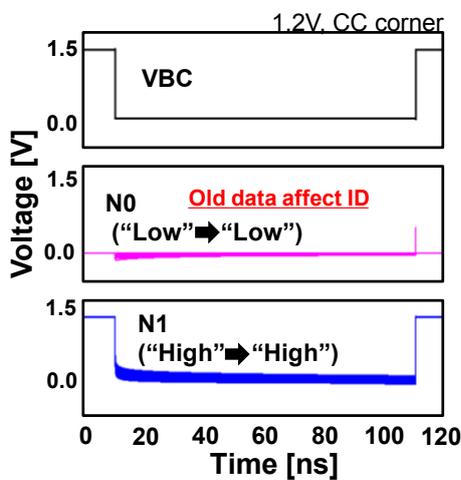


図 4-9-11 従来 ID 生成手法における問題点 (再現性低下)

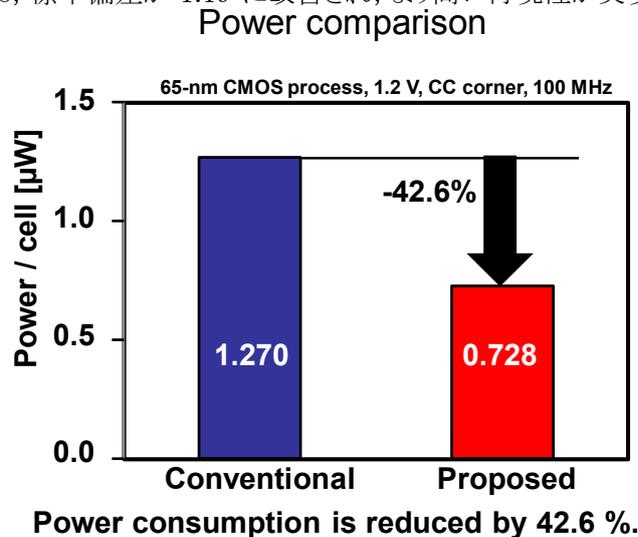


図 4-9-12 消費電力比較シミュレーション

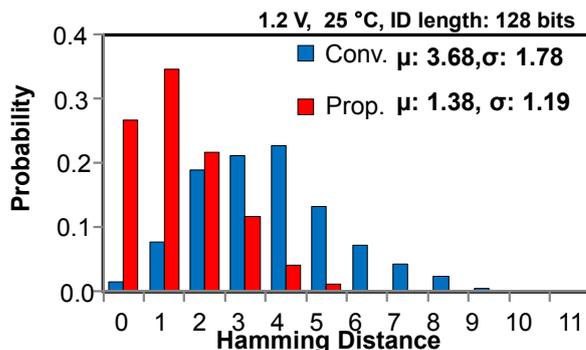


図 4-9-13 ID の再現性実証結果 (再現性向上)

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 0件、国際(欧文)誌 53件)

1. H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A 7T/14T Dependable SRAM and Its Array Structure to Avoid Half Selection," International Conference on VLSI Design 2009, New Delhi, India, pp. 295-300, Jan. 2009.
2. H. Fujiwara, S. Okumura, Y. Iguchi, H. Noguchi, H. Kawaguchi, and M. Yoshimoto, "A Dependable SRAM with 7T/14T Memory Cells," IEICE TRANS. on Electron., Vol.E92-C No.4, pp.423-432, Apr. 2009.
3. Mitsuya Fukazawa, Masanori Kurimoto, Rei Aakiyama, Hidehiro Takata, and Makoto Nagata, "Experimental Evaluation of Dynamic Power Supply Noise and Logical Failures in Microprocessor Operations," IEICE Trans. Electron., Vol. E92-C, No. 4, pp. 475-482, Apr. 2009. DOI: 10.1587/transele.E92.C.475
4. Tetsuro Matsuno, Daisuke Kosaka, and Makoto Nagata, "A Reference CMOS Circuit Structure for Evaluation of Dynamic Voltage Variation in Power Delivery Networks," in Extended Abstracts of the 2009 Intl. Conf. on Solid State Devices and Materials, pp. 1068-1069, Sep. 2009.
5. S. Okumura, S. Yoshimoto, K. Yamaguchi, Y. Nakata, H. Kawaguchi, and M. Yoshimoto, "7T SRAM Enabling Low-Energy Simultaneous Block Copy," Proceedings of IEEE Custom Integrated Circuits Conference (CICC) 2010, Dig. Tech. Papers, Sep. 2010.
6. Koji Nii (Renesas Electronics), "Dependable SRAM with Enhanced Read-/Write-Margins by Fine-Grained Assist Bias Control for Low-Voltage Operation," IEEE International SOC Conference, Las Vegas, Nevada, USA, Sep. 29, 2010
7. Tetsuro Matsuno, Daisuke Kosaka, and Makoto Nagata, "Modeling of Power Noise Generation in Standard-Cell Based CMOS Digital Circuits," IEICE Trans. Fundamentals., Vol. E93-A, No. 2, pp. 440-447, Feb.2010. DOI: 10.1587/transfun.E93.A.440
8. Tetsuro Matsuno, Daisuke Kosaka, and Makoto Nagata, "Reference CMOS Circuits and Test Structures for Evaluation of Dynamic Noise in Power Delivery Networks," Japanese. J. Appl. Phys., Vol. 49, No. 04DE01, pp. 1-5. Apr. 2010. DOI: 10.1143/JJAP.49.04DE01
9. Yohei Nakata, Shunsuke Okumura, Hiroshi Kawaguchi, and Masahiko Yoshimoto, "0.5-V Operation Variation-Aware Word-Enhancing Cache Architecture Using 7T/14T hybrid SRAM," ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED), pp.219-224, Austin, TX, US, Aug. 2010. (doi:10.1145/1840845.1840888)
10. S. Okumura, S. Yoshimoto, K. Yamaguchi, Y. Nakata, H. Kawaguchi, and M. Yoshimoto, "7T SRAM Enabling Low-Energy Simultaneous Block Copy," Proceedings of IEEE Custom Integrated Circuits Conference (CICC), Dig. Tech. Papers, Sep. 2010.
11. Koji Nii, "Dependable SRAM with Enhanced Read-/Write-Margins by Fine-Grained Assist Bias Control for Low-Voltage Operation," IEEE International SOC Conference, Las Vegas, Nevada, USA, Sep., 2010
12. Masahiro Yoshikawa, Shunsuke Okumura, Yohei Nakata, Yuki Kagiya, Hiroshi Kawaguchi, Masahiko Yoshimoto, "Block-Basis On-Line BIST Architecture for Embedded SRAM Using Wordline and Bitcell Voltage Optimal Control", The International Symposium on Quality Electronic Design (ISQED), Mar. 2011 Santa Clara, CA USA
13. S. Yoshimoto, T. Amashita, D. Koziwa, T. Takata, M. Yoshimura, Y. Matsunaga, H. Yasuura, H. Kawaguchi, and M. Yoshimoto, "Multiple-Bit- Upset Tolerant 8T SRAM Cell Layout with Divided Wordline Structure," Proceedings of Silicon Errors in Logic - System Effects (SELSE), pp. 106 -111, Mar. 2011.
14. S. Yoshimoto, T. Amashita, S. Okumura, K. Yamaguchi, M. Yoshimoto and H. Kawaguchi, "Bit Error and Soft Error Hardenable 7T/14T SRAM with 150-nm FD-SOI Process," IEEE International Reliability Physics Symposium (IRPS), pp. 876-881, Apr. 2011.
15. Kumpei Yoshikawa, Takushi Hashida, Makoto Nagata, "An On-Chip Waveform Capturer for Diagnosing Off-Chip Power Delivery (Invited)," in Proc. 2011 IEEE International Conference on Integrated Circuit Design and Technology (ICICDT 2011), #C3, May 2011.
16. Y. Nakata, Y. Ito, Y. Sugure, S. Oho, Y. Takeuchi, S. Okumura, H. Kawaguchi and M. Yoshimoto, "Model-Based Fault Injection for Failure Effect Analysis -Evaluation of Dependable SRAM for Vehicle Control Units-," 5th Workshop on Dependable and Secure Nanocomputing (WDSN), in conjunction with the 41st International Conference on Dependable Systems and Networks (DSN), Jun. 2011.
17. H. Fujiwara, M. Yabuuchi, H. Nakano, H. Kawai, K. Nii and K. Arimoto, "A Chip-ID generating circuit for dependable LSI using random address errors on embedded SRAM and on-chip memory BIST," VLSI Circuits, pp. 76-77, June 2011.

18. S. Yoshimoto, T. Amashita, D. Kozuwa, T. Takata, M. Yoshimura, Y. Matsunaga, H. Yasuura, H. Kawaguchi and M. Yoshimoto, "Multiple-Bit-Upset and Single-Bit-Upset Resilient 8T SRAM Bitcell Layout with Divided Wordline Structure," IEEE International On-Line Testing Symposium (IOLTS), pp.151-156, Jul. 2011.
19. S. Okumura, S. Yoshimoto, H. Kawaguchi and M. Yoshimoto, "A 128-bit Chip Identification Generating Scheme Exploiting SRAM Bitcells with Failure Rate of 4.45×10^{-19} ," Proceedings of IEEE European Solid-State Circuits Research Conference (ESSCIRC), Sep. 2011.
20. S. Okumura, Y. Nakata, K. Yanagida, Y. Kagiya, S. Yoshimoto, H. Kawaguchi, and M. Yoshimoto, "Low-Power Block-Level Instantaneous Comparison 7T SRAM for Dual Modular Redundancy," Proceedings of IEEE Custom Integrated Circuits Conference (CICC), Sep. 2011.
21. Kumpei Yoshikawa, Yuuta Sasaki, Kouji Ichikawa, Yoshiyuki Saito, Makoto Nagata, "Measurements and Co-Simulation of On-Chip and On-Board AC Power Noise in Digital Integrated Circuits," in Proc. IEEE 8th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011), Nov. 2011.
22. Takuya Sawada, Taku Toshikawa, Kumpei Yoshikawa, Hidehiro Takata, Koji Nii, Makoto Nagata, "Immunity Evaluation of SRAM Core Using DPI with On-Chip Diagnosis Structures," in Proc. IEEE 8th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2011), Nov. 2011.
23. Takuya Sawada, Taku Toshikawa, Kumpei Yoshikawa, Hidehiro Takata, Koji Nii, Makoto Nagata, "Evaluation of SRAM-Core Susceptibility against Power Supply Voltage Variation," IEICE Transactions on Electronics, Vol. E95-C, No. 4, pp. 586-593, DOI: 10.1587/transele.E95.C.586, Apr. 2012.
24. S. Yoshimoto, T. Amashita, S. Okumura, K. Nii, H. Kawaguchi, and M. Yoshimoto, "NMOS-Inside 6T SRAM Layout Reducing Neutron-Induced Multiple Cell Upsets," IEEE International Reliability Physics Symposium (IRPS), pp. 5B.5.1-5, Apr. 2012.
25. Yuta Sasaki, Kumpei Yoshikawa, Kouji Ichikawa, Makoto Nagata, "Co-Evaluation of Power Supply Noise of CMOS Microprocessor using On-Board Magnetic Probing and On-Chip Waveform Capturing Techniques," in Proc. IEEE 2012 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2012), #S-1, pp. 70-71, May 2012.
26. J. Jung, Y. Nakata, S. Okumura, H. Kawaguchi, and M. Yoshimoto, "A Variation-Aware 0.57-V Set-Associative Cache with Mixed Associativity Using 7T/14T SRAM," IEEE Failure Tension Failure Consumption (FTFC), pp. 1-4, Jun. 2012.
27. S. Yoshimoto, T. Amashita, M. Yoshimura, Y. Matsunaga, H. Yasuura, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "Neutron-Induced Soft Error Rate Estimation for SRAM Using PHITS," IEEE International On-Line Testing Symposium (IOLTS), pp. 173-176, Jun. 2012.
28. S. Yoshimoto, T. Amashita, S. Okumura, K. Nii, M. Yoshimoto, and H. Kawaguchi, "Bit-Error and Soft-Error Resilient 7T/14T SRAM with 150-nm FD-SOI Process," IEICE Trans. Fundamentals, Vol. E95-A, No. 8, pp. 1359-1365, DOI: 10.1587/transfun.E95.A.1359, Aug. 2012.
29. Takuya Sawada, Hidehiro Takata, Koji Nii, Makoto Nagata, "Sensitivity of SRAM Operation against AC Power Supply Voltage Variation," in Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials (SSDM 2012), #J-3-1, pp. 1128-1129, Sep. 2012.
30. Hidehiro Fujiwara, Makoto Yabuuchi, Yasumasa Tsukamoto, Hirofumi Nakano, Hiroyuki Kawai and Koji Nii, "A Stable Chip-ID Generating Physical Uncloneable Function Using Random Address Errors in SRAM," Proceedings of IEEE SoC Conference (SOCC), Sep. 2012.
31. S. Yoshimoto, T. Amashita, S. Okumura, H. Kawaguchi, and M. Yoshimoto, "Multiple-Bit-Upset and Single-Bit-Upset Resilient 8T SRAM Bitcell Layout with Divided Wordline Structure," IEICE Trans. Electron., Vol. E95-C, No. 10, pp. 1675-1681, DOI: 10.1587/transele.E95.C.1675, Oct. 2012.
32. Takeshi Okumoto, Kumpei Yoshikawa, Makoto Nagata, "Monitoring Effective Supply Voltage within Power Rails of Integrated Circuits," in Proc. 2012 IEEE Asian Solid-State Circuits Conference (A-SSCC 2012), #4-4, pp. 113-116, Nov. 2012.
33. Kumpei Yoshikawa and Makoto Nagata, "Co-simulation of AC Power Noise of CMOS Microprocessor using Capacitor Charging Modeling," in Proc. IEEE CPMT Symposium Japan 2012 #19-2, pp. 293-296, Dec. 2012.
34. Kumpei Yoshikawa, Yuta Sasaki, Kouji Ichikawa, Yoshiyuki Saito, Makoto Nagata, "Co-simulation of On-Chip and On-Board AC Power Noise of CMOS Digital Circuits," IEICE Transactions on Fundamentals, Vol. E95-A, No. 12, pp. 2284-2291, DOI: 10.1587/transfun.E95.A.2284, Dec. 2012.
35. S. Okumura, S. Yoshimoto, H. Kawaguchi, and M. Yoshimoto, "A 128-bit Chip Identification Generating Scheme Exploiting Load Transistor's Variation in SRAM Bitcells," IEICE Trans. Fundamentals, Vol. E95-A

No. 12, pp.2226-2233, DOI:10.1587/transfun.E95.A.2226, Dec. 2012

36. S. Okumura, S. Yoshimoto, H. Kawaguchi and M. Yoshimoto, "A Physical Unclonable Function Chip Exploiting Load Transistors' Variation in SRAM Bitcells," IEEE Asia and South Pacific Design Automation Conference (ASP-DAC) University LSI Design Contest, pp.79-80, Jan. 2013.
37. Y. Nakata, Y. Ito, Y. Takeuchi, Y. Sugure, S. Oho, H. Kawaguchi, and M. Yoshimoto, "Model-Based Fault Injection for Large-Scale Failure Effect Analysis with 600-Node Cloud Computers," DATE RIIF Workshop, Mar. 2013.
38. Y. Takeuchi, Y. Nakata, Y. Ito, Y. Sugure, S. Oho, H. Kawaguchi, and M. Yoshimoto, "SRAM Failure Injection to a Vehicle ECU and Its Behavior Evaluation," DATE RIIF Workshop, Mar. 2013.
39. Takuya Sawada, Kumpei Yoshikawa, Hidehiro Takata, Koji Nii, Makoto Nagata, "Measurements of SRAM Sensitivity against AC Power Noise with Effects of Device Variation," in Proc. 2013 IEEE International Conference on Microelectronic Test Structures (ICMTS 2013), #4.2, pp. 77-80, Mar. 2013.
40. Takuya Sawada, Hidehiro Takata, Koji Nii, Makoto Nagata, "False Operation of Static Random Access Memory Cells under Alternating Current Power Supply Voltage Variation," Japanese Journal of Applied Physics, Vol. 52, No. 4, pp. 04CE14-1-04CE14-5, Apr. 2013. DOI: 10.7567/JJAP.52.04CE14.
41. J. Jung, Y. Nakata, S. Okumura, H. Kawaguchi, and M. Yoshimoto, "Reconfiguring Cache Associativity: Adaptive Cache Design for Wide-Range Reliable Low-Voltage Operation Using 7T/14T SRAM," IEICE Trans. Electron., Vol. E96-C, No. 4, pp. 528-537, Apr. 2013.
42. Takeshi Okumoto, Kumpei Yoshikawa, Makoto Nagata, "Design of Effective Supply Voltage Monitor for Measuring Power Rails of Integrated Circuits," IEICE Transactions on Electronics, Vol. E96-C, No. 4, pp. 538-545, Apr. 2013.
43. Yuji Harada, Kumpei Yoshikawa, Noriyuki Miura, Makoto Nagata, Akitaka Murata, Syuji Agatsuma, Kouji Ichikawa, "Power-Noise Measurements of Small-Scale Inverter Chains," in Proc. IEEE 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2013), #PS-03, pp. 102-103, May 2013.
44. S. Yoshimoto, S. Okumura, K. Nii, H. Kawaguchi, and M. Yoshimoto, "Multiple-Cell-Upset Tolerant 6T SRAM Using NMOS-Centered Cell Layout," IEICE Trans. Fundamentals, Vol. E96-A, No. 7, pp. 1579-1585, July 2013.
45. S. Yoshimoto, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "Soft-Error Tolerant N-P Reversed 6T SRAM Cell," IEEE Nuclear and Space Radiation Effects Conference (NSREC), July 2013.
46. Kumpei Yoshikawa, Yuji Hara, Noriyuki Miura, Noriaki Takeda, Yoshiyuki Saito, and Makoto Nagata, "Immunity Evaluation of Inverter Chains against RF Power on Power Delivery Network," in Proc. IEEE EMC Compo, pp. 232-237, Dec. 2013.
47. G. Matsukawa, Y. Nakata, Y. Kimi, Y. Sugure, M. Shimosawa, S. Oho, H. Kawaguchi, and M. Yoshimoto, "A Low-Latency DMR Architecture with Efficient Recovering Scheme Exploiting Simultaneously Copiable SRAM," ARCS VERFE Workshop, Feb. 2014.
48. Makoto Yabuuchi, Yasumasa Tsukamoto, Masao Morimoto, Miki Tanaka and Koji Nii, "20nm High-Density Single-Port and Dual-Port SRAMs with Wordline-Voltage-Adjustment System for Read/Write Assists," IEEE International Solid Circuits Conference, Dig., Tech., Papers, Feb. 2014.
49. Y. Nakata, Y. Kimi, S. Okumura, J. Jung, T. Sawada, T. Toshikawa, M. Nagata, H. nakano, M. Yabuuchi, H. Fujiwara, K. Nii, H. Kawai, H. Kawaguchi, and M. Yoshimoto, "A 40-nm Resilient Cache Memory for Dynamic Variation Tolerance with Bit-Enhancing Memory and On-Chip Diagnosis Structures Delivering x91 Failure Rate Improvement," IEEE International Symposium on Quality Electronic Design (ISQED), pp.16-23, Mar. 2014.
50. H. Fujiwara, M. Yabuuchi and Koji Nii, "Assessing Uniqueness and Reliability of SRAM-based Physical Unclonable Functions from Silicon Measurements in 45-nm bulk CMOS", to be published in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), March 2014.
51. Kumpei Yoshikawa, Kouji Ichikawa, and Makoto Nagata, "AC Power Supply Noise Simulation of CMOS Microprocessor with LSI Chip-Package-Board Integrated Model," IEICE Transactions on Electronics Vol.E97-C No.4 pp. 264-271, Apr. 2014.
52. Taisuke Hayashi, Noriyuki Miura, Kumpei Yoshikawa, and Makoto Nagata, "A Passive Supply-Resonance Suppression Filter Utilizing Inductance-Enhanced Coupled Bonding-Wire Coils," International Symposium on VLSI Design, Automation, and Test, Apr. 2014, to appear.
53. S. Tanaka, Y. Ishii, M. Yabuuchi, T. Sano*, K. Tanaka, Y. Tsukamoto, K. Nii and H. Sato, "A 512-kb 1-GHz 28-nm Partially Write-Assisted Dual-Port SRAM with Self-Adjustable Negative Bias Bitline," IEEE VLSI Circuits Symp. Dig., June 2014, to be published.

(2)その他の著作物(総説、書籍など)

1. 永田真、「VLSI 電源ノイズの観測・解析と究明」、電磁環境工学情報(EMC)、No. 298、 pp. 77-88、Feb.

2013.

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 17 件、国際会議 4 件)

1. 吉本雅彦(神戸大学)「企画セッション:AI-1 ディペンダブルメモリへの挑戦」2008 年、信学全大
2. 永田 真(神戸大学)、「(受賞記念講演) デジタル LSI 電源ノイズのオンチップ観測とシミュレーション技術」、(社)エレクトロニクス実装学会総会、2009 年 5 月
3. 永田 真(神戸大学)、「オンチップ・ノイズモニタ技術」、第 6 回 IEEE CPMT Society Japan Chapter イブニングミーティング、2009 年 5 月
4. Makoto Nagata, “On-Chip Power Supply Noise Measurements,” Proceedings of 2009 VLSI Circuits Short Course Program, pp. 139-161, June 2009.
5. H. Kawaguchi, “(Invited) Low-Power Control Techniques for Silicon and Organic Circuits with Array Structures,” Proceedings of IEEE Conference on Control Applications (CCA), pp. 326-333, July 2009. DOI: 10.1109/CCA.2009.5280953
6. 川口 博(神戸大学)、「SRAM における ULP 技術」、Ultra-Low Power Forum (ULP Forum)、2009 年 9 月。
7. 永田 真(神戸大学)、「(招待講演)オンチップ・ノイズモニタ技術」、IEEE SSC Society Kansai Chapter Technical Seminar、2009 年 10 月
8. 永田 真(神戸大学)、「SoC のオンチップ雑音評価技術」、2010 最先端実装技術シンポジウム、東京、2010 年 6 月 4 日
9. 永田 真(神戸大学)、「VLSI の電源ノイズ・基板ノイズと測定技術」、165 委員会・VLSI 夏の学校、東京、2010 年 8 月 23 日
10. Kumpei Yoshikawa, Takushi Hashida, Makoto Nagata, “An On-Chip Waveform Capturer for Diagnosing Off-Chip Power Delivery,” IEEE International Conference on IC Design and Technology (ICICDT), Invited Talk, Apr. 2011.
11. 永田真(神戸大学)、「VLSI の電源ノイズ・基板ノイズと測定技術」、VLSI 夏の学校(第 165 委員会)、2011.8.19、豊中市
12. 永田真(神戸大学)、「VLSI チップの電源ノイズと EMC」、IEEE EMC Society Sendai Chapter・東北大学 EMC 仙台ゼミナール共催学生発表会、2011.12.15、仙台市
13. 永田真(神戸大学)、「(招待講演)VLSI チップの電源ノイズ～シリコン基板から電磁環境まで～」、電子情報通信学会技術報告 ICD2011-131, 143-148, 2011.12、大阪市
14. 永田真(神戸大学)、「VLSI チップの電源ノイズ ～シリコン基板から電磁環境まで～」、電気学会・高度化アナログ電子回路の高効率化設計技術調査専門委員会、2012.1.13、東京都
15. 永田真(神戸大学)、「CMOS デジタル回路における動的ノイズ」、電磁情報通信学会・電子デバイス研究会特別ワークショップ、2012.3.2、東京都
16. 藤原英弘(ルネサス)、藪内誠、中野裕文、河合浩行、新居浩二、有本和民「SRAM とオンチップメモリ BIST を用いたチップ ID 生成回路」、ICD 研究会、ICD2012-17、pp.91-95、2012 年 4 月
17. 永田真(神戸大学)、「LSI とシステムのノイズ問題」、LSI とシステムのワークショップ 2012 予稿集、pp. 101-109、2012 年 5 月、北九州市
18. 永田真(神戸大学)、「ノイズと LSI 回路設計技術」、第 29 回「センサ・マイクロマシンと応用システム」シンポジウム論文集、pp. 84-87、2012 年 10 月、北九州市
19. S. Oho, “Trend of ECU development in Japan – Virtual HILS,” FISITA 2012 World Automotive Congress, Beijing, Special Session (2012), Nov. 2012
20. 藤原英弘(ルネサス)、藪内誠、中野裕文、大和田徹、河合浩行、新居浩二「SRAM のランダムアドレスエラーを用いた PUF の安定化向上手法」ICD 研究会、ICD2012-114、pp.91-94、2012 年 12 月
21. 永田真(神戸大学)、「(招待講演)VLSI チップ・パッケージ・ボードを統合した電源系ノイズの実測と解析」、シリコンアナログ RF 研究会、2013 年 3 月 5 日。

② 口頭発表 (国内会議 26 件、国際会議 3 件)

1. 藤原英弘(神戸大学)、奥村俊介、井口友輔、野口紘希、川口博、吉本雅彦、「7T/14T ディペンダブル SRAM およびそのセル配置構造」2008 年、信学全大
2. 奥村 俊介(神戸大学)、藤原 英弘、井口 友輔、野口 紘希、川口 博、吉本 雅彦、「7T/14T ディペ

- ンダブル SRAM およびハーフセレクト回避セル配置構造」、電子情報通信学会技術研究報告、ICD2009-7、33-38 ページ、2009 年 4 月。
3. 中田 洋平(神戸大学)、川口 博、吉本 雅彦、「7T/14T SRAM を内部メモリに用いたマルチコアプロセッサアーキテクチャの検討」、DA シンポジウム、163-168 ページ、2009 年 8 月。
 4. 松野哲郎(神戸大学)、小坂大輔、永田真、「スタンダードセルベース CMOS デジタル回路の電源雑音解析手法」、平成21年度 情報処理学会関西支部大会、2009 年 9 月。
 5. 松野哲郎(神戸大学)、小坂大輔、永田真、「CMOS デジタル LSI における電源雑音評価のためのリファレンス回路」、電子情報通信学会技術報告、ICD2009-66、2009 年 12 月。
 6. 片下 敏宏、佐藤 証、永田 真、藤本 大介、菊地 克弥、仲川 博、青柳 昌宏、「サイドチャンネル標準シミュレーションモデル構築に向けた標準評価ボードの DPA 特性測定」、暗号と情報セキュリティシンポジウム(SCIS2010)、4B2-1、2010 年 1 月。
 7. 吉川 薫平(神戸大学)、松本 大、佐々木 悠太、永田 真、「CMOS デジタル LSI における電源雑音の周波数成分評価」、電子情報通信学会技術報告 ICD2010-83、福岡、2010 年 11 月
 8. 澤田 卓也(神戸大学)、利川 托、榊井 翼、永田 真、「SRAM コアにおけるオンチップ電源雑音の発生と注入の評価」、電子情報通信学会技術報告 ICD2010-84、福岡、2010 年 11 月
 9. 伊藤康宏(日立)、中田洋平、川口博、吉本雅彦、勝康夫、於保茂、「非実機環境上での故障注入技術による車載システムレベル信頼性評価技術」、電子情報通信学会技術研究報告、vol.110 no.317、VLD2010-73、DC2010-40,pp.119-123、2010 年 11 月
 10. 中田洋平(神戸大学)、伊藤康宏、勝康夫、於保茂、川口博、吉本雅彦、「システムレベル故障注入技術を用いたディペンダブルプロセッサアーキテクチャの評価・検証」、電子情報通信学会技術研究報告、vol. 110, no. 317, VLD2010-74, DC2010-41, pp. 125-130, 2010 年 11 月。
 11. 新居浩二(ルネサス エレクトロニクス)、藪内誠、藤原英弘、中野博文、石原和哉、河合浩行、有本和民、「細粒度アシストバイアス制御による R/W 動作マージン改善を図ったディペンダブルな低電圧 SRAM」、集積回路研究会(ICD)、富山県民会館、2011 年 8 月
 12. 佐々木悠太(神戸大学)、吉川薫平、永田真、「デジタル LSI のオンボード電流ノイズおよび PDN インピーダンスの測定評価」、電子情報通信学会ソサイエティ大会、C-12-42, pp. 117, 2011 年 9 月
 13. 吉川薫平(神戸大学)、佐々木悠太、永田真、「デジタル LSI のオンチップ電源ノイズ測定と PDN インピーダンスモデリング」、電子情報通信学会ソサイエティ大会、C-12-43, pp. 118, 2011 年 9 月
 14. 吉川薫平(神戸大学)、佐々木悠太、市川浩司、齊藤義行、永田真、「デジタル LSI におけるオンチップ・オンボード電源雑音の評価・協調解析手法」、電子情報通信学会集積回路研究会、2011 年 11 月
 15. 澤田卓也(神戸大学)、利川托、吉川薫平、高田英裕、新居浩二、永田真、「オンチップ診断機構と DPI を用いた SRAM コアのイミュニティ評価」、電子情報通信学会集積回路研究会、2011 年 11 月
 16. 利川托(神戸大学)、澤田卓也、吉川薫平、高田英裕、新居浩二、永田真、「オンチップ電源ノイズ離散化手法と RF 直接電力注入による SRAM のイミュニティ評価への応用」、電子情報通信学会総合大会、C-12-2、2012 年 3 月
 17. 吉川薫平、佐々木悠太、市川浩司、永田真、「デジタル LSI の電源ノイズに関するオンボードおよびオンチップ測定の統合評価」、電子情報通信学会技術報告、EMCJ2012-7、pp. 37-42、2012 年 4 月、金沢市
 18. 梅木洋平、奥村俊介、中田洋平、柳田晃司、鍵山祐輝、吉本秀輔、川口博、吉本雅彦、「低エネルギー比較機能を有する DMR 応用 7T SRAM,」 信学技報, vol. 112, no. 15, ICD2012-16, pp. 85-90, 2012 年 4 月、岩手。
 19. 奥村俊介、吉本秀輔、川口博、吉本雅彦、「SRAM セルを用いた Low 書込みによるチップ ID 生成手法,」 信学技報, vol. 112, no. 15, ICD2012-18, pp. 97-102, 2012 年 4 月、岩手。
 20. Y. Nakata, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "Trading off ECU Footprint for Reliability in X-by-Wire Application with Hybrid TMR Architecture," DAC International Workshop on System Level-Design of Automotive Electronics/Software (SLDAES), Jun. 2012.
 21. 鄭晋旭、中田洋平、奥村俊介、川口博、吉本雅彦、「プロセスばらつきを考慮した低電圧動作混合連想度キャッシュ構造,」 信学技報, vol. 112, no. 170, ICD2012-31, pp. 1-6, 札幌, 2012 年 8 月。
 22. 吉川薫平、佐々木悠太、市川浩司、齊藤義行、永田真、「デジタル LSI における LSI チップ・パッケージ・ボードを統合した電源雑音協調評価」、電子情報通信学会技術報告、VLD2012-91、pp. 183-188、2012 年 11 月、福岡市
 23. 永田真、「LPB 統合ノイズ解析～テストチップにおけるオンチップとオンボードのノイズを例題として～」、Electronic Design and Solution Fair 2012、2012 年 11 月、横浜市

※【特別展示】LPBゾーン・IBISゾーンにおける講演及び出展

24. 澤田卓也(神戸大学)、高田英裕、新居浩二、永田真、「動的電源電圧変動に対するSRAM コアの動作不良感度」、第27回エレクトロニクス実装学会春季講演大会、13C-10、pp. 88-90、2013年3月。
25. 澤田卓也(神戸大学)、吉川薫平、高田英裕、新居浩二、永田真、「SRAMのAC電源変動に対する不良応答と素子ばらつきの影響」、電子情報通信学会総合大会、C-12-9、pp. 80、2013年3月。
26. 佐々木悠太(神戸大学)、竹内祐二、吉川薫平、永田真、「バッテリー駆動型オンチップ電源雑音モニタシステムの構築」、電子情報通信学会総合大会、C-12-52、pp. 123、2013年3月。
27. 吉本秀輔(神戸大学)、和泉慎太郎、川口博、吉本雅彦、「マルチビットアップセット耐性を有するNMOS内側レイアウトを用いた6T SRAM」, 信学技報, vol. 113, no. 1, ICD2013-23, p.121-126, 2013年4月。
28. Y.Sugure, Y.Ito, Y.Nakata, Y.Takeuchi, H.Kawaguchi, M. Yoshimoto, and S.Oho, "Failure Modes and Effects Analysis Using Virtual Prototyping System with Microcontroller Model for Automotive Control System," 7th IFAC Symposium on Advances in Automotive Control (IFAC-AAC), Sep. 2013.
29. Satoshi Shimada, Kenta Morishima, Shigeru Oho, "Virtual Development of Automotive Control Systems," 7th IFAC Symposium on Advances in Automotive Control (IFAC-AAC), Sep. 2013.

③ ポスター発表 (国内会議 16件、国際会議 0件)

1. 中田洋平(神戸大学)、川口博、吉本雅彦、「7T/14T SRAM を内部メモリに用いたマルチコアプロセッサアーキテクチャ」、LSIとシステムのワークショップ 2010, pp209-211, 2010年5月。
2. 奥村俊介(神戸大学)、鍵山祐輝、吉本秀輔、山口幸介、中田洋平、川口博、吉本雅彦、「ブロッカー括コピー機能を有する7T SRAM」電子情報通信学会 CEATEC JAPAN 2010
3. 連携企画研究報告(Digital Harmony を支えるプロセッサと DSP, 画像処理の最先端), 49-54 ページ, 2010年, 10月
4. 利川 托(神戸大学)、梶井 翼、澤田 卓也、永田 真、「SRAM コアにおける電源/グラウンド雑音の評価」、電子情報通信学会技術報告 ICD2010-112、東京、2010年12月16日
5. 天下 卓郎(神戸大学)、吉本 秀輔、小津和 大昌、高田 大河、吉村 正義、松永裕介、安浦 寛人、川口 博、吉本 雅彦、「マルチビットアップセット耐性を備えた8T SRAMセルレイアウト」、LSI とシステムのワークショップ 2011, pp.209-211, 北九州市, 2011年5月。
6. 鄭 晋旭(神戸大学)、中田 洋平、奥村 俊介、川口 博、吉本 雅彦、「7T/14T SRAM の細粒度制御による低電圧動作キャッシュアーキテクチャ」、LSI とシステムのワークショップ 2011, pp.209-211, 北九州市, 2011年5月。
7. 竹内 勇介(神戸大学)、中田 洋平、伊藤 康宏、勝 康夫、於保 茂、川口 博、吉本 雅彦、「システムレベル故障注入技術によるディペンダブルメモリを搭載したプロセッサの評価・検証」、LSI とシステムのワークショップ 2011, pp.209-211, 北九州市, 2011年5月。
8. 吉本 秀輔(神戸大学)、天下 卓郎、奥村 俊介、山口 幸介、吉本 雅彦、川口 博、「ビットエラー耐性及びソフトエラー耐性を備えた FD-SOI 7T/14T SRAM」, LSI とシステムのワークショップ 2011, pp.209-211, 北九州市, 2011年5月。
9. 鍵山 祐輝(神戸大学)、奥村 俊介、吉本 秀輔、中田 洋平、川口 博、吉本 雅彦、「ブロッカー括コピー機能を有する7T SRAM」, LSI とシステムのワークショップ 2011, pp.209-211, 北九州市, 2011年5月。
10. 佐々木悠太、吉川薫平、原田祐二、永田真、「LSI チップ・パッケージ・ボード(LPB)統合電源インピーダンスを考慮した電源雑音の測定と解析」、LSI とシステムのワークショップ 2012, pp. 237-239, 北九州市, 2012年5月。
11. 柳田晃司、奥村俊介、中田洋平、鍵山祐輝、吉本秀輔、川口博、吉本雅彦、「低エネルギー比較機能を有する DMR 応用 7T SRAM」, LSI とシステムのワークショップ 2012, pp.186-188, 北九州市, 2012年5月。
12. 奥村俊介、吉本秀輔、川口博、吉本雅彦、「SRAMセルを用いた Low 書込みによるチップ ID 生成手法」, LSI とシステムのワークショップ 2012, pp.201-203, 北九州市, 2012年5月。
13. 鄭晋旭、中田洋平、奥村俊介、川口博、吉本雅彦、「低電圧動作マージン拡大機能を有する連想度可変キャッシュ」, LSI とシステムのワークショップ 2012, pp. 207-209, 北九州市, 2012年5月。
14. 吉本秀輔(神戸大学)、和泉慎太郎、川口博、吉本雅彦、「核反応シミュレータを用いたソフトウェア率導出ツール及び耐マルチビットエラー6T SRAM」, LSI とシステムのワークショップ 2013 ポスターセッション, 2013年5月。

15. 藤川飛鳥(神戸大学), 竹内勇介, 中田洋平, 伊藤康宏, 勝康夫, 於保茂, 川口博, 吉本雅彦, "車載 ECU の SRAM への故障注入による自動車制御システムの挙動評価," LSI とシステムのワークショップ 2013 ポスターセッション, 2013 年 5 月.
16. 松川豪(神戸大学), 中田洋平, 伊藤康宏, 竹内勇介, 勝康夫, 於保茂, 川口博, 吉本雅彦, "クラウドコンピュータを用いたディペンダブルプロセッサの大規模故障注入評価," LSI とシステムのワークショップ 2013 ポスターセッション, 2013 年 5 月.

(4)知財出願

①国内出願 (14 件)

1. 半導体メモリのハーフセレクト防止セル配置、吉本雅彦、川口博、藤原英弘、奥村俊介、2009/1/4、特願 2009-000012
2. 半導体装置、篠原尋史、新居浩二、2009/3/27、特願 2009-79706
3. 半導体メモリのメモリセル間のデータコピー方法、吉本雅彦、川口博、藤原英弘、奥村俊介、2009/3/30、特願 2009-82996
4. 共有キャッシュメモリとそのキャッシュ間のデータ転送方法、吉本雅彦、川口博、藤原英弘、奥村俊介、2009/3/30、特願 2009-82997
5. 不良メモリーセルの予知診断アーキテクチャーと予知診断方法、吉本雅彦、川口博、藤原英弘、奥村俊介、2009/3/30、特願 2009-82998
6. 半導体装置、藤原英弘、新居浩二、藪内誠、有本和民、2010/8/23、特願 2010-186040
7. 低電圧動作の半導体メモリ、吉本 雅彦、川口 博、中田 洋平、奥村 俊介、2010/8/24、特願 2010-181481
8. データー一括比較処理回路、データー一括比較処理方法およびデーター一括比較プログラム、吉本雅彦、川口博、奥村俊介、2010/9/29、特願 2010-219902
9. メモリセルアレイを用いたIDチップおよびその生成方法、吉本雅彦、川口博、奥村俊介、2010/9/29、特願 2010-219910
10. 半導体装置、および半導体装置の識別情報生成方法、磯田正典、藤原英弘、新居浩二、2012/5/29、特願 2012-122080
11. 半導体装置、藤原英弘、2012/7/6、特願 2012-152502
12. 半導体装置、藤原英弘、藪内誠、新居浩二、斉藤良和、2012/9/10、特願 2012-198732
13. 高信頼マルチコアプロセッサ、吉本雅彦、川口博、中田洋平、2012/11/12、特願 2012-248880
14. 低電圧動作キャッシュメモリ、吉本雅彦、川口博、中田洋平、奥村俊介、鄭晋旭、2012/12/6、特願 2012-267445

②海外出願 (1 件)

1. US01/13/215217、藤原英弘、新居浩二、藪内誠、有本和民、「半導体装置」、2011/8/22

(5)受賞・報道等

①受賞

1. 永田 真、岩田 穆、「デジタル LSI 電源ノイズのオンチップ観測とシミュレーション技術」、平成 21 年度技術賞、(社)エレクトロニクス実装学会、2009 年 5 月
2. 中田洋平、川口博、吉本雅彦、「7T/14T SRAM を内部メモリに用いたマルチコアプロセッサアーキテクチャ」、LSI とシステムのワークショップ 2010 最優秀ポスター賞、2010 年 5 月.
3. 奥村俊介、「7T/14T ディペンダブル SRAM およびハーフセレクト回避セル配置構造」、電子情報通信学会 集積回路研究会 優秀若手講演賞、2010 年 5 月 17 日
4. 中田洋平、川口博、吉本雅彦、「7T/14T SRAM を内部メモリに用いたマルチコアプロセッサアーキテクチャの検討」、DA シンポジウム 2009 優秀発表学生賞、2010 年 9 月.
5. 吉本 秀輔、天下 卓郎、奥村 俊介、山口 幸介、吉本 雅彦、川口 博、「ビットエラー耐性及びソフトエラー耐性を備えた FD-SOI 7T/14T SRAM」、LSI とシステムのワークショップ 2011、IEEE SSCS Japan Chapter Academic Research Award、2011 年 5 月.
6. 奥村 俊介、「ブロッカー一括コピー機能を有する 7T SRAM」、第 146 回 SLDM 研究会、優秀発表学生賞、2011 年 8 月.

7. S. Yoshimoto, K. Nii, H. Kawaguchi, and M. Yoshimoto, "Multiple-Cell-Upset Hardened 6T SRAM Using NMOS-Centered Layout," IEEE International Meeting for Future of Electron Devices Kansai (IMFEDK), IEEE SSCS Kansai Chapter IMFEDK 2013 Student Paper Award, June 2013.
8. 吉本秀輔, "マルチセルアップセット耐性を有する NMOS 内側レイアウト 6T SRAM セル," VDEC デザイナーズフォーラム, VDEC デザインアワード優秀賞, 2013 年 8 月.

②マスコミ(新聞・TV等)報道

1. 日経 Tech-on! 記事掲載(2011/09/08)
「日立の中研、ECU 向けソフトウェアの「加速試験」を提案、モデルベース開発手法の進化形」
2. 神戸大、日立製作所共同プレスリリース(2011/12/2)
[半導体メモリエラーの産業機器や自動車制御への影響を解析するクラウド型の評価・検証シミュレーション技術を開発]
3. 上記2のプレスリリースに伴い、日刊工業新聞、化学工業日報 日経 Tech-on! 掲載
(2011/12/5)

③その他

1. 於保 茂(日立)「バーチャルプロトタイプの実用:組込み制御システムの実装性能予測と故障注入」
Synopsys Users Meeting 2011 新宿・京王プラザホテル 2011/09/07 (Synopsys 社主催セミナー講演)
2. 伊藤 康宏(日立)「機能安全テストを加速する故障注入技術を用いた仮想 ECU テスト環境の構築」
Synopsys Automotive Solution Seminar 名古屋 ミッドランドホール 2012/05/16 (Synopsys 社主催自動車ソリューションセミナー講演)
3. 吉本雅彦(神戸大)「プロセッサ内蔵 SRAM への故障注入技術を用いた車載応用ディペンダブル・プロセッサ・アーキテクチャの評価」
Synopsys Automotive Solution Seminar 名古屋 ミッドランドホール 2012/05/16 (Synopsys 社主催自動車ソリューションセミナー講演)
4. 伊藤 康宏(日立)「機能安全テストを加速する故障注入技術を用いた仮想 ECU テスト環境の構築」
Synopsys Users Meeting 新宿・京王プラザホテル 2012/07/12 (Synopsys 社主催セミナー講演)
5. 伊藤 康宏(日立)「機能安全テストを加速する故障注入技術を用いた仮想 ECU テスト環境の構築」
Synopsys Users Meeting 新宿・京王プラザホテル 2012/07/16 (Synopsys 社主催セミナー講演)
6. 神戸大学「超高信頼性 VLSI システムのためのディペンダブルメモリ技術」組込み総合技術展 Embedded Technology 2012(ET2012)、横浜 2012/11/14~2012/11/16

(6)成果展開事例、出口活動

①実用化に向けての展開

- CPU モデルベースのハードウェア/ソフトウェア協調シミュレーション技術(Virtualization 技術について、自動車 ECU サプライヤへの製品検証適用に向けて検討中。
- これまで検討・試作・評価を行ってきた細粒度アシスト回路技術を応用し、ルネサスにおける 28nm 世代以降の先端プロセスを用いた次世代 SoC 製品への適用を検討している。実際、DVFS 環境下で更なる低電圧動作による電力削減効果を高めるため、キー IP となる SRAM マクロに本技術を導入、製品展開に向けたメモリライブラリの開発に着手している。
- SRAM ベースのチップ ID/暗号鍵生成技術は、ルネサスの次世代マイコンへの適用を検討するため、汎用マイコン事業部門(セキュアマイコン含む)及び自動車マイコン事業部門と技術打合せを定期的に行っている。これまでのマイコンではヒューズや内蔵フラッシュメモリにチップ ID を書き込んでいたが、秘匿性の改善を図り、PUF による認証システムを適用することで模造品の防止が期待できる。車載用マイコン(特に今後急速に普及すると予想される EV 向けをターゲットとして)では、PUF ベースの電子キーを導入することにより自動車の盗難防止に繋がることを期待している。

②社会還元的な展開活動

- 「Virtualization 技術」に関して、ET 2012 および ET 2013 に出展し、多くの来場者を得た。
- 「LSI チップとボードを統合したオンチップ・オンボード電源ノイズのシミュレーションと実測評価」に関して、EDS Fair 2012 および EDS Fair 2013 の LPB 相互設計特設ブースに出展するとともに特設ブースセミナーにて講演し、多くの来場者を得た。

§ 6 研究期間中の活動

6. 1 主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
H23. 9. 7	Synopsys 社主催セミナー講演	新宿・京王プラザホテル		バーチャルプロトタイプの実用について講演(日立・於保)
H23. 12. 15	東北大学 EMC 仙台ゼミナール	東北大学	80 人程度	VLSI チップの電源ノイズと EMC について講演(神戸大・永田)
H24. 3. 2	電磁情報通信学会・電子デバイス研究会特別ワークショップ	首都大学東京	20 人程度	VLSI チップの電源ノイズと EMC について講演(神戸大・永田)
平成 24 年 5 月 16 日	シノプシス Automotive ソリューション セミナー	名古屋 ミッドランドホール	200	「Virtualization 技術」について講演
平成 24 年 5 月 16 日	シノプシス Automotive ソリューション セミナー	名古屋 ミッドランドホール	200	「ディペンダブルメモリ技術」について講演
平成 24 年 5 月 28 日	LSI とシステムのワークショップ 2012	北九州国際会議場	200	「LSI とシステムのノイズ問題」について招待講演
平成 24 年 7 月 16 日	Synopsys User Meeting	新宿 京王プラザホテル	200	「Virtualization 技術」について講演
平成 24 年 10 月 22 日	第 29 回「センサ・マイクロマシンと応用システム」シンポジウム	北九州国際会議場	50	「ノイズと LSI 回路設計技術」について招待講演
平成 24 年 11 月 12～13 日	2012 IEEE Asian Solid-State Circuits Conference	神戸国際会議場	350	学生デザインコンテストにてブース出展と「オンチップ電圧モニタ」のデモンストレーション
平成 24 年 11 月 14～16 日	Electronic Design and Solution Fair 2012	パシフィコ横浜	1000	【特別展示】LPBゾーン・IBISゾーンにて「LPB 統合ノイズ解析」に関するブース出展と「オ

				ンチップ電圧モニタ」のデモンストレーション
平成 24 年 11 月 14～16 日	Electronic Design and Solution Fair 2012	パシフィコ横浜	1000	統合試作①チップによるデモンストレーション実施 エンジン制御応用デモシステム
平成 24 年 11 月 14 日	Embedded Technology 2012	パシフィコ横浜	400	シンポジウム「仮想 ECU 環境を利用した車載ソフトウェアの開発検証」
平成 25 年 11 月 20～22 日	Embedded Technology 2013	パシフィコ横浜	400	チップ ID デモ
平成 26 年 1 月 15～17 日	カーエレクトロニクス技術展	東京ビッグサイト	1000	ルネサスブース内にて特別出展。 細粒度アシストデモ、チップ ID デモ、QoB SRAM 及びエンジン制御応用デモ

§ 7 最後に

本領域は浅井総括の強いリーダーシップにより明確な出口志向の方向づけがなされ、年間行事も豊富で非常に充実した研究プロジェクトであったと思う。チームとして得られた成果は初期課題に関してはほぼ目標通りに達成できたが、発展テーマに関してはまだ道半ばでもう少し時間がほしいところである。発展テーマ課題は新しいプロジェクトにて継続したい。また、研究成果だけでなくその研究活動の過程で多くの博士課程学生を育成できたことも大きな成果であった。浅井総括殿、アドバイザーの方々、JST 増淵様、辻本様に心より御礼申し上げます。



吉本チーム「超高信頼性 VLSI システムのためのディペンダブルメモリ技術」の研究メンバー一同