

戦略的創造研究推進事業 CREST
研究領域「次世代エレクトロニクスデバイスの創出
に資する革新材料・プロセス研究」
研究課題「Ge High-k CMOS に向けた固相界面の
理解と制御技術の開発」

研究終了報告書

研究期間 平成20年9月～平成26年3月

研究代表者: 鳥海 明
(東京大学大学院工学系研究科・教授)

§ 1 研究実施の概要

(1) 実施概要

低消費電力/高性能という観点で Si CMOS を凌駕する可能性のある Ge CMOS を実現するための基本技術に関して、課題の本質的理解に基づいて原理的な解を用意することを目的として研究を進めた。特に界面制御という点に関して、本 CREST 戦略目標に基づいて、精緻な解析技術およびその徹底した理解に基づいて革新的な界面制御技術の開発を進める、という立場を貫いた。技術項目を大きく分けると右表のように書くことができる。特に、今回の CREST プログラムでは、1~3 に関して徹底的な解析と評価、対策を行った。途中段階のものも含まれるが、もっとも重要な1および3に関しては、ほぼ完璧な対策をとることができたと考える。

1. Gate Stack	<ul style="list-style-type: none"> • gate stack • dipole
2. Junction	<ul style="list-style-type: none"> • contact • pn junction
3. FET Channel	<ul style="list-style-type: none"> • Surface roughness • mobility
4. CMOS scalability	<ul style="list-style-type: none"> • Thin EOT • Thin Ge
5. Isolation	<ul style="list-style-type: none"> • Field edge
6. New Devices/ New Findings	<ul style="list-style-type: none"> • Junction-less FET • Fano effect

表 1. 研究開発技術項目

1. ゲートスタックに関しては、Ge/GeO₂ 界面が Si/SiO₂ 界面ほど熱的、プロセス的に安定でないという点をどう克服するかにつくる。つまり、この点をどのように本質的に解決するかが本プロジェクトの最大の目標と言える。結論的には、酸素あるいは酸素空孔のゲート絶縁膜中における拡散を抑えることによって、安定したゲート絶縁膜を構築することが可能であることをプロセス・材料の両面から示すことができた。これが Ge ゲートスタック技術の核であり FET 技術の核でもある。

2. 接合技術に関しては、メタル/Ge 接合および pn 接合技術の構築である。浅接合に関しては、本プログラムでは含めなかった。金属/Ge 界面における Fermi-level pinning に関して、極薄絶縁膜挿入によるショットキー障壁の変調技術はトンネルコンタクト技術として Ge のみではなく III-V 半導体を含めて展開されつつある。しかし、Fermi-level pinning の起源に関しては多くの実験を行ってきたが、残念ながら依然としていまだに起源は明確になっていない。pn 接合における逆方向リーク電流に関しては、イオン注入後の欠陥回復に関しては構造解析を通じて調べ、Ge 中に形成された欠陥の再結晶化過程が Si とは異なることが Raman 測定から明らかにされつつある。

3. FET チャネル技術に関しては、FET における実効移動度の精密解析を通して調べた。1. の成功に基づいて、本プログラムでもっとも注目していた電子移動度に関して、現時点ではベストデータを報告できた。また懸念点としてされていた高電界電子移動度についても、徹底的なチャネル界面の平坦化を通して Si の2倍以上の値を達成することができた。ここでは界面ラフネス散乱がどのように効かかという観点と、界面のラフネスをどのように減少させるかという二面から検討を行った。Ge 表面の原子レベル平坦化とその後の酸化の反応速度論に戻った理解に基づいて、ラフネスに起因した電子散乱を大きく減少することに成功した。

4. スケーリングに関しては、チャネル方向の微細化に関しては当初よりプログラムに含めていなかったが、薄膜ゲート絶縁膜に関しては原理的に克服できる指針が得られ、実際に EOT=0.5nm 以下で十分にゲートリークを抑えたゲートスタック構造を実証できた。また、懸念されていた薄膜領域における移動度劣化に関しても、サブナノメートル EOT 領域でしかも高電界領域における移動度が Si を大きく凌駕することを実験的に示した。また原理的に短チャネル化を可能にする一つの方向として薄膜 GeOI を検討し、10 nm 以下の Ge 膜厚において期待通り低リークの FET 特性を実証した。また Ge 膜厚の薄膜化に伴って、30nm 以下の膜では量子サイズ効果によってバンドギャップが増大することを、フォトルミネッセンス測定によって示すことができた。

5. Isolation 技術に関しては、Ge に接する絶縁膜材料としては、ゲート絶縁膜に適した材料がエッジでの欠陥形成抑制に有効であることを明らかにした。

6. もともと計画には入っていなかった新しい技術展開として、高濃度 Ge の利点を利用した新しい Junction-less FET の可能性を実験的に示した。これは加工技術と密接に絡むが、高い可能

性を持っていると考える。さらにこの FET を用いてゲート電界によって変調する Raman 測定における Fano 効果を初めて実験的に示すことができた。また同様に、高濃度 Ge 薄膜に対してゲート電界を加えることによって、フォトルミネッセンス測定を通してバンドギャップの変化を実験的に初めて測定した。これは、高濃度 Ge におけるバンドギャップナローイングに対してフリーキャリア効果が大きな役割を果たしていることが示している。

(2) 顕著な成果

<優れた基礎研究としての成果>

1. 酸素ポテンシャル制御による Ge 界面形成の熱力学・速度論的理解

概要: Ge/GeO₂ 界面反応に基づく GeO 脱離が Ge 界面劣化の起源であることに焦点をあて、そこに共通する制御の基本が酸化膜の酸素ポテンシャル制御であることをプロセス・材料の両面から実証した。これは必要条件であるが、ゲートスタックの特性向上に対しては常に考慮する必要がある。Ge 界面形成における熱力学・速度論的理解は Ge に限らない界面制御原理であると言え、酸化物を界面にもつ場合の共通の基本的理解である。

2. Ge 基板表面の平坦化および界面ラフネス形成過程の理解

概要: 半導体表面の平坦化はデバイスに限らず極めて重要な基本技術である。Ge 表面では水素アニールによって比較的低温で原子レベル平坦化を実現できることを見いだした。このことから表面における Ge 原子の動きが極めて活発であることがわかり、また界面における酸化と脱離のバランスをとることによって、界面の平坦性が進むことが明らかにされた。ここから Ge 基板上で Layer-by-Layer 酸化が起きることを実証した。

3. Ge 反転層におけるキャリア散乱機構に対する新しいモデル化

概要: 従来の FET の移動度を記述する散乱機構の枠組みでは Ge FET の移動度を説明できない部分がある。それに対して、ほとんどキャリア数依存性の無い Ge 中の中性不純物散乱が Ge FET の電子移動度に大きな役割を果たしていることを提案し、実験結果を極めてよく再現することを示すことができた。このことは Ge のみならず FET におけるキャリア散乱機構の解析に新しい考え方を示している。

<科学技術イノベーションに大きく寄与する成果>

1. Ge ゲートスタック形成の基本指針構築と実証

概要: 高压酸素雰囲気下での Ge を酸化することで理想に近い Ge ゲートスタックを実現できた。一方、GeO₂ にある種の金属酸化物を導入することにより、著しく酸素透過性を低下させ、水によるエッチング特性を大きく改善できることを発見し、これをゲートスタック技術に適用することで、高压酸化によって形成される GeO₂ よりも優れたゲートスタックをサブナノメートル EOT 領域で実現できた。また水に対するエッチング特性はデバイス作製プロセスに大きなフレキシビリティを与える。上記の発見・制御手法は Ge に限らず新材料の酸化膜界面制御手法として用いることができるコンセプトと言える。

2. 水素アニールによる Ge 基板の質向上

概要: 水素アニールは基板表面の平坦化だけでなく、Ge 基板の質を変えていることを実験的に発見した。水素アニールは、基板中に含まれる酸素濃度を著しく減らしている。この結果として、Ge FET の低電界領域における電子移動度が大幅に向上することがわかった。酸素に関連した欠陥が散乱体になっている可能性が高く、さらなる Ge 性能の向上に大いに寄与するものと言える。

3. Ge FET 反転層におけるキャリア移動度の大幅向上を実現

概要: (1)ゲートスタック形成技術の向上による界面準位の大幅減少, (2)Ge 界面の平坦性の向上, (3)Ge 基板の質の向上, という本 CREST で開発されたすべてオリジナル技術に基づい

て、低電界から高電界まで世界最高の Ge FET の電子移動度を実証した。この事は Ge を用いることによって低電圧下においても高い電流駆動力を得ることができることを意味し、飛躍的な低消費電力 LSI 実現へ導くものである。

§ 2. 研究構想

(1) 当初の研究構想

徹底的な More Moore 技術の科学的深化と進展は、それ自身に意味があることに加えて、それこそが差別化できる More Than Moore 技術、Beyond CMOS 技術の基盤につながり次世代電子デバイスの実現に向けてもっとも重要であるという考えに基づいてスタートした。Ge は Si と同じように考えられがちであるが、界面制御という観点からは大きく異なる。

そこで本研究では、Ge CMOS の基本技術を構築することを目的とし、必要となる種々の固相界面を材料科学的に理解・制御することを目標にした。具体的には、本 CREST の戦略目標に鑑み、ゲートスタック形成に際して現れる界面制御、接合形成に関して現れる界面制御、また FET 動作に関して現れる界面制御と三つの点について、プロセスのチューニングではなく本質的な理解と対策を提案・実証することを目標とした。

(2) 新たに追加・修正など変更した研究構想

① 中間評価で受けた指摘や助言、それを踏まえて対応した結果について以下に述べる。主に下記の三点について変更をした。

(1) 短チャネル Ge FET への指針

実際の短チャネル FET の作成は行わないが、微細化において何が問題であるかを検討した。またゲートスタックにおける縦方向の微細化（薄膜化）に関しては、薄膜化とは無関係に課題の本質的理解をすすめ、その上で薄膜化の解に対する解も得ることができた。

(2) CMOS 化への指針

当初は n-FET のみに焦点をあてていたが、CMOS 化への基礎データとして p-FET の作成と解析も同様に行ない、移動度に関して電子同様に正孔に対しても歪み無しではベストデータを実証することができた。

(3) 特許化

ゲートスタック周りの本質的な理解とオリジナルな実験結果の部分に関して、できる限り広範に特許化をすすめ、現在 5 件の出願に至っている。

§ 3 研究実施体制

(1) 研究チームの体制について

「鳥海」グループ

研究参加者

氏名	所属	役職	参加時期
鳥海 明	東京大学	教授	H20.10～現在
喜多 浩之	東京大学	准教授	H20.10～現在
長汐 晃輔	東京大学	准教授	H20.10～現在

西村 知紀	東京大学	技術職員	H20.10～現在
程行前	東京大学	特任研究員	H21.4～H23.3
張 文峯	東京大学(学振)	外国人特別研究員	H23.4～H26.3
田畑 俊之	東京大学	特任研究員	H21.4～H25.9
王 盛凱	東京大学	博士課程	H21.4～H23.9
李 忠賢	東京大学(学振)	外国人特別研究員	H21.4～現在
趙 丹丹	東京大学	博士課程	H22.4～H23.12
宋 宇振	東京大学	博士課程	H24.4～H25.3
吉田 まほろ	東京大学	修士課程	H21.10～H23.9
我妻 善史	東京大学	修士課程	H22.4～H24.9
ファド インドラ アルザキア	東京大学	修士課程	H22.4～H24.9
謝 迪	東京大学	修士課程	H22.4～H24.3
株柳 翔一	東京大学	博士課程	H22.4～現在
岩井貴雅	東京大学	修士課程	H24.4～現在
矢嶋 赳彬	東京大学	助教	H24.10～現在
魯 辞莽	東京大学	博士課程	H24.10～現在
中村 俊充	東京大学	修士課程	H25.4～現在
最上 徹	日本電気	客員研究員	H23.6～H25.3

研究項目

Ge CMOS の実現に必要な種々の固相界面の理解と制御を材料科学的に理解し制御手法を構築することによって, Ge CMOS の基本技術構築を More Moore 技術の柱として成功に導くことを目的とする。具体的な研究目標として次の三点を設定する。

- (1) Ge FET チャネル界面の理解に基づく世界最高のモビリティの値を実現。
- (2) Ge/High-k 界面の理解に基づく高性能ゲートスタックの実現。
- (3) Ge/Metal 界面の理解に基づく低抵抗 Ge Source/Drain コンタクトの実現。

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

初期の全体研究計画書作成時点で、研究ネットワーク形成に関しては計画していなかったもので連携に関しては強く考えず、個別技術の理解と制御に邁進した。また我々はチームを組んでいないことを利点として、情報の共有、フィードバックの早さ、相互の刺激という意味で極めて大きな刺激を日々受けることができた。もちろんチームを組むことのメリットも多くあるが、現状のGe技術の研究開発において、今回のスタイルをとらせていただいた事は我々にとって大変よかったと感謝している。

一方で、応用物理学会等の国内の講演会で見られるように、この5～6年で国内においてもGeの発表件数はかなり増え、我が国のGeに関する技術的知見は大きく伸びている。その中で、本CRESTプログラムがあったおかげで、我々はゲートスタック及びコンタクトの問題を中心にできる限り基礎的見地から技術課題に対して本質解を得るべくこの5年間進めることができた。そのおかげで、学生たちも学会等を通じて多くの知見を得ることができ、また課題抽出に際しても良い刺激を受けてきた。また他Ge研究グループに対しても基本的な知見・考え方を提供し、多くの議論ができたと考えている。このことは連携による作業分業ではなく、CRESTというプログラムを通じた他グループとのバーチャルなネットワーク形成による知の相互刺激になったのではないかと考えている。

§ 4 研究実施内容及び成果

東京大学 鳥海グループ

(1)研究実施内容及び成果

§ 1 の表 1 に示したカテゴリーごとに、それぞれの技術に関する進捗と成果、類似研究との比較を行う。

1. ゲートスタック技術

1.1. Ge 表面上の酸化膜形成

1.1.1. Ge 酸化の現象論

Ge の酸化は Ge CMOS 技術においてもっとも重要な項目である。Si と同じならばその理解と技術を援用すればよいが、違いがあるならそれを明らかにして新しい技術開発を進めなければならない。もっとも大きな違いは、Ge/GeO₂ を熱処理をすると GeO が脱離する点である。しかも SiO₂ 上では GeO 脱離は観測されないが、Ge 上に GeO₂ がある場合に GeO が脱離する。ここに Ge ゲートスタックを理解する核心があると考えたことからこの研究は始められた。結果的には、当初の段階からこの方向で集中して考えたことは極めて正解であったと言える。

通常 Si における酸化では、O₂ が表面から界面に拡散することによって界面反応が進み酸化が進行する。Ge の場合にも同様のことを調べるべく次の実験を進めた。通常の ¹⁶O₂ 酸化によって GeO₂ を形成し、その後 ¹⁸O₂ (酸素同位体) でアニールした。その後の GeO₂ 膜中 ¹⁶O と ¹⁸O の分布を高分解 RBS によって調べた。その結果を図 1-1 に示すが、¹⁸O が膜中に分散していることがわかる。これは Si の場合とは大きく異なる。つまり O₂ が界面に拡散して酸化するという単純なモデルは正しくないことを意味している。ここに Ge 酸化の特徴があり、特殊性があると直感した。

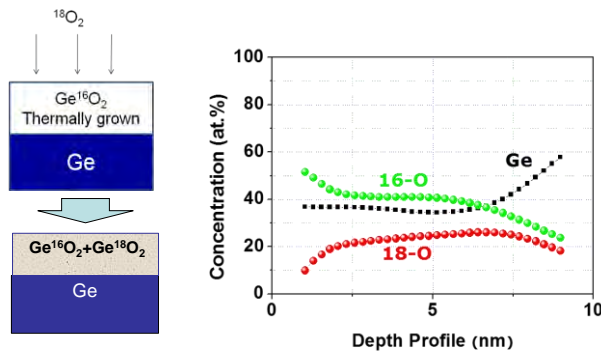


図 1-1 (a) ¹⁸O₂ を用いた酸化実験を示す模式図。(b)HR-RBS を用いた酸化後の ¹⁸O の酸化膜中の分布を示す。¹⁸O が膜中にかなり均一に分布していることがわかる。Si の場合には界面付近に ¹⁸O が集まることが報告されている。

一般的に酸化機構を考えると、酸化にはパッシブ酸化とアクティブ酸化の二種類のモードがある。その境界線は図 1-2 に模式的に示すように温度と圧力によって決まる。アクティブ酸化ではエッチングが起きる。これらの境界線は熱力学的に決まることになるが、このような酸化物の基本的な性質を決めるのは、それぞれの材料における酸素ポテンシャル/酸化物標準生成 Gibbs エネルギーである(図 1-3)。酸化物に対するこれらの概念は本 CREST を通して使われる。

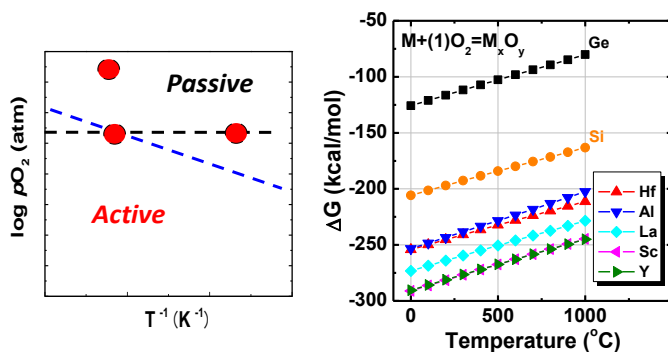


図 1-2 パッシブ酸化とアクティブ酸化を区分けする模式図。同じ温度でも高圧下ではパッシブ酸化領域になる。

図 1-3 典型的な酸化物の酸素ポテンシャル図。化学データベースをもとに計算。これは通常エリンガム図とよばれるもので酸化物の安定性を示す。GeO₂ は酸化物の中でも酸素ポテンシャルが非常に高い。

1.1.2. GeO の脱離の現象論

昇温脱離測定 (TDS) によって、超高真空中における Ge/GeO₂ スタック構造からの GeO 脱離に関して GeO₂ 膜厚依存性を調べた結果を図 1-4 に示す。この結果から GeO 脱離は GeO₂ 酸化膜の作製方法によって変わらずに膜厚だけで決まっている事がわかる。また厚膜では脱離温度が高くなるので、GeO₂ 膜中の何らかの拡散が GeO 脱離を支配していることが予測される。この機構の理解は Ge ゲートスタック形成のキーになるはずである。

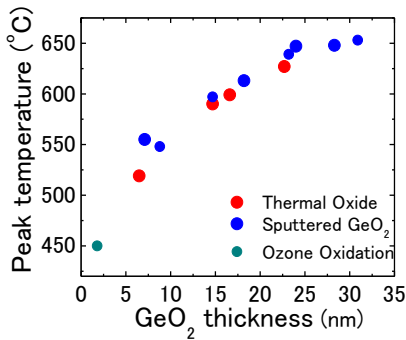


図 1-4. TDS 測定による Ge/GeO₂ からの GeO 脱離ピーク温度の GeO₂ 膜厚依存性。製膜方法によらずに脱離のピーク温度はユニバーサルなカーブにのっていることがわかる。このことは脱離が Ge/GeO₂ 系の固有の効果であることを示している。

さらに GeO の脱離の特徴を明瞭に示す実験として、下記のような実験を行った。(図 1-5)。Ge 基板上に GeO₂ をストライプ状に堆積し UHV 中でアニールした結果、GeO₂ が存在した部分のみ基板の Ge がエッチングされていることがわかった。このことは Ge が GeO₂ と反応して GeO として脱離していることを直接的に示す。

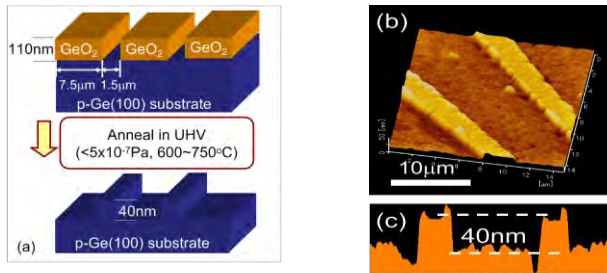


図 1-5 (a) Ge 基板上のストライプ状の GeO₂ パターンを示すサンプル模式図。(b) UHV 中での熱処理後の基板表面の AFM 像。(c) AFM 断面図。GeO₂ の直下で表面の Ge だけが消費されている。

Ge 表面では酸化も進行するが Ge/GeO₂ から GeO が脱離するということは、界面状態は雰囲気中の酸素濃度に極めて敏感であることを意味している。この事は図 1-3 のエリンガム図からも予測されることではあるが、結果はそれを端的に示している。さらに図 1-6(a)のように Ge 基板上に SiO₂ がストライプ上に形成されたサンプルを形成し、N₂ 中で熱処理し、その後に Ge 表面の凹凸を AFM によって調べた。その結果、図(b)のように Ge 表面がむき出しになっている部分の Ge がエッチングされていることがわかった。超高真空中では図 1-5 で示したように Ge 基板表面は影響を受けないことはわかっており、この結果は N₂ 中の数 Pa 程度の残留酸素による Ge 基板に対するアクティブ酸化を明瞭に示している。一般論として当然予想されることであるが、Ge が Si プロセスと大きく違う点として現実的な温度と環境の中でアクティブ酸化が関与する点を示す結果であり、Ge プロセスを構築する上で極めて重要な知見である。

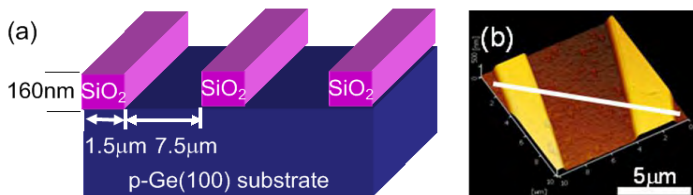


図 1-6 (a) Ge 基板上のストライプ状の SiO₂ パターンを示すサンプル模式図。(b) N₂ 中での熱処理後の基板表面の AFM 像。N₂ 中の残留酸素によるアクティブ酸化が起きている。

1.1.3. Ge 酸化の熱力学的・速度論的考察

先の実験と順序は逆になるが、GeO の脱離に関しては、当初より熱力学パラメータを用いた考察を進めていた。それらについては研究計画書にも記載されているのでここでは詳しく述べないが、要は GeO の平衡蒸気圧を求めると、Si の場合に比べて大気圧付近で非常に高いことがわかる。つまり通常の酸化を行ったのでは、酸化も進むが GeO の脱離が避けられないことを意味する。また界面にだけ着目すると、GeO の平衡蒸気圧は温度だけで決まってしまうことがわかる(図 1-7)。この結果に基づいて、我々は本 CREST プログラムに対して”高圧酸化+低温酸素アニール”というプロセスで、ほぼ完璧な Ge/GeO₂ ゲートスタックを構成できるという提案でスタートした。

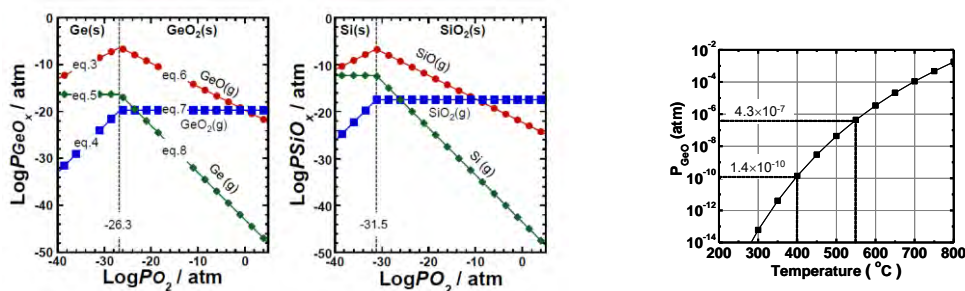


図 1-7 Ge/GeO₂ と Si/SiO₂ を融点で規格化した温度で計算した GeO, SiO の平衡蒸気圧。右図は界面における GeO の平衡蒸気圧。界面では自由度が一つ減り、温度だけによって決まっている。

1.1.4. GeO 脱離反応の速度論的理解とモデル化

GeO が Ge/GeO₂ スタックから脱離する際の GeO₂ 膜厚依存性あるいは基板が SiO₂ の場合には脱離が観測されないという事実は、GeO 形成の起源が界面にあることを示唆する。その場合、GeO の拡散がどのように進行しているかを明確にするために ¹⁸O₂ を使った実験を行った。Ge 基板上にまず ¹⁸O₂ ガスで酸化した GeO₂ を作製し、その上に ¹⁶O₂ ガスを導入しながら GeO₂ 膜をスパッタ堆積した GeO₂ の積層構造を Ge 基板上に作製した。そのサンプルの昇温脱離(TDS)測定の結果は、低温領域では Ge¹⁶O が脱離し、高温にいくにしたがって Ge¹⁸O の脱離が観測されることを示した。つまり GeO の脱離現象は GeO が膜中をそのまま拡散しているのではなく、交換型の拡散が起きていて表面から順番に脱離していることを示唆する。

さらに、実際にどの原子が拡散して脱離に至るかを Ge および O の同位体 (⁷³Ge, ¹⁸O) を用いて相互拡散の実験を行った。熱処理後の SIMS の結果から拡散種は O であることがわかった。

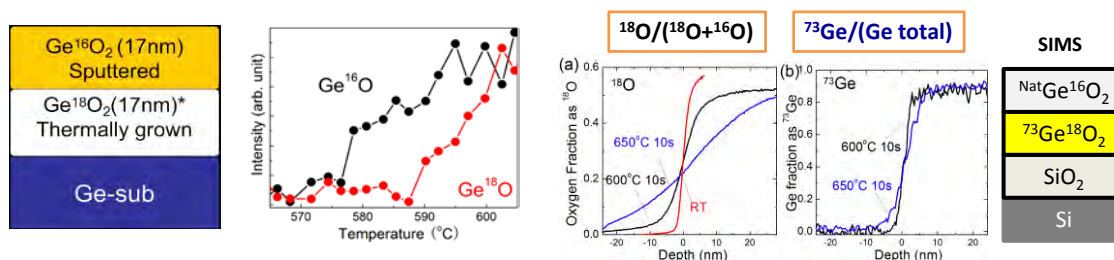


図 1-8 左図は GeO₂ 積層構造からの TDS による GeO 脱離種の決定。低温側では ¹⁶O が脱離する。つまり上層にある O がまず脱離する。右図は ⁷³Ge も用いた SiO₂ 上に形成された GeO₂ 積層膜の熱処理後の SIMS 分析結果。ここから拡散種は酸素であることがわかる。

この結果をどのように理解するかが GeO 脱離現象の最も大きなポイントである。図 1-9 で模式的に示すように、表面においては GeO₂ → GeO + O という反応が起きていると考える。つまり、表面から O が界面に向かって拡散し、表面から GeO が脱離すると考える。しかし、この O は何を駆動力と

して界面に向かって拡散するのか。これを理解するためには、界面において $\text{Ge} + \text{GeO}_2 \rightarrow 2\text{GeO}_2 + 2\text{Vo}$ (ここで Vo は酸素空孔) の反応が起きていると考えると、この Vo の生成によって O が順々と交換し GeO が表面から脱離すると理解できる。このことは、界面において Vo の形成を防ぐことができれば良好な Ge/GeO₂ 界面を形成できるということを予測させる。巨視的熱力学的考察からも酸化の際に酸素圧力を上げることは、GeO₂ 膜中の GeO の拡散電位差を軽減し、上記反応を抑制すると考えることができる。

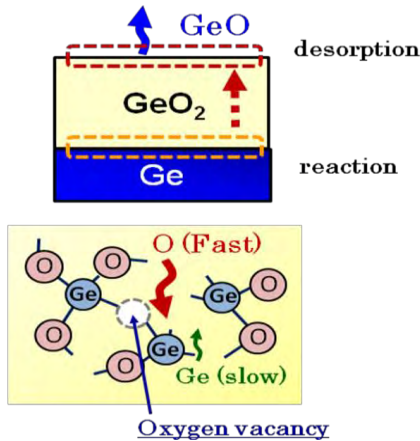


図 1-9. Ge/GeO₂ からの GeO 脱離機構を説明する模式図。Ge 基板と GeO₂ が界面で反応し、GeO₂ と酸素空孔 Vo が形成され、GeO₂ 膜中を拡散し、表面から GeO として脱離するというモデル。このように考えると、界面における反応で生じた Vo が界面の質に大きな影響を与えていることは当然と言える。

1.1.5 Ge 基板の酸化と GeO 脱離の面方位依存性

Ge(100), (111)面を持つ基板を用意して、酸化レートの面方位依存性(600°C)、同一膜厚(110nm)の GeO₂ を持つ基板からの GeO 脱離(N₂ 基板中)の面方位依存性を調べた。図 1-10 で示すように、(111)の方が、酸化も遅く、脱離も遅いことがわかる。この事は、先に述べたように GeO 脱離過程に酸化過程が関わっていることを示唆するものである。酸化レートはともかく、脱離レートが遅いということは酸素空孔形成に伴う界面劣化がより少ないということを意味しており、(111)面の優位性を示している。実際に MOS キャパシタを形成した際の界面準位は(111)面上で小さい。

一方で Ge の電子構造を考えるときに、等エネルギー面を考えた時に、Ge では Si と異なり、電子にとって(111)面がもっとも有効質量の小さい面になることが予測される。この事は高い電子モビリティという観点からはもちろん重要である。

上記の 2 点から、Ge(111)面は少なくとも電子にとっては極めて有効な面と言える。

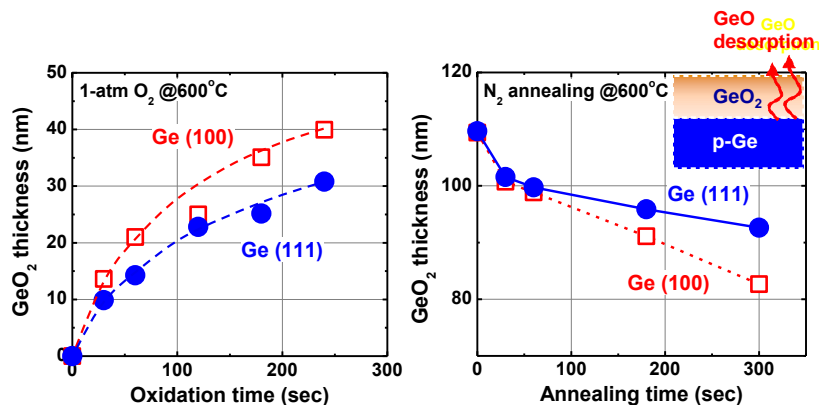


図 1-10 (a) 600°Cにおける Ge(100), Ge(111)面の酸化レート。(b) 110nm の GeO₂ 膜を堆積した構造からの N₂ アニールによる GeO₂ 膜厚の減少レートを Ge(100) と Ge(111) 面上とで比較した結果。Ge(111) 上では、酸化も脱離も(100)面に比べて遅いことを示している。

1.2. Ge/GeO₂ゲートスタック形成

1.2.1. 高圧酸化 (HPO), 低温酸素アニール (LOA)

前章で述べたように Ge/GeO₂ 界面を制御する上で GeO 脱離をいかに抑えるかが key であると考え、これを原理的に抑える方法について考察し高圧酸化を施すに至った。これはまさに熱力学的な要請である。

高圧酸化は極めて単純にサスのチューブのなかに石英管を差し込み、そこに酸素ガスボンベから O₂ ガスを導入し所望の圧力に達したらシールを閉じ、それを通常の小型の自家製横型炉に挿入した。ここで圧力の安全性に関しては VCR シールの余裕は十分にとっており、そこに問題は感じなかったが、まずはサスからの汚染が懸念された。しかし実際に行ってみると下記で述べるようにきわめて良好なゲートスタックが形成された。

まず C-V 特性を図 1-11 に示す。酸化温度は 550°C であり、LOA 有りと無しとの両方について示しているが、低温酸素アニール(LOA : Low-temperature Oxygen Anneal)によって界面特性は格段に良くなっていることがわかる。実際には 400°C の O₂ 雰囲気である。このようにして形成された GeO₂ の膜質に関してはこの後に各種場面で説明されるが、C-V 特性としてはほぼ完璧に近い。高圧酸化による MOS 特性の改善はドラスティックな改善である。LOA の温度に関しては GeO の脱離のスタートが実験的に 400°C あたりから観測されるので、GeO が脱離しないような温度範囲で O₂ 処理をすべきと考えた。熱力学的には Gibbs の相律から GeO の平衡蒸気圧を決定するための界面の自由度は一つしかなく、酸素圧力を変えても界面の GeO の平衡蒸気圧は温度だけで決まってしまう系であることから理解できる。LOA によって Ge/GeO₂ 界面における結合の緩和が起これ、界面特性が著しく向上する。図 1-10(c) で示すように、LOA 無しと有では Dit のスペクトルに大きな差が現れる。ミッドギャップ付近で HPO だけだと $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下まで改善されたが、LOA を施すことによってまったく他の処理をすることなく $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 台まで改善できる。つまり GeO₂/Ge 系において界面とバルクとでは制御条件が異なることを意味しており、GeO₂/Ge ゲートスタック制御技術としてきわめて重要な知見と言える。また Si で行われるフォーミングガスアニール (H₂ 処理) はほとんど効かない。

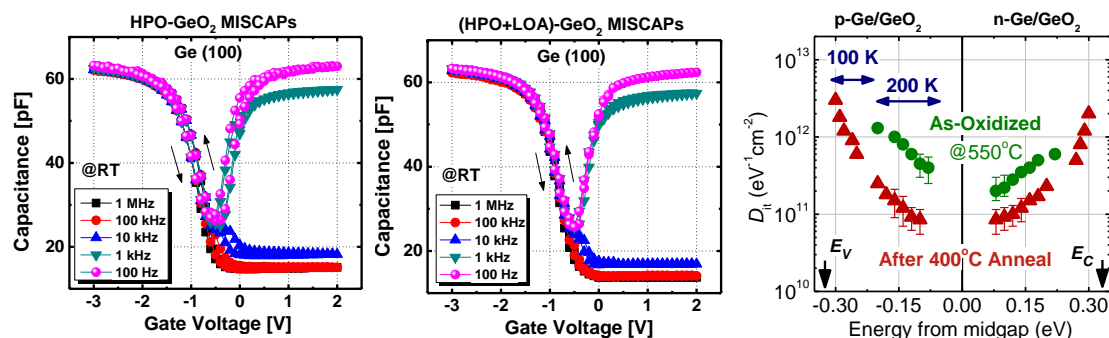


図 1-11 (a)高圧酸化(HPO)と(b)高圧酸化+低温酸素アニール(HPO+LOA)を施した後の Ge/GeO₂ MOS キャパシタにおける CV 特性。ほぼ理想的な CV 特性が得られる。室温における低周波数領域における反転側における容量の増加は、Ge のバンドギャップが狭いことによる本質的な結果である。(c)コンダクタンス法によって求めた界面準位スペクトル。ここでは(100)面上の結果を示している。

Ge/GeO₂ 界面欠陥の評価方法として、我々は Si-MOS キャパシタで広く行われているコンダクタンス法を用いた。ただし Si と同じように評価すると、室温においては Ge のバンドギャップが狭いことによって図 1-11 のように反転側で少数キャリアの効果が残ってしまう。そこで Dit スペクトルを求めるには、Ge 用の等価回路を作成するか、バンドギャップにあわせて測定温度を低温化することが必要になる。我々は低温コンダクタンス法を Ge MOS キャパシタには適用し Dit の定量化を行った。

1.2.2. Ge 上の GeO₂ 膜の物理解析

1.2.2.1. 光吸収, ESR から見た GeO₂ 内のギャップ内準位

GeO 脱離の条件下では、分光エリプソメータを用いた光吸収測定によってテイル成分(サブギャップ吸収)が観測されることがわかっていたが、高圧酸素アニールによってサブギャップが消失し、さらにその圧力にしきい圧力が存在することが見いだされた。特にサブギャップは二つのピークから構成されており、両方とも同じ酸素圧力で消失することが実験的に示された。このことは、GeO₂ バンドギャップ内に V_o 拡散によって何らかの欠陥レベルが形成されたことを示唆する。また、このような欠陥があれば電子スピン共鳴 (ESR) によって観測されるはずである。そこで Ge 上に形成された GeO₂ 膜に関して各種熱処理を行い ESR 測定を行ったところ、高圧酸化した場合のみ ESR 欠陥の著しい減少が観測された(図 1-12)。

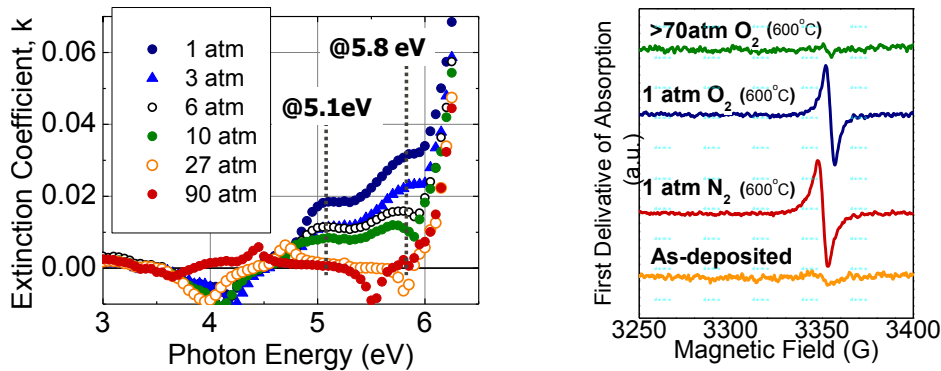


図 1-12. (a) Ge 上の GeO₂ をアニールすることで観測されるサブギャップ吸収の酸素圧力依存性。二つの特徴的ピークが存在する。6 eV の急峻な立ち上がりは GeO₂ のバンドギャップを示す。(b) Ge 上の GeO₂ をアニールすることで観測される ESR シグナルの熱処理雰囲気依存性。高圧酸素アニールでは ESR 欠陥が著しく減少する。

さらに予想外の結果として Ge/GeO₂ を超高真空アニールすると(GeO がもっとも脱離しやすい条件)、図 1-13 に示すように 650°C という低温で GeO₂ が結晶化することがわかった。これは V_o 拡散による結晶化障壁の大幅低下により実現されたものと考えられる。つまり、CV 特性、光吸収、ESR、結晶化、の結果はすべて V_o の形成とその GeO₂ ネットワークへの影響によるものと統一的に理解できることになる。

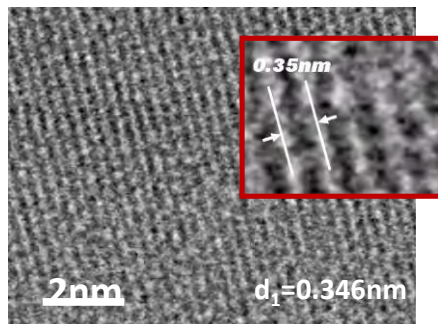


図 1-13 650°C の超高真空熱処理後に観測される Ge 上の GeO₂ の結晶化を示す断面 TEM 像。α-Quartz 型に結晶化していることが XRD 測定からわかる。SiO₂ 上では結晶化しないので、Ge/GeO₂ 界面の反応によってトリガーされていることがわかる。

1.2.2.2. Ge MOS エネルギーバンドダイアグラムの決定

MOS 型デバイスを作成する上でゲートスタックの材料学的なスタック形成だけではなく、エネルギーバンド構造を考慮した構造を形成することが必要であることは言うまでもない。我々は GeO₂ がきわめて良好な界面絶縁膜を形成するということを主張してきたが、一方で GeO₂ では十分なエネルギーバンドダイアグラムを構成できないという議論もある。そこで GeO₂ のバンドギャップ、バンドオフセットを定量的に決定することが必要である。

そこで分光エリプソメータによって光吸収を測定し、吸収端からバンドギャップを決定した。図 1-12 からわかるように約 6eV の値が得られる。これはゲート絶縁膜として十分な値である。ただ、実際に重要なのはバンドギャップのみならず、バンドオフセット、特に伝導帯側のバンドオフセットである。直接的にバンドオフセット量をきめるために、我々は内部光電子分光法 (IPE: Internal Photo-Emission) を用いた。図 1-14 に結果を示すが、ここから Ge/GeO₂ 界面における伝導帯オフセットは 1.6eV 程度と見積もられる。一方、X 線光電子分光 (XPS) から、価電子オフセットを決めることができ、そこから得られた伝導帯オフセットの値は約 1.5eV であり IPE から得られた値とほぼ一致する。つまり Ge/GeO₂ 界面におけるバンドオフセット値は少なくとも 1.5eV 程度はあり、十分に FET 動作は可能である。もちろんこの場合の GeO₂ は高压酸化によって形成した場合である。

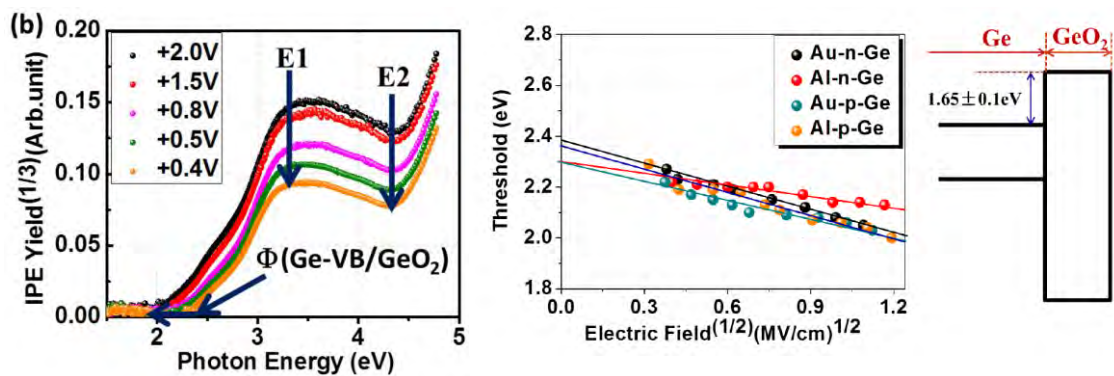


図 1-14 Ge/GeO₂ ゲートスタックにおける IPE スペクトルとそこから得られるバンドダイアグラムとエネルギー障壁を求める際のショットキープロット。ここから、Ge/GeO₂ のバンドオフセットはほぼ 1.6eV とわかる。

さらに興味深い事実は大気圧で酸化した GeO₂ の場合には、IPE のしきいエネルギーあたりが“だれて”くる。つまり図 1-15 に示すように、バンド端にすそが生じ、IPE のスペクトルのサブスレーショルド領域にすそが生じることも検知される。つまり IPE の測定からも分光エリプソで測定された吸収端のだれが観測されている。このことは、Ge を酸化した場合にバンド端に不十分な欠陥が生じる。またそれが n-チャネル MOSFET のモビリティ劣化を引き起こしていることが予測される。

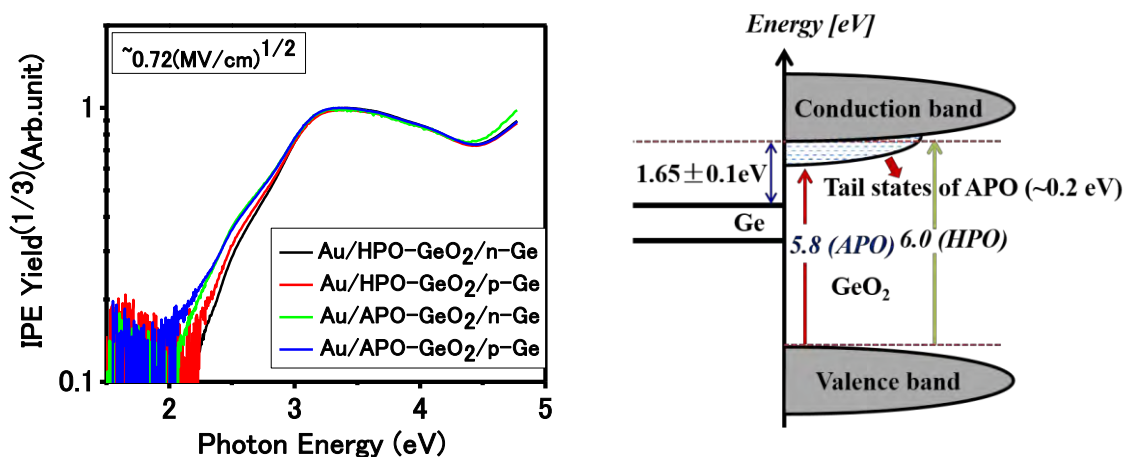


図 1-15 対数スケールにおける吸収端スペクトル。APO の場合には n 基板、p 基板両者において明瞭なすそが観測される。これは右図に示すように、伝導帯端に約 0.2eV 程度のバンド端のだれが存在することを示唆する。

1.3. High-k ゲートスタック

1.3.1. Y₂O₃ ゲートスタック技術

これまでに High-k/Ge スタックの電気特性は適用する High-k 材料の種類によって大きく異なることを見出しており、その理由を明確化することが今後の High-k 材料の設計のために重要と考えた。一方、Ge 上の LaLuO₃ 膜は HPO 後に理想に近い CV 特性を示したが、HfO₂ 膜は界面を著しく劣化させてしまう。Ge/GeO₂ ゲートスタック構造で得られた HPO-LOA 処理を Ge/Y₂O₃ に適用したところ、界面準位は抑えられて、特に伝導帯側の界面準位は GeO₂ よりも低いことが観測された(図 1-15)。この事によって電子の移動度が GeO₂ に比べてさらに上がった(後述)。特徴は界面に単純な GeO₂ 層ではないアモルファス High-k 層が形成されていることである。この事が後述する EOT Scaling をすすめる上で極めて重要な役割を果たした。

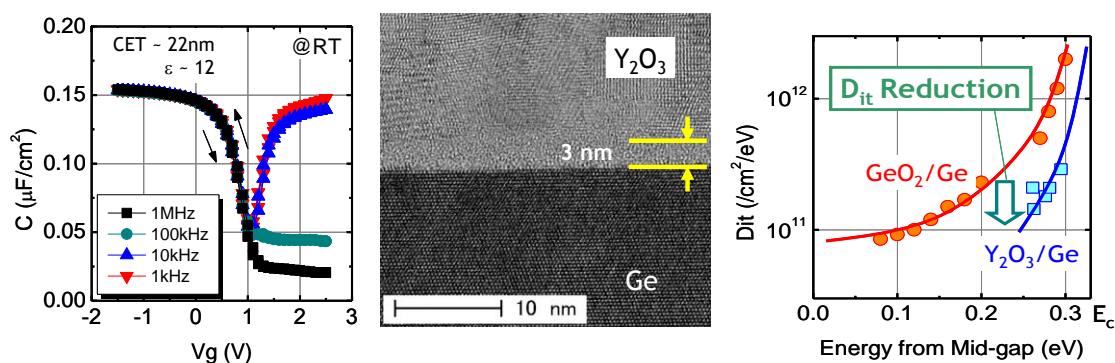


図 1-15 Ge 上の Y₂O₃ を HPO(550°C)/LOA(400°C) を施す事によって界面準位の極めて少ないゲートスタックを形成することができた。上層は結晶化しているが、界面層は Y を含む GeO₂ を主としたアモルファス層が形成されている。この事は EOT scaling に極めて重要な役割を果たす。

1.3.2. Ge/絶縁膜界面制御の理解と一般化モデル

Ge との絶縁膜界面を考えるにあたって、テクニカルな部分は別にして何を制御する事によって界面をよくしている(あるいは劣化させている)と考えればよいのか。これは本 CREST プログラムの最大の焦点と考えてきた。劣化させている主な起源は GeO の脱離に関係した部分である。当初からこの部分に焦点を当ててきたからという訳ではなく、実験的にすべての事がそこに突き当たる。つまり GeO の脱離は界面における Vo の形成と関係していて、これさえ防げれば Ge/GeO₂ 界面は驚くべき事に水素アニールを行わずとも界面準位の極めて小さい界面になりうる。これを熱力学的に克服する一つの方法が高压酸化である。

一方 Ge/High-k 界面の改善を行っている中で Ge/High-k の高压酸素アニールは限りなく理想に近い CV 特性を実現することがあることを見つけた。特に High-k 膜として希土類酸化物の場合には単純な Ge/GeO₂ よりも界面を安定化させる何らかの機構が働いている。希土類金属と Ge の界面の素性の良さは、両者が比較的混じりやすい(相互拡散しやすい)ということと関係しているように考えられるが、このことは前項で述べた Ge/Y₂O₃ 界面を調べると容易に理解できる。実際には Y₂O₃ は 500~600°C の熱処理で結晶化する。しかし Y₂O₃ を堆積して 500°C で熱処理すると、表面層には結晶化 Y₂O₃ 層、界面層として非晶質 YGeO_x 層が観測される。これは GeO₂ に Y₂O₃ がドーパされた層であり、この系の善し悪しがゲートスタックの善し悪しを決めている。

以上の二点を考えると、もう一度熱力学的考察に戻ることができる。図 1-16 に示すように、酸素圧力を上げる、あるいは Y₂O₃-GeO₂ を形成するということは界面層の酸素ポテンシャルを下げる事に対応している。つまり、酸化物としての安定性を相対的に上げて脱離を抑えている。Y₂O₃-GeO₂ に酸素アニールを施してもほとんど膜厚は増えないことから実際に酸素の拡散は抑えられている。ただし、この効果を最大限に使うには希土類金属酸化膜(REO_x)を選択する必要がある。EOT が厚い時には、どのような REO_x でもかなりよい質の界面ができるというのは、我々は既に LaLuO₃ 膜を Ge 上に形成して理想に近い CV 特性を得ている時に知っている。

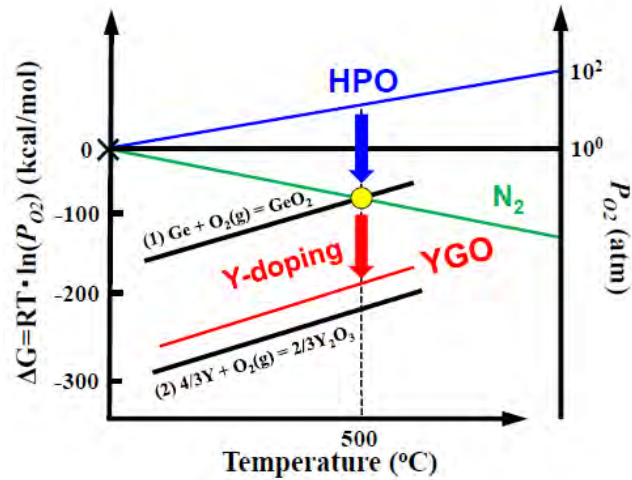


図 1-16 外部酸素圧力と Y_2O_3 のドーピングによる安定化の同等性を模式的に示す。外部酸素圧力を上げる事による GeO 平衡蒸気圧を変化させる。一方で、平衡蒸気圧の低い酸化物をドーピングすることによって材料の平衡蒸気圧下げる。これらの等価性が示唆される。

さて、このコンセプトを薄膜領域でどのように取り扱っていくかは、4節の Scalability の部分でもう一度説明するが、以下で熱力学的に記述してみる。

$$\Delta G = \Delta G^0 + RT \ln \left(\frac{a_{MO_2}}{a_M \cdot P_{O_2}} \right)$$

$$a_{MO_2} = a_M = 1$$

$$\Delta G = \Delta G^0 - RT \ln(P_{O_2})$$

$$\Delta G^0 = RT \ln(p_{O_2}^0)$$

$$\therefore \Delta G = RT \ln(p_{O_2}^0) - RT \ln(P_{O_2}) = RT \ln \left(\frac{p_{O_2}^0}{P_{O_2}} \right)$$

上記のように Gibbs 自由エネルギーの圧力、ドーピングの効果による変化を考える。 ΔG_0 は材料によって決まる量であり、圧力は第二項からの寄与を示している。これは材料選択と圧力効果の等価性を示す（最終項の対数項における分母か分子の制御の違い）。これによってドーピングした材料が良いという結論は出せないが、ドーピングする材料は Y_2O_3 のような酸素ポテンシャルの低い材料でなくてはならない。

一方、 HfO_2 のドーピングでは特性が劣化するおとは実験的にわかっている。これは、金属と Ge の反応性を考えなくてはならない。希土類金属においても La の場合には Ge との反応性が高く、Ge-M 結合を作ってしまう、界面において金属結合を作ってしまう。実験的には、XPS によって Ge のケミカルシフトを観測すると、金属結合の寄与が実際に観測される。

上記の様に、Ge 基板上的 High-k 材料の選択に対しては、膜としての安定性と界面の反応性の二面性を考える必要があり、ここに材料の個性が入ってくるが、ここを支配しているのは、界面における熱力学的な特性として捉えることができる。熱力学特性がどのように決定されているかは第一原理計算が必要になるが、我々が界面を取り扱う場合には、熱力学的パラメータによってナノスケール界面を制御するという考え方は生きており、Si あるいは新たな材料の界面を取り扱う場合にも指導原理として使えることを意味している。

1.4. HK/GeO₂ ダイポール

Si CMOS の異常 V_{th} を説明する起源として、High-k/SiO₂ 界面に形成されるダイポールが提案されている。この事は High-k/GeO₂ においてもそうなのだろうか。本プログラムでは、ダイポールの起源に関して迫るといよりも GeO₂ においてどうなのかという一点に関してのみ焦点を当てて Al₂O₃/GeO₂, Y₂O₃/GeO₂ の二種類のゲートスタックについて調べた。Si/SiO₂ 上に一定膜厚の GeO₂ を堆積し、その上に膜厚を変えながら Al₂O₃ および Y₂O₃ を堆積した。その後 Au 電極を形成し、MOS キャパシタの V_{FB} を測定することでダイポールの存在を確認する実験を行った。結果は、図 1-17 に示すように明らかにダイポールの存在を示し、その向きは SiO₂ で考えた場合と同じである。SiO₂ と GeO₂ ではその大きさがあまり変わらないということから、この結果は我々がすでに提案しているモデルをサポートする。

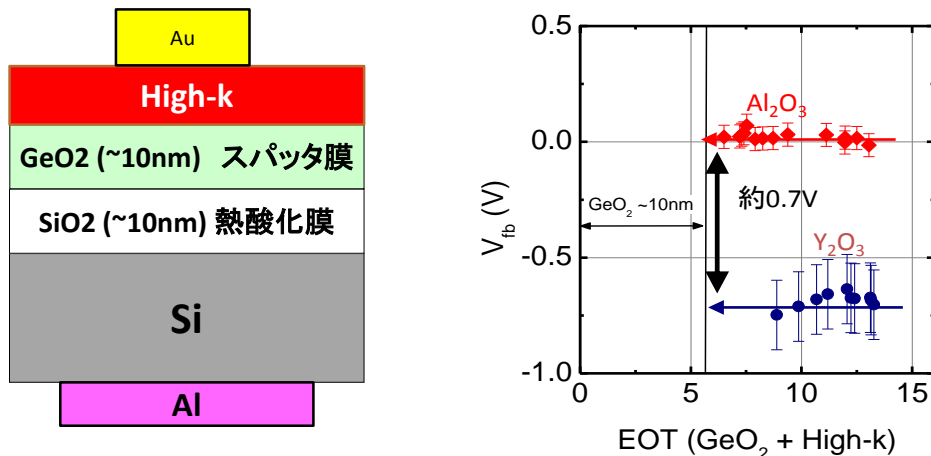


図 1-17 GeO₂/High-k 界面にダイポールが形成されるかを確認するための MOS 構造、右図は V_{FB} の High-k 膜厚依存性の結果。Al₂O₃ の場合が Y₂O₃ に比べて約 0.5V だけ正の方向に V_{FB} シフトが観測される。膜厚依存性がほとんど無いことから、この V_{FB} シフトはダイポール効果と考えられる。

1.5. Ge ゲートスタックにおける世界的に見た類似研究との比較

Ge FET に関しては、まず国外に目をむけると、学会や論文等で目に見える形で行っているのは、Stanford 大学、IMEC、台湾の大学（交通大学、清華大学、台湾大学）であろう。IMEC、台湾では、めざすべき対象に対して直接的に微細化をねらった研究になっており、今回の CREST プログラムのようなスタンスで進めてはいないので拮抗することはない。Stanford 大学の研究はゲートスタックに関する材料科学だけでなく、デバイス応用、フォトニクス応用まで含めて幅が広い。その意味で幅広い知見が得られていると思われる。但し、ゲートスタックという観点で見た場合、厚膜からの一般化という観点で制御技術を理解しているようには思われぬ。それは米国の研究の特徴でもあるが、即現実技術にもなり得るがそのベースに危うさも残る。基礎は他が担うというやり方で、出口の新しさを見つけないというやり方である。

国内に目を向けると逆に基礎的・材料的研究が多く報告されている。ゲートスタックあるいは要素技術に関しては、財満教授（名古屋大）のグループが Ge 上の希土類金属酸化物の ALD 技術で蓄積を持っている。今回報告したことは最終的には製膜手法によるのではなく、材料学的にどのようなゲートスタックを構築するかが重要なポイントになっているが、我々も ALD を視野に入れており学ぶことが多い。宮尾教授（九州大学）のグループは大変ユニークな Ge の液相エピ技術に関して研究を進めており、Ge の結晶成長を理解するという上で国外にない貴重な研究であり大変参考になる。また国内では物理分析に関して強さを持っている研究室も多く、Ge デバイスの研究というよりも物理分析対象の一つとして Ge を選択している例も多い。一方、デバイスサイドからの

研究においても、高木教授グループ(東大)は III-V(n-MOS), Ge(p-MOS)という考えを基本にして活発に検討を進めている。特に Ge 上の Al_2O_3 の使い方は巧みである。我々の解釈からすると Al_2O_3 も酸素ポテンシャル制御手法の一つであり(4.2.5 参照), 通報はプラズマ酸化技術が着目されるが Ge 界面に Al_2O_3 ドープの GeO_2 層の低温形成という部分が実はキーになっていると考えている。

現在, Ge の要素技術に関する国内の研究アクティビティは国外と比べてかなり高いものがある。その中で, 我々はまずは **Scaling** という観点にはとらわれずに, どういう状態が何故ゲートスタックとして良いのかという観点に着目してきた。結局はそのことが全体を理解する上でベストな手法であったと考えている。

国内における産業界がその気になり, 実用化研究が企業において活発に行われれば, 一気に世界をリードする産業技術基盤はできつつあるのではないだろうか。

2. 接合技術

2.1. Schottky 障壁と Fermi-level Pinning (FLP)

Ge と金属の Schottky 障壁が異常な振る舞いを示すことは以前より知られていた。我々自身も幅広い仕事関数を持つ金属に対して Schottky 障壁がほとんど変わらないと言うことを示した。この起源が何であるかに関しては諸説あるが, Schottky 界面は固相界面の代表選手であり, 先入観を持たずにこの起源を明らかにしたいと考えてきた。

しかしながら残念なことに本プログラム中で未だその起源は明らかになっていない。かなりたくさんの実験を行ってきたが, 本質を周辺から覗いているようで核心に迫れていない。ただし, その起源はともかくとして下記の薄膜絶縁膜挿入効果に関しては多くの研究機関が追試をし, その有効性を確認しており, 最近にはトンネルコンタクトという観点で Ge だけに限らず Si あるいは III-V にもその手法が適用され有用性が議論されている。

2.2. 絶縁膜挿入効果

Ge と金属の間に薄い絶縁膜を挿入することで FLP の強さが大きく影響される。結論から言うと, 後でわかったことであるが, この発見は Si において仕事関数を変調する方法として提案されており特許も存在した。我々はこの報告を知らずに次のような観点で始めた。FLP は表面ポテンシャルが界面でピン留めされ動かないという状態である。一方, MOS キャパシタというのは表面ポテンシャルをスイープすることによって動作させている。そうだとするとリーク電流があるような状況での FLP というのはどうなるであろうかという素朴な疑問である。この実験をストレートに行った結果が図 2-1 である。この結果は国外を含めて多くのところで興味ある結果として注目され, 追試および絶縁膜の種類, 金属の種類, 形成方法の影響などを含めて調べられた。FLP の変調の程度は絶縁膜によるが, 大局的にはほぼ同じように振る舞う。他機関からの発表では窒化膜を挿入した場合には pinning されるエネルギー位置が大きく変化することが報告されている。このように考えると, 極薄絶縁膜挿入に関しては, ピンニングファクターの変化(ピンニングの強度)と電荷中性点の変化という二点の変化を考えなくてはならない。Ge そのものに対する電荷中性点は価電子帯付近にあることは第一原理計算からも示唆されているが, 絶縁膜挿入をした場合に同じ位置にあるかどうかは界面の形成のされ方による。本来, 電荷中性点は界面効果ではなく半導体バルクの効果とされているが, そう簡単には言えない。これらは将来に残された問題であるが, ショットキー特性を理解する上でキーとなる実験であると考えている。

一方で, 極薄酸化膜の挿入には現象論的には二つの効果が重畳されている。一点は Schottky 障壁値の変化であり, もう一点は挿入絶縁膜のトンネル抵抗である。 TiO_2 が Ge に対して伝導帯側でほとんど障壁を持たないので, その場合にはトンネル抵抗が小さいことは容易に想像される。そこで, GeO_2 膜と TiO_2 膜の場合に関してこの影響を調べた。ここから以下の二点が明瞭に示された。一つは絶縁膜厚に対して抵抗の最小値が存在すること, 二点目はその抵抗最小値は TiO_2 膜の方が著しく小さいことである。上記の結果は, ショットキー抵抗が上記二つの競合過程の結果である事を明瞭に示している。

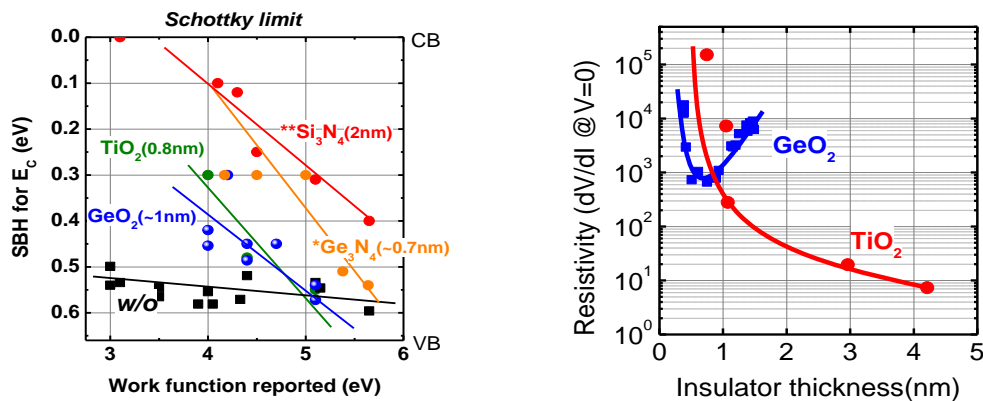


図 2-1 左: n 型 Ge に対するショットキー障壁を金属の種類を変えて評価。メタルと Ge の間に絶縁膜を挿入した場合に pinning の強さが大きく変わることを示している。右: 挿入絶縁膜を GeO_2 と TiO_2 の 2 種類について 2 端子で決めたコンタクト抵抗。

これらの結果からピニングモデルとして、まずは MIGS (Metal-induced Gap States) モデルが想像されたが、Ge の場合には実験的には pinning の強さを表す因子である S-パラメータは完全 pinning の $S=0$ の状態から $S=0.2$ 程度までしか回復していないことがわかる。この場合、残りの強い pinning はどこから来るのだろうか。そもそも極薄絶縁膜を挿入するということは Ge 表面状態も変えているわけであり、波動関数の染みだしを抑えたという MIGS モデルを支持する結果だけ引き起こしているわけではない。そうすると DIGS でも、界面の局所 bonding 状態の変化でも定性的には説明できてしまう。一方で我々はエネルギーギャップは半導体の誘電率にも結びついており、それが狭い半導体では (例えば Ge), 誘電率が高いことが効いていないかという観点で界面の実効的仕事関数という観点から考えようとした (中間成果報告)。実際、金属表面に薄い絶縁膜を形成して UPS を用いて金属の仕事関数を精度高く測定することを試みたが、 0.1 eV の精度で決定することは今のところ難しく結論に至っていない。少なくとも仕事関数の界面からの寄与に関しては実験的に引っかかるはずであり、今後多くのヘテロ界面デバイスを構成していく上でも非常に重要な実験になるであろう。今後さらに精度をあげた実験を考えていきたい。

Ge 上では金属による違いが SBH にはほとんど現れないが、Ge との反応性という観点からはかなり違う。70 年代に当時大阪大学の平木教授らが行った実験で、半導体上の Au の特殊な振る舞いである。Si 上に Au を堆積して室温で放置しておくくと Si が Au の上まで出てきて SiO_2 となっているという実験である。今回はこの実験を Ge 上で行った。Ge 上に Au を 20 nm 真空蒸着し熱処理したサンプルと熱処理しないサンプルの、XPS 測定を行った。図 2-2 に結果を示すが、熱処理無しの状況下でも Ge は Au の上に“成長”しているように見える。熱処理すると明らかに Ge は表面に析出し酸化している。この結果を鑑みると、先の界面の取り扱いに関して今一度考え直さなくてはならないことがわかる。Au を蒸着した時に、Au は既に Ge 基板方向に拡散して固溶している。これは単純 MIGS モデルのように Au の波動関数がエバネッセント的に半導体側に染みだしたという意味では無く、実際に Au が Ge 中に固溶した状態を考えないといけな。この現象は Au で特徴的に観測されるが (Au だけではなく仕事関数の大きな材料で観測される)、一方で pinning の強さ S を議論する際にはメタルの特殊性は考慮されず、ただ仕事関数を並べただけであり、真に Schottky 特性を見ているとは言いがたい。もちろん Ge のように $S \sim 0$ である系では、混じり合うことで仕事関数が増えたとしてもその傾向は変化しないかもしれないが、考える出発点としては異なる状況を見ていることになってしまう。

上記のように考えても、まだ新しい局面までには至っていないが、先に述べた界面での場による効果と個別原子の著しい拡散のような効果の両方を考慮することが、メタル/半導体 (絶縁体) 界面

を考える上で避けて通れないように思われる。かなり重いテーマであるが、今後も研究として続けることによって、従来の MIGS, DIGS という形だけの議論から、もう一步現実的にかつ基礎的に全体像を構築していきたい。

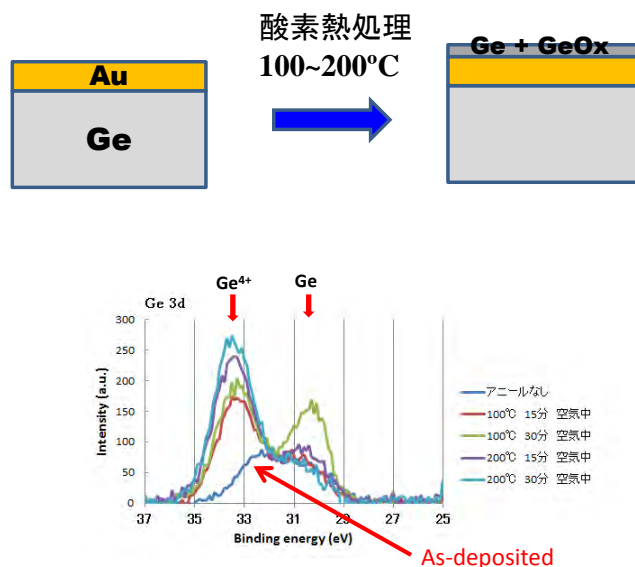


図 2-2 Au の Ge 中への固溶と Ge の拡散を示す実験の模式図と実験前後の XPS による結果。Ge 基板上に Au を蒸着し、空気中で熱処理をした場合に表面に GeO_2 が観測される。Au 蒸着はステージを液体窒素冷却した状態で行い Au 堆積時の反応を極力抑えたが as-depo 時に Ge は表面に析出してきている。

2.3. p/n 接合

Ge デバイスではコンタクト抵抗が常に懸念点として議論されるが、実はリークが少ない pn ダイオードを安定して形成する事が大変難しい。実際、これに関しては研究があまり進んでいないために、あまり議論はされない。これに関して、我々はイオン注入による欠陥生成と再結晶化過程に着目した。図 2-3 は P をイオン注入しアニールした後、表面を H_2O_2 で比較的過激にエッチングした場合の欠陥を SEM で観察したものである。構造的欠陥と電氣的に観測される欠陥とを注意深く分けていかななくてはならないが、ここに一つの手がかりがあるように思う。そこから結晶の再結晶化過程をどのような指導原理で制御していけばよいかを明らかにしたい。

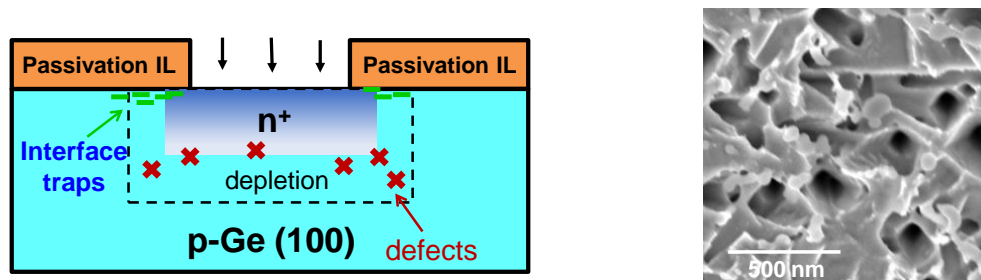


図 2-3 P を 30 keV で 1×10^{15} 注入した後、 $600^\circ\text{C}/30 \text{ sec}$ の熱処理。表面層には欠陥は観測されないが少し表面を少しエッチングすると明瞭に観測される。やや極端な部分を示しているが、程度の差はあれ欠陥が回復されない。この事は Raman 測定によっても観測される。

イオン注入後の欠陥形成に関しては、もう少し定量的に Raman 測定を通してしらべてみた。図 2-4 は、P をイオン注入したあとの結晶性の回復過程とアニール温度の関係を示したものである。結晶性の回復に関しては、Ge ラマンシフトの半値幅を尺度として用いた。イオン注入後のサンプルは、当然であるがアモルファス状態になっており、アニール温度を上げて行くにしたがって、本来の位置にピークは回復していく。しかしながら、半値幅は Ge にとってかなり高い温度までアニール温度上げても (800°C 付近まで)、半値幅はイオン注入する前の状態にまで戻らずに、ある値に飽和していくように見える。このことは、Ge の結晶回復は通常の熱処理ではバルク状態においても回復せずに結晶欠陥が安定状態に残ってしまうことを意味している。この結果が P というドーパントによる結果なのかどうかを確認するために Ge のイオン注入も行った。完全に回復しないで、あるレベルに飽和するということが P の場合と同じであることがわかった。つまり Ge のイオン中技術に関しては、何かしらの工夫が必要になることは間違いない。さらに図 2-4 右図には、P のイオン注入のドーズ量を変えて 600°C でアニールした場合の抵抗率の半値幅の関係を示した。ここからわかるように、半値幅が劣化しない範囲では抵抗値はドーズ量と共に減少するが、半値幅が増加するにつれて、活性化率が劣化することがあかる。このことは不純物の活性化が欠陥形成と結びついていることを示唆するが、微視的な機構に関しては今後の研究に期待するところである。イオン注入欠陥に関してはもう少しシステマティックな研究が必要であり、このことは FLP とも結びついている可能性はあり、大変興味深い。また Ge 基板自体がまだ mature ではないということとあわせて(6章で述べる)、欠陥と電気特性の関係は今後の Ge 技術の中心課題になるのではないかと考えている。

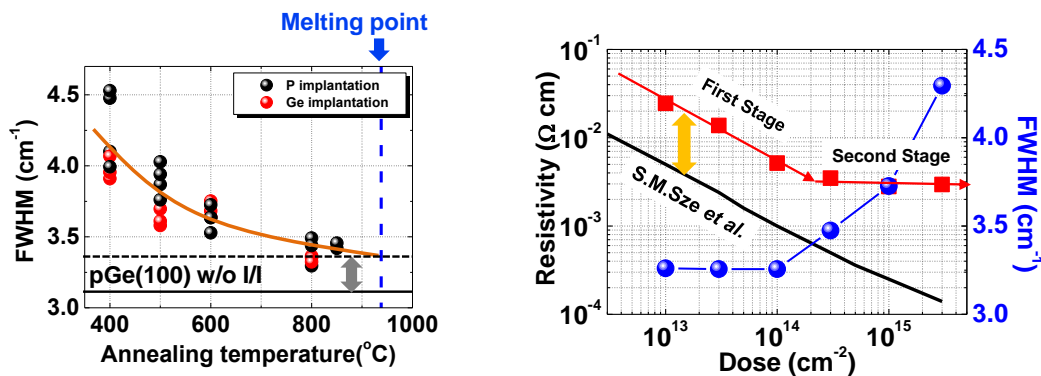


図 2-4 イオン注入後の Ge ラマンシフトのアニール温度依存性。800°C を超える温度で熱処理をしてもイニシャルの値には戻らないことがわかる。一方、ドーズ量を変えた場合の、ラマンシフトの半値幅と抵抗値の関係は大変よい相関を示していることがわかる。

そこで別の方向として germanide 化と偏析を利用したいいわゆる雪掻き効果を適用し、300°C で n 型不純物を活性化させる事を試みた。これは金属と Ge が反応して行く過程で、同時に不純物を活性化しようというものである。Ge 中で n 型不純物は拡散が速く活性化とのトレードオフがあり、しかも Si と比較して固溶限が低い。雪掻き効果においては germanide 化反応により不純物が germanide/Ge 界面に偏析され、不純物原子がより界面近傍の限定された領域で活性化される。今回のプログラム中においては、実際に偏析しているかどうか、あるいはその最適化等に関しては至らなかったが、本手法によって 400°C という低温領域での活性化が可能であることを示すことができた。

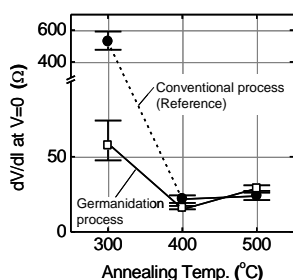


図 2-5 Ni を使った雪かき効果の結果。実際に界面に P が偏析しているかどうかはわからないが、400°C で不純物は活性化していることはわかる。また、この手法では、基本的には Ni と Ge の反応を行うことで不純物を活性化しているために、通常の熱処理による欠陥回復過程とは異なる事が期待され、活性化だけでなくダイオード特性を含めて改善できる可能性がある。

2.4. 接合技術に関する世界的に見た類似研究との比較

金属/Ge 界面のバンドアライメント制御に関して、極薄絶縁膜による FLP の緩和効果については Stanford 大学, IMEC, UCLA からの報告があげられる。我々の結果と同様に FLP の緩和効果が確認され、FLP の起源というよりもトンネルコンタクトとしての適用の最適化に焦点を当てている。一方、国内ではエピタキシャル金属/Ge 界面構造に注目した接合界面の理解を試みる研究が報告されている。財満教授（名古屋大学）のグループからは MnGe/Ge 界面において、宮尾教授（九州大学）のグループからは Fe₃Si/Ge 界面において、それぞれ伝導帯端へのショットキー障壁の低下が報告されている。エピ界面構造では金属の仕事関数を系統的に変化させる実験はできないので FLP そのものの評価が困難であるものの、Ge においても界面構造という因子がショットキー障壁高さを決定する機構に寄与することを示唆している点は非常に示唆的である。

p/n 接合に関しては、n 型不純物の活性化に関する検討が IBM により進められている。Si でも知られる co-implantation（ここでは Sb と P）や 1 回の熱処理では活性化限界があるという観点から進めた MIMA (Multiple implantation multiple annealing) が報告されている。後者はイオン注入時に導入されたダメージが過剰であると回復が困難となる本研究の結果とも整合している。また Stanford 大学等より Laser アニール、台湾の大学より Microwave アニールといった手法の報告も見られる。高木教授（東京大学）のグループでは気相から不純物をドーピングすることによってオン・オフ比を上げることができることを示している。イオン注入そのものに関する欠陥形成に関しては、古くからドイツなどでは研究が行われているが、かなり地道な研究をする必要があり、未だに多くの議論がなされている。

以上のような状況の中、我々のレベルは他所に比べて劣っているわけではないが、ゲートスタック形成のようなクリアな指導原理がなく、どこに焦点を置くかが未だ定まっていない点が不十分である。Ge 中の欠陥の動きは大変速い事が知られており、今後はこの欠陥に焦点をあてた研究を強力にすすめていくことを考えている。

3. FET 技術

3.1. 概要

Si にとってかわる材料として Ge を取り上げるのはバルク移動度が Si に比べて高いということが大きなモチベーションになっており、ともかく移動度の向上は Ge 技術を意味あるものにする上で必須である。特に n-MOSFET に関しては、本 CREST 以前に成功例がほとんどなく、そのような中で始めたプログラムである。

MISFET の移動度を決定する散乱機構については Si MOSFET において、Coulomb, phonon, roughness 散乱が基本的な散乱機構としてとりあげられる。高圧酸化によって界面準位は大幅に減少し、Coulomb 散乱は減少したおかげでピーク移動度は著しく向上した。なお短チャネル素子の作製は当初から目標として狙っていないので、先に課題として述べたソースドレイン抵抗は移動度評価には効いてこない。低温領域でその影響があると思われる時には 4 端子法によって常に寄生抵抗の影響をチェックしながら研究をすすめた。

3.2. 面方位

Ge-MOSFET における電子モビリティの報告値は、本 CREST プログラム開始時には Si MOSFET の場合に比べてずっと低かったが、ゲートスタックの章で述べたように、高圧酸化、及び低温酸素アニールというゲートスタック形成コンセプトのもとで作成された GeO₂ をゲート絶縁膜とした n-MOSFET の移動度を評価したところ、すぐに図 3-1 に示すようにピークモビリティとして Ge(100)面上で約 800, (111)面上で 1100 cm²/Vsec という高い値を実現できた。これは HPO+LOA による界面準位の低減のおかげである。また、その界面準位低減は面方位によるということを示している。Ge においては(111)面において伝導帯の有効質量は確かに小さいが、実際に得られたモビリティが(111)面において大きいのは界面準位低減効果の寄与が大きい。また、この段階ではモビリティは温度低下とともに減少し、いまだクーロン散乱と思われる機構がモビリティを

劣化させており、さらに改善の余地があることを示している。

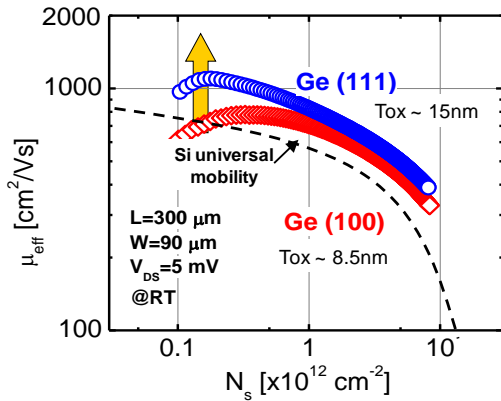


図 3-1 n-channel MOSFET における電子移動度のキャリア数依存性。(100)面と(111)面上の結果について示す。これは有効質量を考えると妥当であるが、この結果は必ずしも有効質量のおかげだけでは無く、先に述べたように面方位によって界面準位密度が異なるという点にある。つまり(111)面は界面準位が少ない。

3.3. ピーク移動度

目標をまず Si と同程度の値(ほぼ 800 cm²/Vsec)に設定し、上記の様にこれはすぐに実現された。次にターゲットを歪み Si とし、目標を通常の Si の 2 倍においた。これは先の Y₂O₃ ドープの GeO₂ の項で述べたように、Y₂O₃ の高圧酸素アニールによる界面形成によってほぼ実現された。さらに低温酸素アニールの時間を長くすることによって界面がさらに改善され(この事は S ファクターの改善でも確認される)、ピーク移動度は 1920 cm²/Vsec まで向上した。これは Ge のバルク移動度の約半分である。つまりピーク移動度はゲートスタックを改善することによって著しく向上した。このピーク移動度の推移を年代に追って図 3-2(a)に示す。電子移動度はここ数年間で指数関数的に改善していることがわかる。p-MOSFET に関してはあまり注力してこなかったが、同じ手法を用いて作成した結果が図 3-2(b)である。ここでも Si の場合に比べてほぼ 4 倍程度まで増加した。歪み無しの結果としては現時点では記録値であり、HPO+LOA による界面形成の素性の良さを表している。

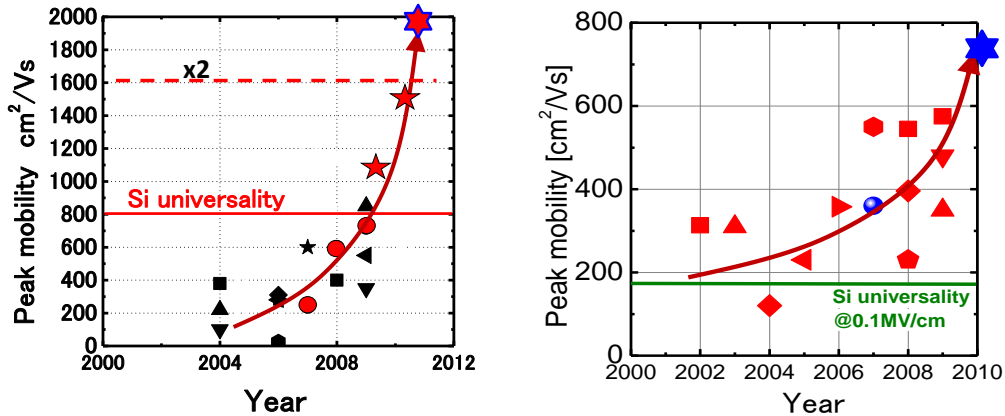


図 3-2 (a)電子及び(b)正孔のピーク移動度の年次推移。電子に関しては、赤い点が、正孔に関しては青い点が当研究室からの発表。ここ数年間で移動度は著しく向上したことがわかる。これはほぼゲートスタックの質が向上したことによる。

移動度の電子濃度依存性を図 3-3 に示す。ピーク移動度に関しては界面欠陥による電荷不純物散乱の抑制によって大きく改善したが、電子濃度が高い領域ではほぼ一様な値に収束する。実際の I_{ON}を決めるのは主にこの高電界側の移動度であり、高電界移動度の改善は現実的にもきわめて重要である。Ge 基板の面方位を変えても、絶縁膜を GeO₂から Y₂O₃に変えても、高電子濃度

移動度の値はほとんど変わらない。上記のことを別の角度から検証するために電気的ストレスによって界面欠陥生成を行った。ピーク移動度はストレス時間とともに劣化することが予想通り得られたが、高電子濃度側では電気的ストレスによってもほとんど変化しなかった。

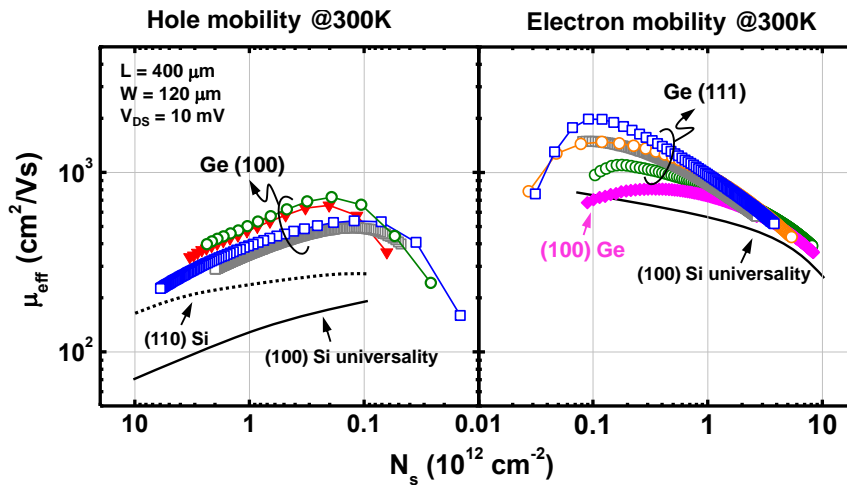


図 3-3 室温における Ge n-MOSFET, p-MOSFET の電子及び正孔の移動度のキャリア数依存性。ピーク移動度は電子が 1920, 正孔で 725 cm²/Vsec の値が得られている。もちろん全領域で Si におけるユニバーサル値は超えている。図にはプロセスパラメータを変えた結果も含めある。ピーク移動度は改善したが、高電界移動度は改善が見られないことが明瞭によみとれる。

3.4. サブスレッショルド特性 (S ファクター)

FET において移動度とともに重要なパラメータとしてサブスレッショルド・スロープ(SS)がある。この値は電源電圧の制御は低電圧化には必須である。またこの値は界面準位量と関わっていることがわかっており界面準位の低下とともに S ファクターも改善しているはずである。図 3-4 は SS の改善効果を示す。80 mV/dec は実効ゲート絶縁膜厚が 22 nm 程度であることを考えるとほぼ理想に近い界面と言える。

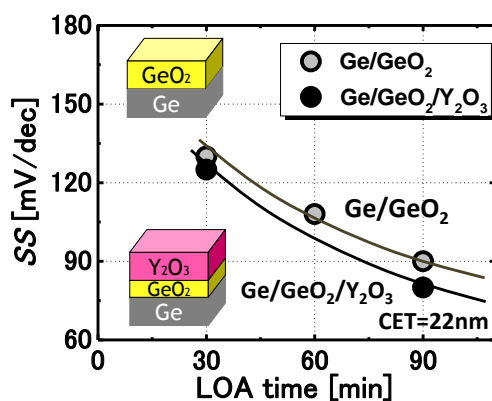


図 3-4 Ge n-channel MOSFET の S ファクターの改善の低温酸素アニール (LOA) 時間依存性。ここで GeO₂ を HPO で形成した後の LOA の時間依存性を示す。LOA を増加させるとともに S ファクターの値が減少することがわかり界面準位の減少が見て取れる。Ge/GeO₂/Y₂O₃ のスタックの場合に関してもほぼ同じ傾向を示している。

3.5. 高電界移動度

ピーク移動度の増加とともに高電界側の移動度の低下は本質的な問題として見えてきた。そこで高電界側の移動度は本当に界面凹凸で律速されているのかを明らかにする目的で、意図的に界面凹凸を変えた表面を作成し、その上に作成された MOSFET の移動度を評価した。凹凸の指標として AFM で計測した RMS を用いた。図 3-5 に示すように RMS 値を数倍変化させても高キ

キャリア数領域における移動度はほとんど変化しない。このことは単純な凹凸散乱によって移動度が支配されているのではないことを示唆する。しかし形成されたラフネスの散乱への凹凸の影響などは凹凸の相関長も考慮した検討が必要である。そこで原子レベルでの Ge 基板表面の平坦化と移動度の関係が必要になってきた。

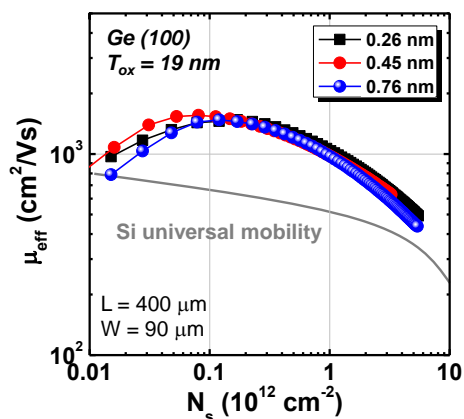


図 3-5 表面ラフネス変えた場合の MOSFET の移動度。界面ラフネスはウェットエッチングによって制御した。RMS を数倍変えても高電界移動度の違いはほとんどない。興味深いことにラフネスだけではピーク移動度もほとんど変改しない。

3.5.1 Ge 表面の原子レベル平坦化

500~700°C程度のH₂(100%)処理によって、特に(111)表面はで原子レベルで平坦化することを発見した。これはSiのアナロジーで始めた実験であるが、このような低温で極めて明瞭な原子レベルでの Step & Terrace 構造が観測されるとは予想してはいなかった。図 3-6 では Step & Terrace 構造が明瞭に観察され、またそのステップの高さはまさに(111)面におけるステップを反映したものになっている。また Step 密度は(111)面の基板オフ角にほぼ対応しており、基板の面を調整することでテラス領域を制御できることを示している。本報告では述べないが、(100), (110)面においても原子レベルにおける Step & Terrace 構造が観測されている。

AFM像 0.7μm□



図 3-6 Ge(111)表面の水素アニール後の AFM 像 (700°C, 10 分)。(a) 0.7μm×0.7μm 領域における表面 AFM 像。(b) (a)図の線上における断面ステップ像。右に模式的に(111)面におけるステップを示している。~0.32nm のステップはまさに(111)面のステップを示す。

3.5.2 Ge 基板の Layer-by-layer 酸化

移動度を議論する際に重要なのは、イニシャル表面の凹凸ではなく、最終的な界面の凹凸である。このため酸化膜形成後の界面凹凸を調べる必要がある。4章の Scalability のところで述べるが、低温高压酸化によって圧力と共に酸化レートが小さくなるというまったく予想外の奇妙なことが見つけられた。この領域で上記の Step&Terrace 構造を持つ Ge 基板を酸化すると GeO_2 形成後も表面に Step&Terrace 構造が維持されることがわかった(図 3-7)。通常の酸化を行ってしうとすぐに構造は壊されてしまう。つまり低温高压酸化を行うことによって、いわゆる layer-by-layer 酸化が起きており、この条件における移動度の変化から凹凸散乱の効果を議論できるはずである。

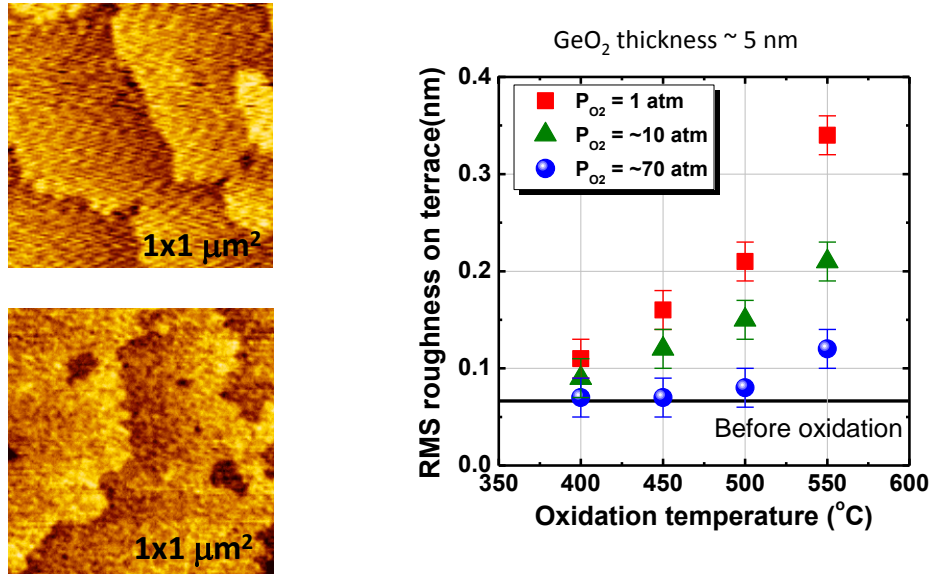


図 3-7 左上図は Ge 表面, 左下図は酸化後 (500°C), 右図は各種酸化の後の表面ラフネスの変化。低温高压酸化においては原子レベル平坦性が 500°C まで維持される。一方, 常圧酸化を行うと 400°C あたりからラフネスは増加し, Step & Terrace 構造は消失してしまう。

3.5.3 高電界移動度と原子レベル界面ラフネス

移動度と界面ラフネスの関係はラフネスの相関長を考えないと RMS だけではあまり意味が無いという事は以前より指摘されている。そこで, どのくらいの相関長が移動度に効いてくるのかをまず基本式に戻って計算した結果を図 3-8 に示す。

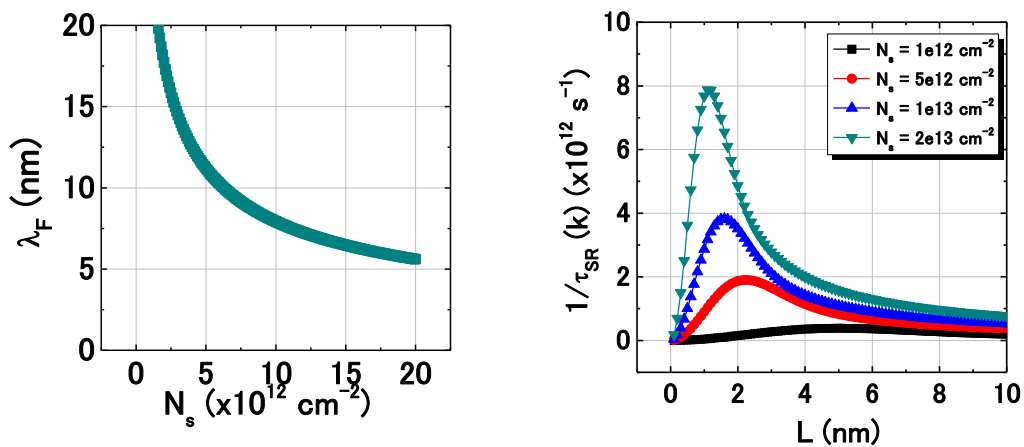


図 3-8 2次元電子系を仮定した場合の電子の Fermi 波長とラフネス散乱確率と相関長の関係。高電界領域では, 数 nm のラフネス相関長の時に移動度に大きく効くことがわかる。つまり巨視的凹凸の減少と移動度は直接的に対応していない。

上記の計算結果を踏まえて高電界移動度を評価した。結果は図 3-10 に示すように高電界領域における移動度の大幅な向上を実証することができた。原子レベルフラットな膜における相関長は長くなることは当然想像される。結果として数 nm 領域の相関長はほとんど効かなくなり高電界モビリティは向上したと考えられる。一方で、低温高压酸化 (500°C) においても高電界移動度は改善している。これは後でも述べるが、低温高压という状況は酸化膜形成において極めて特殊な状況になっており、酸化が極めて抑えられている状況である。そのような状況では界面は平坦化の方向に向かい、結果として高電界モビリティは改善している。これは界面ラフネス散乱確率が大きく減少することを予測させる。通常の高温高压酸化では界面のラフネス低下は起きない。その結果、上記の二サンプルに比べて、ピークモビリティは同程度であるが高電界モビリティはほとんど改善しない。

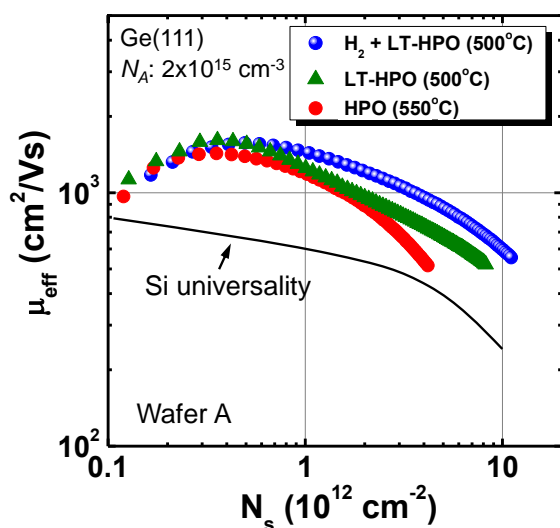


図 3-10 Ge 表面に形成された FET における電子移動度の電子密度依存性。水素アニール処理+低温高压, 単なる低温高压, それと通常の高圧酸化した 3 種類のサンプルに対して示されている。前者 2 種類のサンプルに対して、高電界で著しい移動度向上が観測される。ピーク移動度はほとんど変わらないということにも注目する必要がある。

高電界領域における移動度の劣化は、本質的というよりも界面を注意深く改善する事によって大きく改善することができた。この事は Ge FET 技術において、2 番目に重要なポイントである (1 番目は言うまでも無く界面準位の減少によるピーク移動度の大幅向上である)。

3.6. FET 移動度に関する世界的に見た類似研究との比較

Ge 技術のベンチマークの一つは移動度であるので、多くの機関が移動度の値に関しては敏感に対応する。そして多くの機関がゲート絶縁膜の EOT 薄膜化との関係で移動度を議論する。現実的に使う時には確かに 1 nm 以下の EOT において使うわけだが、だからと言ってその領域についての特性だけを議論していたのでは散乱の基本量の理解を見誤ることになる。そのような考え方に基づいて、我々は散乱機構一つ一つに焦点をあてながら研究を進めてきた。そして、いずれの場合にも最高の移動度を実証することができた。そのような意味では類似研究があるかという点に他には無いと思っている。

薄膜 EOT の場合の移動度の議論は 4 章でもう一度比較を行い、相互比較する。

4. Ge CMOS Scalability

4.1. Ge FET の短チャネル効果

本プログラムでは短チャネル素子を作製することは含んでいない。ただし Ge FET が短チャネル効果に対してどのような状況にあるかは認識していることは必要であるので以下に短チャネル化で現れる 3 種類の課題 (SS, DIBL, GIDL) に関して簡単に述べる。それぞれは簡単な近似の元で解析的に以下のように書ける (もちろんデバイス構造によるが、

ここでは通常の Planar 構造について議論する)。

$$SS = 2.3 \frac{k_B T}{q} \left(1 + \frac{q^2 D_{it} + C_{dep}}{C_{ox}} \right)$$

$$DIBL = 0.80 \frac{\epsilon_{semicon}}{\epsilon_{ox}} \left(1 + \frac{x_j^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{dep}}{L_{el}} V_{DS}$$

$$GIDL \propto \frac{E^2}{\sqrt{E_G}} \exp \left(-\alpha \frac{E_G^{2/3}}{E} \right)$$

Subthreshold 特性が界面準位で決まるとすると Ge のディメリットはない。DIBL に関しては Ge の比誘電率(16)が Si(11.7)に対して高いということで最小チャネル長という観点では欠点になる。そこで最小チャネル長でない部分でメリットをとる必要がある。GIDL に関してはバンドギャップが狭いということで欠点になる。これらは新しい材料に関しては多くの場合において同様の問題が生じる。

4.2. 薄膜 GeO₂/Ge ゲートスタック形成

4.2.1. 低温高压酸化(LT-HPO)

Ge 基板上の GeO₂ 形成に関しては高压酸化法を用いて圧倒的に良好な界面を実現してきたが、微細化に向けた薄膜化が難しい。この部分は高压酸化の大きな欠点であり、多くの学会でも指摘されてきた。高压酸素を使うということは酸化を促進しているわけなので、薄膜化は原理的に難しい。ここを何とか打破したいと高压酸化の実験を進める中で大変興味ある実験結果を見つけた。

GeO₂ 膜の形成には酸化温度と酸素圧力が重要である。従来は比較的高温で高压酸化を行ってきたが、酸化レートを抑えるために比較的低温(~500°C)で高压酸化を行ったところ、一定時間後の酸化膜厚は圧力が高いと減少することがわかった(図 4-1)。これは酸化の常識に反する結果である。つまり、酸素をどんどん供給しているにもかかわらず、ますます酸化が進まなくなるという結果だからである。しかし薄膜 GeO₂ を形成するという観点から好都合であり、実際にこの手法で良質の GeO₂ の実現と薄膜化(CET~1.6 nm)を両立できた。

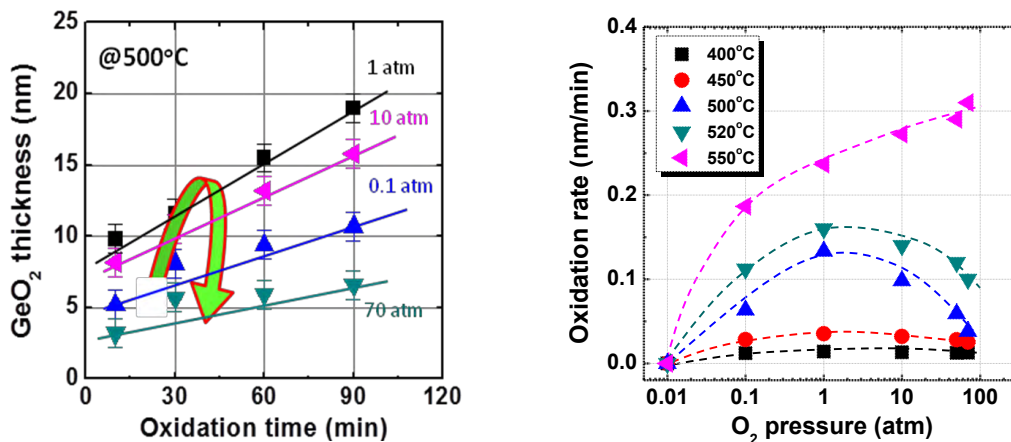


図 4-1 左図は GeO₂ 膜厚成長の時間依存性を圧力をパラメータとして示す。右図は圧力の関数として温度をパラメータとして示す。酸素圧力が高いと酸化が進まないというのは驚異的である。500°C と 550°C という狭い温度領域でこの逆転が起きている。

このようにして作製された Ge/GeO₂ ゲートスタックの CV 特性性を図 4-2 に示す。EOT=1.3 nm まで 10⁻² A/cm² という低リークのゲートスタックが GeO₂ のみで実現できている。

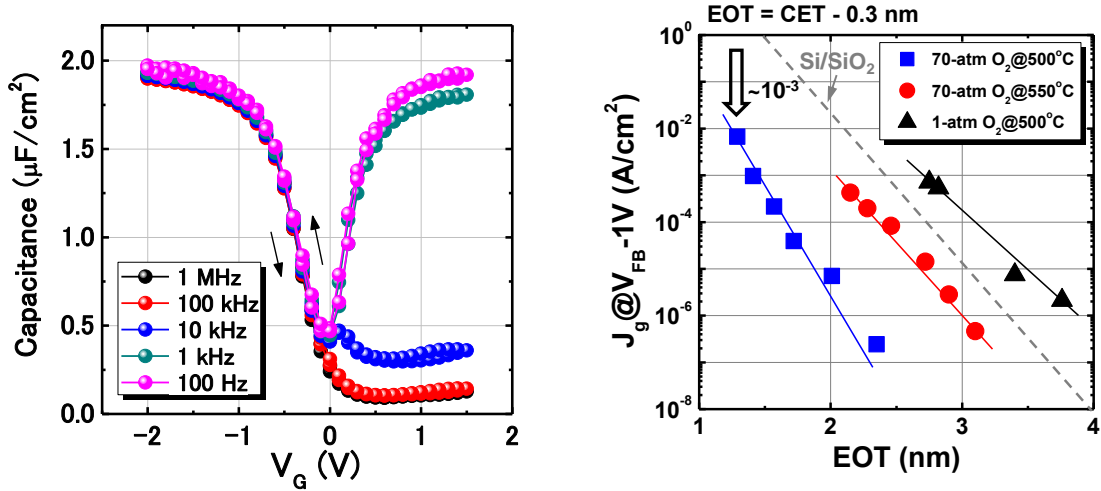


図 4-2 EOT=1.3nm の CV 特性, J-V 特性。周波数依存性を含めて理想に近い特性が得られている。ややなまっているが、リーク電流に関して低温高压酸化においてもっともよい特性が得られている。SiO₂ の限界がほぼ 1.5nm 程度であることを考えると、Ge/GeO₂ のエネルギー障壁が Si/SiO₂ の半分であることを考えると誘電率が大きいことを考慮しても、GeO₂ をゲート絶縁膜として使った場合の限界に近いと考えられる。

4.2.2. 低温高压酸化で何が起きているか

低温高压酸化は熱力学的予測を超えているので、何らかの速度論的解析を行わないといけないことは自明である。そこで酸化種の膜中の拡散と界面における反応の両方の場合について考えなくてはならない。拡散がこの結果を引き起こすためには、図 4-3 に示すようにその活性化エネルギーが 8eV 程度増加しないと実験結果を説明できない。密度の評価では GeO₂ の物性がそこまで変わっていない。

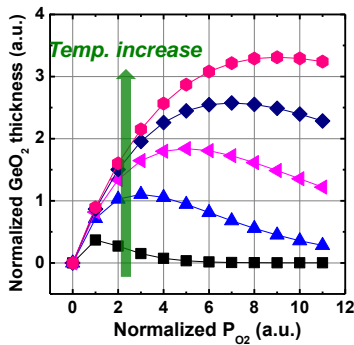


図 4-3 Deal-Grove モデルにおいて、拡散の律速する B 係数に温度依存性を導入して傾向を説明しようとした場合の計算結果。計算には B 係数には $B = B_0 p^m \exp\left(-\frac{E_B^0 + \Delta(p)}{k_B T}\right)$ を導入すると、活性化エネルギーとして極めて高い値が必要になる。

一方、界面反応における効果であるとする、酸化機構と結びついているはずである。この事は既に述べた界面における layer-by-layer 酸化とも関係しているはずである。Si とは異なり、Ge の場合には Ge 原子の酸化膜中への注入はエネルギー的に得ではないという第一原理計算がある。また高压酸素状態では界面における Vo(酸素空孔)が形成されない。その場合に酸化する際の体積膨張を考えると、酸化が進んでいく自由度がほとんど無い。もちろん何層までが酸化に寄与するかに関しては任意性が少しあるが、Si よりも激しい境界条件による制約を受けているはずである。こ

の結果は最近発見されたことであるが、Geの酸化機構そのものと直結しており、明らかにGeという材料の特徴を示しており、Siでは実現できないプロセスである。新しいプロセスの可能性を与える結果である。

4.2.3. ラジカル酸化技術 (μ波プラズマ酸化)

GeOの脱離が起きない低温で酸化を促進するという観点から、マイクロ波プラズマを用いたラジカル酸化を検討した。酸素ラジカルによってGe基板を酸化することによって(350°C), CET~1.9 nmを実現できた(図4-3)。SiO₂に関する結果を考えると、EOT=1.5 nmあたりの値はGeO₂にとってほぼ限界的な膜厚とも考えられ、低温高圧酸化の場合も含めてGeO₂単独膜としての最薄の報告であると考えられる。酸化過程の活性化エネルギーとしては約50 meVというきわめて低い値を持つラジカル酸化の効果が確認された。

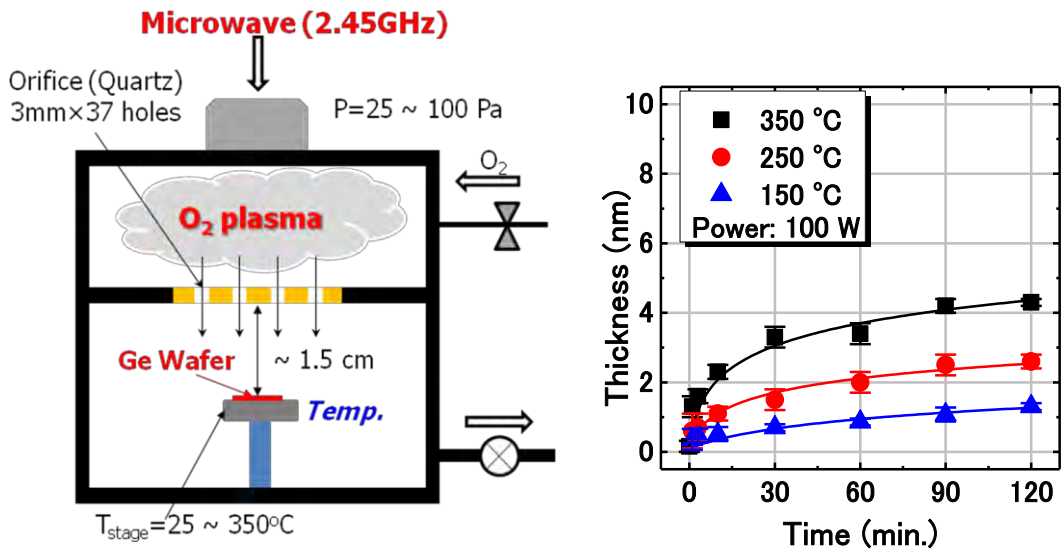


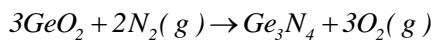
図 4.3 マイクロ波プラズマによって生成された酸素ラジカルによる Ge の酸化装置の模式図と酸化膜成長の時間依存性。解析的にラジカルの寿命を取り入れた下記の式によくフィットすることがわかる。数 nm の GeO₂ は 200°C 程度の温度で形成できる。この結果は低温ゲートスタック形成時には必須の技術の一つになる。

$$x = x_d \left\{ \ln \left[t + \frac{Nx_d}{kC^*} \exp \left(\frac{x_0}{x_d} \right) \right] + \ln \left(\frac{kC^*}{Nx_d} \right) \right\}$$

4.2.4. GeO₂の窒化効果と物理モデル

SiO₂においても窒化効果は酸化の抑制、信頼性の向上などに広く使われている。GeO₂に対しても同様の効果は期待され、当初から窒化の効果は検討されてきた。我々は GeO₂膜の最適化というよりは、GeON化する事によってNが一体 GeO₂膜にどのような効果を及ぼしているかを明らかにすべく研究を進めた。

SiON膜の場合もそうであるが、Nの“電気的効果”ではなく、“物理的役割”に関しては必ずしも明らかになっていない。我々はこの効果に関して熱力学的に解釈を試みた。つまりGeONという膜は(SiON膜でも基本は同じであるが)、次の反応式の途中経過を見ていることになる(この反応が直接起きているというわけではなくネットとして酸化物から窒化物に変わっているという意味で)。



そうするとこの反応系を制御しているのは $K = \frac{a_{Ge_3N_4} \cdot P_{O_2}^3}{a_{GeO_2}^3 \cdot P_{N_2}^2}$ という反応定数であり、それは O₂ と N₂ の圧力で決まってくる。

それをダイアグラムの的に書いたのは図 4-4 (a) である(活量に関してはアモルファスということもあ
り考えずに線に幅を持たせた)。ここで酸素(窒素)ポテンシャルという観点で考えると、N が酸化物
に加わることによって酸素ポテンシャルが低下し、それによって GeO₂ 膜が著しく安定化する。実験
的には 10~20% の N が導入されることで GeO の脱離および酸化耐性が著しく上がることが実験結
果の図 (b), (c) からわかる。N を入れすぎると GeO₂ 膜という性質が薄れてしまうが、わずかな N に
よって膜の性質を大きく変えることができる。

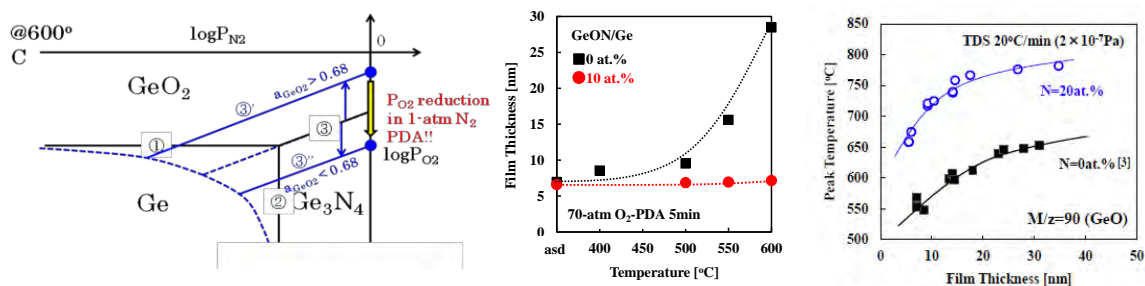


図 4-4 左図は酸化物に窒化物を導入することによる酸素ポテンシャルの低下を示す模式図。右は N
の導入によって GeO の脱離温度、酸化耐性が著しく上がることを示す実験結果。10~20% の窒素導
入で酸化はほとんど進まなくなり、GeO の脱離温度も 100°C 以上も上昇する。

4.2.5. GeO₂ への Y, Sc のドーピング効果

希土類金属酸化膜が Ge 上で良好なゲートスタックを形成することは以前から経験的に
得ており、さらに 1 章で述べたように高压酸化の利点を Ge 上の Y₂O₃ に施すことで GeO₂
界面 MOSFET よりも電子移動度が高い FET が得られ、その界面の TEM 像がアモルファ
ス界面層と結晶化 Y₂O₃ 膜の二層構造になっていることがわかっている。この界面層の効果
が Ge 界面の制御を行う上で本質的に重要であり、膜厚 scaling にキーとなると考えた。

希土類金属酸化膜(REOx)が Ge に対して良いかどうかを明らかにするために、Y₂O₃ と
GeO₂ のコスパッタ膜を Y₂O₃ の濃度を変えて作成し、その材料的性質を調べた。

図 4-5 に Y-doped GeO₂ 膜の酸素透過性を Y₂O₃ の濃度をパラメータとして示す。わずか
な Y₂O₃ をドーピングすることによって酸素透過性が急激に下がることが分かる。つまり Y₂O₃
も GeO₂ もともに酸素をよく透過するが、GeO₂ とミキシングすることによってあつという
間に酸素を透過しなくなる。一方 GeO₂ の大きな特徴である“水に溶ける”という性質が、や
はりわずかな Y₂O₃ のドーピングでほとんど水に溶けなくなることがわかった (図 4-6)。こ
こで Y₂O₃ はどういう役割を果たしているのだろうか？

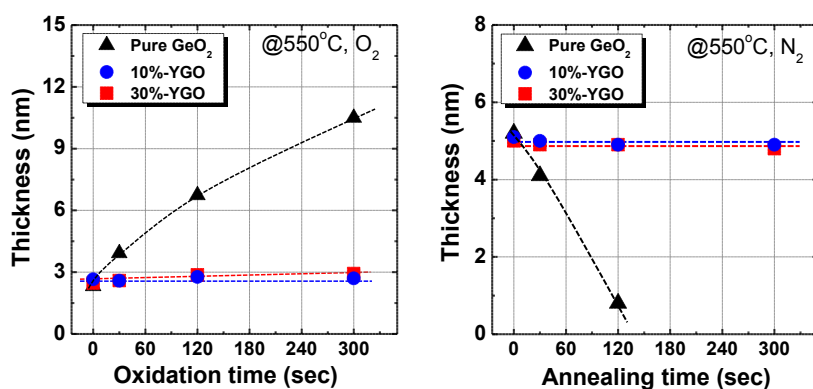


図 4-5 Y₂O₃ をわずかに導入することで酸素熱処理において GeO₂ 膜厚の増加がほ
んど観測されない。また N₂ アニールによって膜厚の減少が観測されないことか
ら GeO の脱離が圧倒的に抑制されていることがわかる。

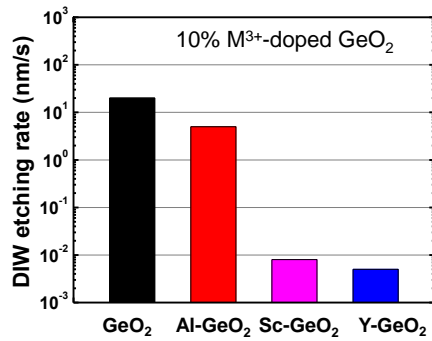


図 4-6 水に対する GeO₂ エッチング耐性。これは Y₂O₃ だけの効果では無く、典型的な 3 種類の材料 Al₂O₃, Sc₂O₃, Y₂O₃ について示す。最適化条件にもよるが、Y₂O₃ はエリンガム図からもわかるように酸化物としてもっとも安定な材料になっている。

4.2.6. 酸素ポテンシャル制御による sub-nm GeO₂ ゲートスタック

N の導入, Y, Sc の導入による酸化膜成長の抑制効果があるということは、根本において同一の効果が働いていると考えることができるだろう。結局これはドーピングによる酸素ポテンシャルの低下に行きつく。一方、エリンガム図からみて GeO₂ の酸素ポテンシャルは高く、多くの金属酸化物は酸素ポテンシャルは低いので、多くの酸化物のドーピングで混合酸化物の酸素ポテンシャルの低下が期待される。つまり酸素ポテンシャルの低下によって、酸素雰囲気における界面酸化膜厚の増加を抑えながら、しかも GeO 脱離も抑えられる。できる限り良好な界面を維持しつつ材料的に酸素ポテンシャルを下げるという観点で、Y₂O₃ ドーピングを施すことが極めて良いゲートスタックを実現させた。しかも高压酸化を行わずとも実効的に酸素ポテンシャルをさげることができ、物理膜厚の増加も起こらない。つまり材料的に Ge に最適な界面絶縁膜材料と言える。実際に CV, JV 特性を図 4-7 に示すが、わずか 10% の Y₂O₃ 導入が性質をこれだけ変えてしまうのは驚きである。

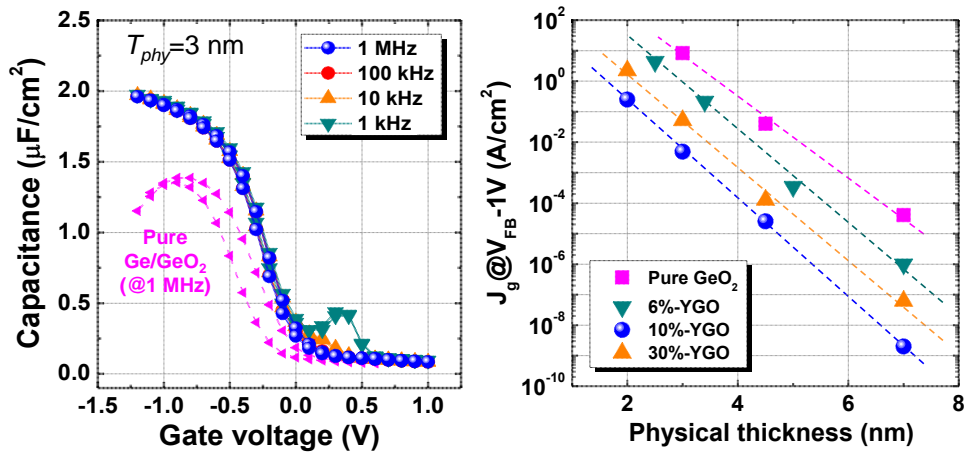


図 4-7 Y₂O₃ を 10% ドープした GeO₂ のゲートスタックの CV 特性。右図は GeO₂ 中の Y₂O₃ の量を変えた場合の JV 特性への影響。多すぎるとリークが増加する。10% 程度の Y₂O₃ が抜群の効果を引き出す。ここでは誘電率を示していないが、わずかなドーピングで誘電率は 10 程度まで向上する。

しかしながら、酸素ポテンシャル下げる酸化物をドーピングする事によって常に安定した酸化物が得られるかどうかは別問題である。図 4-8 は Y₂O₃-GeO₂ 系の相図を模式的に示したものである。10% 程度の Y₂O₃ の濃度までは GeO₂ と Y₂Ge₂O₇ 膜が固溶した膜が可能になる。それ以上の Y₂O₃ を導入すると、いわゆる immiscibility 領域に入りこみ熱力学的には相分離が起こる恐れが出てくる。さらに Y₂O₃ を増加させると Y₂Ge₂O₇ から Y-rich 相に変わっていく。この中で GeO₂ の利点をキープしながら GeO₂ 相の安定化をはかるには 10~20% 程度までの少量の Y₂O₃ の導入による安定化が適している。

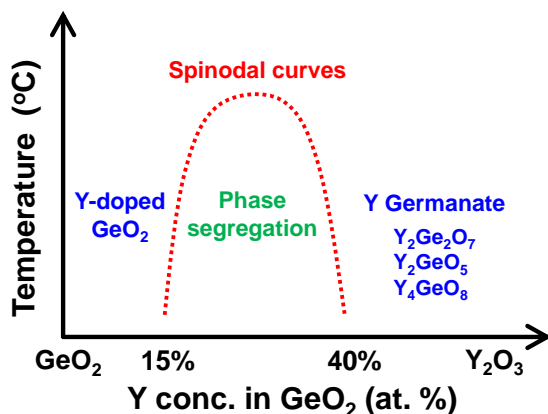


図 4-8 Y-doped GeO₂ の状態を模式的に示す。少量の Y₂O₃ がもっとも安定な相を構成すると考えられる。さらに増やすことによっていわゆる相分離状態領域に入ってしまうので、Ge 基板に好ましい濃度としては 10~20%程度が良いと考えられる。

この考え方を使得どこまで薄膜化が可能であるかを確認する YGO 膜を界面層に使い上層に real high-k(HfO₂)膜を堆積した。かなりリークを抑えて EOT=0.47 nm を実現した (図 4-9(a))。また EOT=0.8 nm の YGO 膜を用いた FET を作製し、高電界領域 (N_s=1x10¹³cm⁻²)における移動度を評価した。他所からの結果とともにベンチマークとして共に以下に示す (図 4-9(b))。我々の知っている範囲では現状の報告値の中でベストな結果である。結果が良いということも重要だが、その裏打ちがすべて積み上げでなされてきた部分に達成感を感じる。

Y₂O₃ 以外の材料に関しての可能性に関しては、さらなる EOT 薄膜化に関しては今の段階では見つかっていないが、先にも述べたが、Ge との反応性を考えなくてはならない。例えば Y₂O₃ と化学的に近い La₂O₃ の場合は、Ge と La との反応性が高く、ギャップ状態を形成しうまく行かない。EOT~0.3nm を達成するには Higher-k/Ge に関して、もう一つのコンセプトが必要になる。さらなる検討を進めたい。

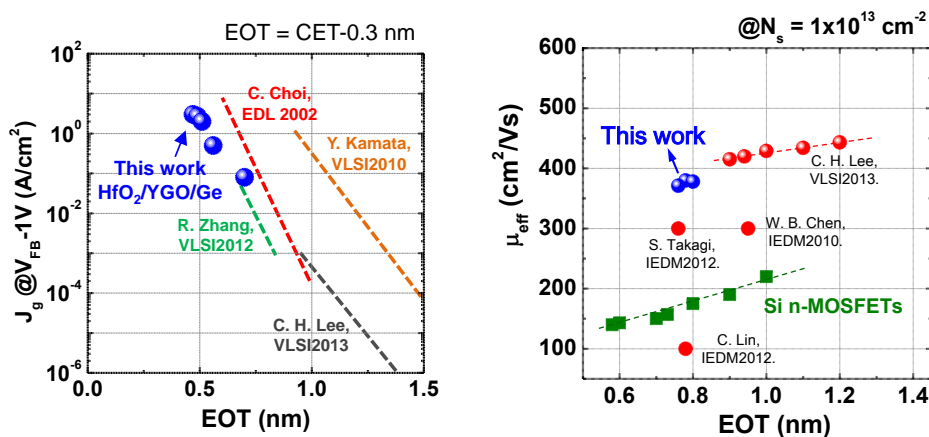


図 4-9 (a)極薄領域における J-V 特性と、(b)高電界領域における電子移動度のベンチマーク。世界最高の値が得られている。リーク電流は従来の延長線上にある一方、移動度は圧倒的に優っており、Si-MOSFET に比べても 2 倍以上大きい。

4.3 極薄 GeOI FET

当初の研究計画ではプログラム後半には FinFET の feasibility study に着手する予定であったが、FinFET 作成のためには異方性エッチングの最適化が必要であることが検討段階で見込まれたため、実際にこの研究に入る前に計画を変更し、ET(Extremely Thin)-GeOI を用いた FET の feasibility 研究にシフトした。バルク Ge FET と同様のプロセスを使い、ゲート絶縁膜に Y₂O₃

の高圧酸素アニールを用いて作製した。Ge 層の薄膜化はチャンネル部分だけとし寄生抵抗の増大は極力抑えた。図 4-10(a)に厚さ約 9 nm の Ge 層を持つ GeOI 断面の TEM 写真を示す。Ge 層厚を変えた MOSFET の移動度を詳細に調べたところ図(b)の結果が得られた。Ge 層厚の低下とともに移動度は徐々に減少する。膜厚が 45 nm 程度より薄くなると、n-MOSFET, p-MOSFET ともにステップ状に移動度が劣化するという結果が得られた。この劣化要因は BOX 側界面の GeOI の結晶性の劣化がいわゆる volume inversion が顕著になる程度の厚さでは顕在化するためと考えている。というのは Ge 厚さを変えた GeOI の Raman 測定を行ったところ、薄膜化に伴って Raman ピーク位置はあまり変わらないものの半値幅が急激に広がっていくことが観測されているからである。このこと自体は BOX 材料, アニール温度の最適化によって改善されると考えられるので、今回の 9 nm GeOI FET の動作実証結果は極微細 Ge CMOS の可能性を強く示す。

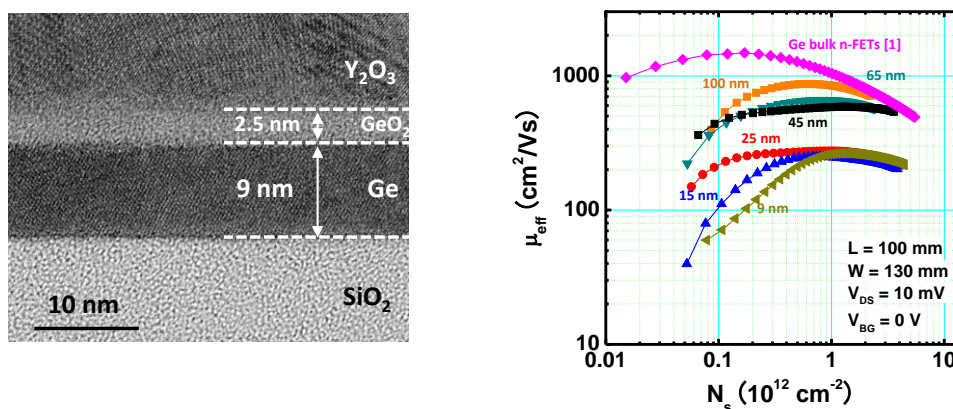


図 4-10 (a) 9 nm 厚の GeOI を用いた FET の断面 TEM 像。Ge の薄膜化後に Y₂O₃ を堆積し、高圧酸素アニールを施したサンプル。(b) GeOI 上の電子モビリティの Ge 厚さ依存性。Ge 厚が 45nm 以下で急激に移動度の劣化が観測されている。正孔でも同様。結晶性の劣化から来していると考えている。

4.4 CMOS Scalability に関する世界的に見た研究との比較

まず EOT の薄膜化に対して以下に述べる。薄膜 EOT に関しては、ベストデータを出ることができていると自負している。研究としては高木教授 (東大) の Al₂O₃ 堆積後のプラズマ酸化によるゲートスタックがもっとも近い。Al₂O₃ がよいか Y₂O₃ が良いか微調整の問題になるかもしれないが、我々としては材料の個性の選択に少しこだわりたい。Y₂O₃ ではなく real high-k で今回のコンセプトが使えないかというのは今後の我々のチャレンジ項目である。突発的に一点データとして良い数値が出てくることがあるが、それは比較の対象とはしない。また n チャネル FET に関してこだわりを持って研究を進めているのは我々以外にはいない。我々としてはベストデータとして数値的には Ge の可能性を出し切ったと考えているが、数値以外のさらなる材料科学的、界面場制御という興味は尽きない。

実際の微細化に関しては、pMOSFET に関して IMEC の研究が抜きんでている。現状では pMOS の駆動力向上には Ge しかないということから、彼らは 65nm ノードあたりまでの微細化を進めている。これに関しては勝負する対象にはしていない。ただ IMEC には結晶成長、欠陥解析などの地味であり表面に出てこない優れた研究が多くある。この部分に対して我々はどこで優っていて、あるいはどの部分で劣っているかの判断をするならばゲートスタックには強さを示してきたと自負するが、欠陥解析などに関してはヨーロッパの地道な研究に劣っていると言わざるを得ない。これが pn 接合等の欠陥解析に一步前に進むことができない原因かとも考えている。次のステップには地味ではあるが、必ず重要になるこの領域に入り込んでいく覚悟である。

5. 素子分離技術

本技術は集積回路を作る上では極めて重要になってくる。そこで当初の研究計画に入れたが、集積回路を作製せずに素子分離の本格的な研究を進めることが難しかったため、あまり進める事ができなかった。しかし、pn 接合リークの減少に向けて Ge 基板界面に接する素子分離膜は何か良いかという観点で検討をした。基本はゲート絶縁膜の検討と同じであり、SiO₂ 膜と Y₂O₃ の比較を pn 接合の逆方向リークの比較という観点で行った結果を示す (図 4-11)。その結果 Y₂O₃ 膜を用いた方が、接合リークが減少することがわかった。基本はゲートスタックで行われた考え方を言うことができる。と言える。

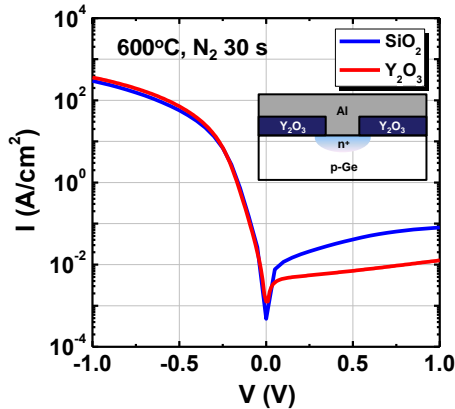


図 4-11 素子分離膜を SiO₂ と Y₂O₃ の場合とで比較。Y₂O₃ の場合に、順方向は同一であるが、逆方向リークが減少することがわかる。pn 接合リークの原因として表面 (界面) リークは主原因であることが多く、この技術は目に見えない部分であるが大変重要と考えている。

6. その他

6.1. 水素熱処理が Ge 基板に及ぼす効果

本プログラムの中では主に 2 種類のベンダーの Ge ウェハを用いてきた。これまで移動度の結果として示してきたものを A 社、ここで議論するウェハを B 社としよう。同じプロセスを施して作製した FET においても、A 社のウェハでは移動度が高く、B 社で作製したものは比較的に低いことが経験的にわかっていた。しかしゲートスタックの CV 特性を調べる上ではほとんど差が現れない。この差を与える起源に対して、水素アニールが大きく影響しているように見える事実が見つかった。

水素処理による表面平坦化を調べる中で、それだけでなく基板中の酸素濃度が減少することが SIMS によって確認された。これは Si においても酸素析出物の除去に対して水素による還元効果があることは実証されており、Ge に対して酸素の抽出が実現されていることは考えやすい。ここではその酸素脱離機構に関しては結果だけを示すことにして、移動度への影響について議論する。図 4-12 は、B 社のウェハを水素アニールした後の移動度の結果であり、右はそれに伴う基板中の酸素濃度の変化である。

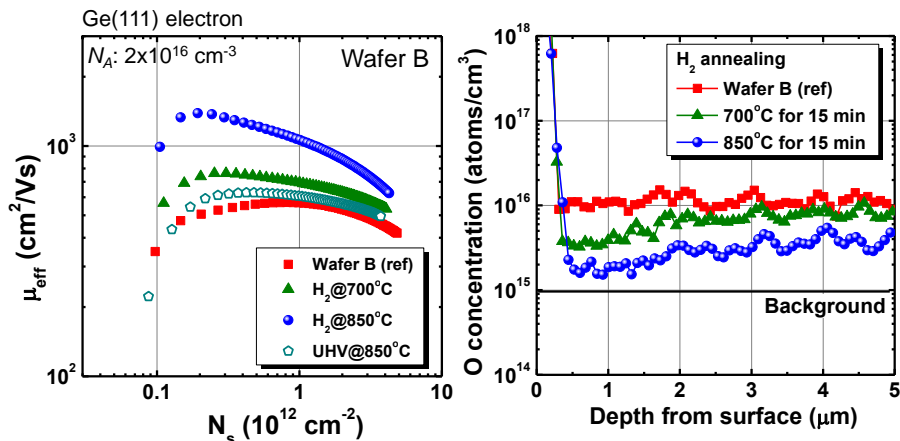


図 4-12 左は同一 Ge 基板で水素アニールした場合の FET の電子移動度、右はその際の SIMS によって測定した基板中表面酸素濃度。界面は SIMS による問題。移動度は基板の水素アニールによって著しく改善する。表面の O 濃度は実際のものではなく SIMS 測定に伴う表面効果である。

水素アニールによって B 社の移動度が A 社のレベルにまで改善されている。逆に B 社の移動度の初期の特性は基板中にいわゆる通常の散乱(Coulomb, phonon, roughness)以外の散乱対が存在しているように見える。実際に、バルク基板のホール効果移動度を評価すると、A に比べて B のバルク移動度が大きく劣化していることもわかり、何らかの散乱体の存在を予測させる。

そこで A 社の移動度、あるいは B 社で十分水素アニールしたウェハの移動度が Ge 本来のものであると考えて、それに電子濃度に寄らない散乱機構(ここでは暗黙に中性不純物散乱を考えている)を加えてどのような振る舞いになるかを調べた。図 4-13 は新たな散乱を考慮しないでフィットした場合(左)と電子濃度に依存しない散乱機構を加えた場合(右)であり、ともに計算(赤)と実測(黒)で示している。フィッティングは極めてよい。つまり、従来 Ge の電子移動度が悪いという事に関しては二つの原因があると考えられる。一つは界面制御が悪く Coulomb 散乱がピーク移動を大きく劣化させている場合、もう一点は基板中に何らかの欠陥による中性不純物散乱体が存在し、界面準位密度はかなり低い移動度が今一つ向上しないという場合である。Ge 基板は Si と異なり未だに mature になっていない状況であり、その質を考慮せずに単なる Si の延長線上と考えると大きく間違ふ恐れがある。この事は Ge のエピ膜、あるいは薄膜 GeOI 膜における FET などの振る舞いにおいても当てはまることである。

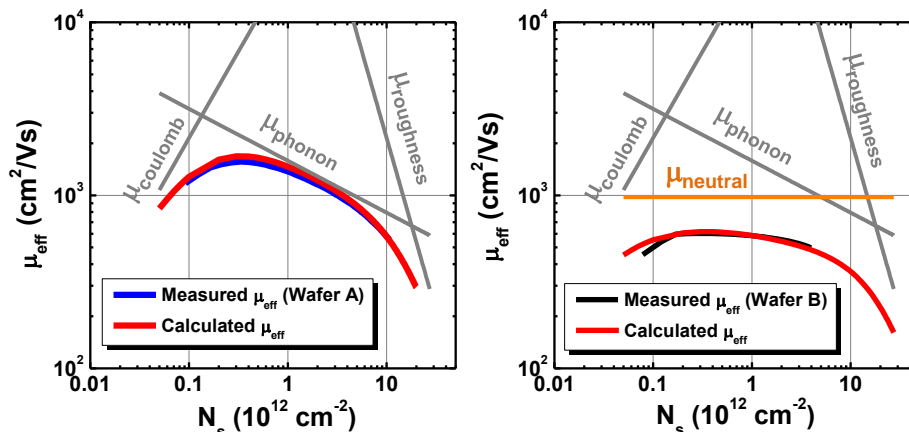


図 4-13 左図は A 社のウェハ上の FET 移動度をフィッティングした結果、右図はそれに中性不純物散乱を加えて B 社のウェハ上の FET の測定結果とフィットした結果。実験結果をよく表している。どちらもかなりよく結果を再現している。

6.2. Junctionless FET (JL-FET)

6.2.1. 何故 Ge Junctionless FET ?

J. P. Colinge (Tyndall) らが Junctionless FET (JL-FET) というデバイスを提案した。これは Depletion Mode で動作させる FET であり、プロセスメリットに加えて ON 状態では多数キャリアの移動度を使うことができるので反転型 FET に比べて高電界下での移動度劣化が小さいことが予測される。一方、Depletion モードで動作させることから、極薄膜チャネルあるいは細線構造というのが本質的に要求される。つまりこのアイデアは微細領域でこそ機能する。しかし図 4-14 に示すように、高不純物濃度 Si におけるキャリア移動度は、そもそも低不純物濃度の場合に比べてイオン化不純物散乱によって大きく劣化してしまう。しかしながら Ge では高不純物濃度領域においてもその値が Si に比べて一桁大きい。つまり上記の利点を使うなら Si よりも Ge の方がその利点は大きいはずである。この本質的なメリットに着目して、Junction-less FET の作製、評価に取りかかった。とはいうものの Ge はイオン注入によって欠陥がひどく形成されてしまい、アニールで回復することが難しいことがわかっている。そこで高濃度 GeOI をあるベンダーから p+基板, n+基板を入手し作製した。

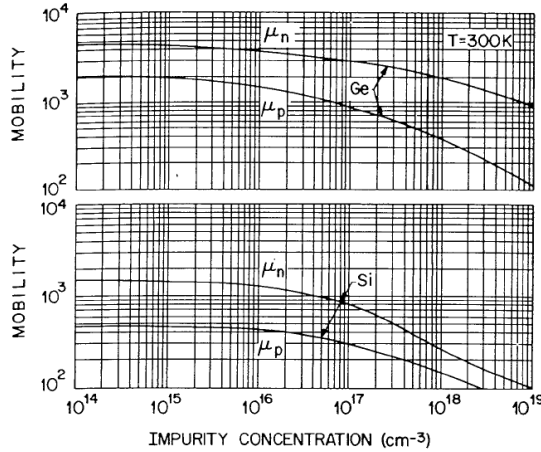


図 4-14 電子・正孔に対するバルク移動度の Si と Ge の比較 (S.Sze の教科書から)。高濃度側での劣化は Si において著しい。また電子、正孔ともに Ge の方が大きく移動度が優れているということも大きな利点である。

6.2.2. Ge の利点と課題

Ge の多数キャリア移動度は何故 Si のように劣化しないのであろうか。これは Ge-JL FET を考える上で重要な点である。そもそも高濃度領域では Coulomb 散乱によって著しく移動度が劣化する。これは直感的であるが、screening 効果を含めて Coulomb 散乱を厳密に扱わねばならないと考えている。その取り扱い方として我々は Brooks-Herring の考え方を拠り所にした。基本は Born 近似内の Coulomb 散乱の緩和時間計算なのであるが、以下のようにスクリーニングをあからさまに取り入れて解析的に示すことができる。Coulomb 散乱ポテンシャルの大きさが誘電率の大きさによって screen され Ge の移動度は Si に比べて劣化しない。図 4-15 は計算結果を示す。低濃度側の違いは有効質量の違いが現れているが、高濃度側にスクリーニングの効果が顕著になってくる。Ge の誘電率が大きいことの利点であり、JL-FET においては極めて重要である。

$$\mu = \frac{3.68 \times 10^{20} \text{ cm}^{-3}}{N_I} \frac{1}{Z^2} \left(\frac{k}{16} \right)^2 \left(\frac{T}{100K} \right)^{1.5} \cdot F(\beta_{BH})$$

$$F(\beta_{BH}) = \frac{1}{\left(\frac{m}{m_0} \right)^{1/2} \left[\log(1 + \beta_{BH}^2) - \frac{0.434 \beta_{BH}^2}{(1 + \beta_{BH}^2)} \right]}$$

$$\beta_{BH} = \left(\frac{k}{16} \right)^{1/2} \frac{T}{100K} \left(\frac{m}{m_0} \right)^{1/2} \left(\frac{2.08 \times 10^{18} \text{ cm}^{-3}}{n} \right)^{1/2}$$

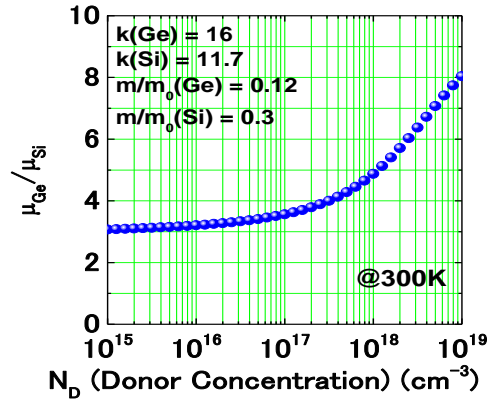


図 4-15 Brooks-Herring の表式と、それに基づくモビリティの計算結果。値は Si と Ge の比として表している。これは反転層あるいは蓄積層のモビリティではなくてバルクモビリティ結果である。10¹⁷cm⁻³を上回るあたりの濃度から Ge の利点が急激に出てくる。

6.2.3. Ge JL-FET の作製と評価

まず p-FET から作製した。素子は下記に示すようなダブルゲート構造である。ここで評価したのはまずは移動度のチェックである。図 4-16 はデバイス構造と移動度の結果を示す。正孔移動度が約 150 cm²/Vsec 程度であり、濃度が 10¹⁹cm⁻³程度あることを考えると、多数キャリアによる移動度の高さが強く反映されている。

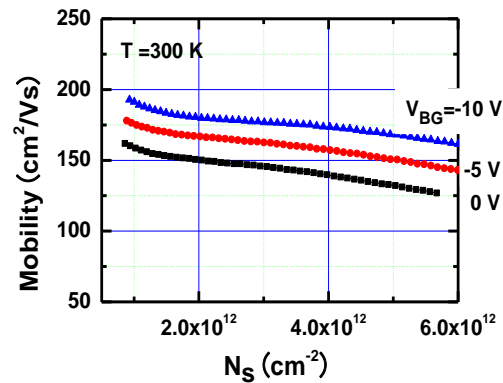
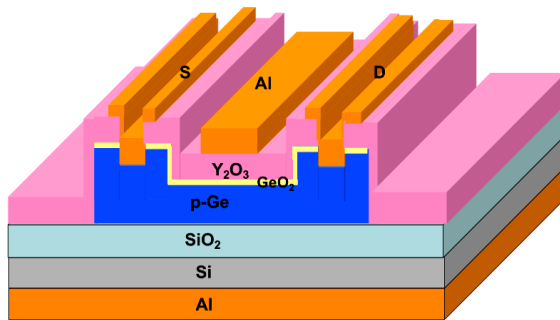


図 4-16 二重ゲート構造 (Top と Bottom) を持つ Ge Junctionless FET 構造の模式図。Ge の厚さは約 10 nm。右は移動度であり $\sim 150\text{cm}^2/\text{Vsec}$ の値を示しており、高濃度であることを考えると圧倒的に高い移動度である。

実は Ge JL-FET の真のメリットは n チャネルにある。 10^{19}cm^{-3} の不純物濃度領域でも電子の移動度はおよそ $1000\text{cm}^2/\text{Vsec}$ の値を持つ。現状では n チャネルに関しては完璧なダブルゲートタイプの FET ができていないが、その移動度を FET 及び Hall 効果を用いて評価したところ、基板濃度が $\sim 2 \times 10^{18}\text{cm}^{-3}$ という領域で、図 4-17 の様にかかなり高い値が得られた。

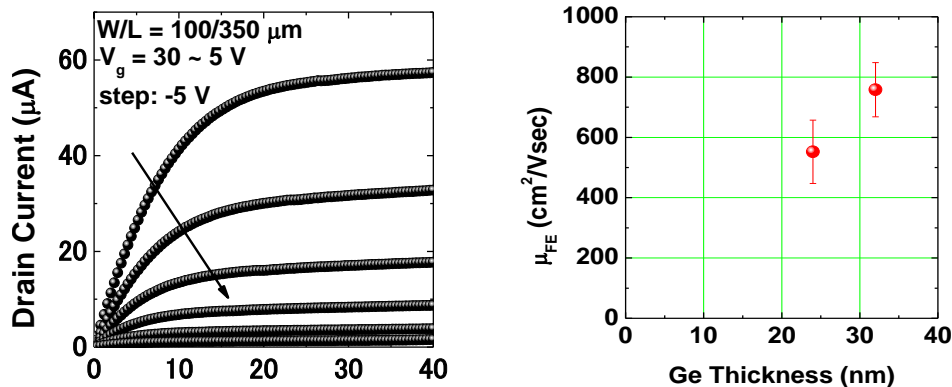


図 4-17 バックゲートによる N チャネル Ge JL-FET における出力特性(Ge=15 nm)と、電子移動度の Ge 厚さ依存性。Ge 厚さが 30 nm の場合には移動度として約 $800\text{cm}^2/\text{Vsec}$ の値が得られている。構造を最適化し、細線等の微細 FET を作製することによって、高性能な FET を特性を示す潜在力を持っている。

6.2.4. High doped Ge における Raman スペクトルにおける Fano 効果

高不純物濃度領域にある半導体では Raman ピークのソフト化が観測されることが Fano 効果として知られている。この起源としては、不純物原子そのものの効果と自由キャリアの存在による効果がある。この区別をするのは実験的には難しい。ところが JL-FET を使うと可能になる。

実際にはバイアスを加えながら、自由キャリアがいる時といない時の差を Raman 測定で観測することができる。図 4-18 に p-FET の場合の結果を示す。明らかにゲートバイアスによって Raman のピーク位置がシフトし、自由キャリアの存在によってフォノンがソフト化している。結果には薄膜効果も含まれていると思われるが、これはバイアスによってキャリア数を変化させながら Raman 分光で見た Fano 効果の初めての結果と思われる。

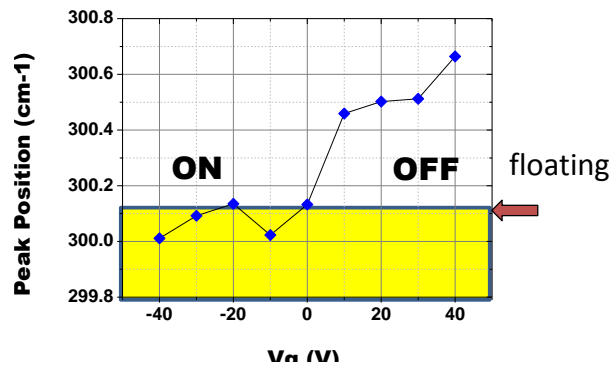


図 4-18 高不純物濃度(p 型)を持つ Ge JL-FET にバイアスを印加しながら測定した Raman シフトのピーク波数の変化。ON 状態では Ge で特徴的に観測される 300 cm^{-1} 付近のピークが観測され、OFF 領域に行くに従ってピークが高波数側にシフトしていくことがわかる。つまり自由正孔濃度によっていわゆる Fano シフトが観測されているものと考えられる。

6.2.5 高濃度 Ge における PL のバイアス依存性

半導体高濃度化で観測される効果として典型的なものとして Band-gap Narrowing (BGN)がある。これは多体効果そのものであるが、ゲートバイアス印加が可能な JL-FET を用いることで、フリーキャリア効果と不純物効果を区分けして評価できる可能性がある。ここでは n-型 JL-FET を用いて、ゲートバイアスを変化させながら Photoluminescence (PL)測定を行った。図 4-19 に示すように、バイアス (つまり電子濃度) によって、PL のピーク位置が変化することが明瞭に観測された。BGN との結びつきを結論するにはさらなる解析が必要になるが、上記の Raman の結果を含めたこのような解析から、従来は高不純物濃度半導体物性として議論されてきたことが、不純物とキャリアとを区分けして議論できる可能性を与えたと言え、今後の展開が大いに期待される研究領域と考えられる。

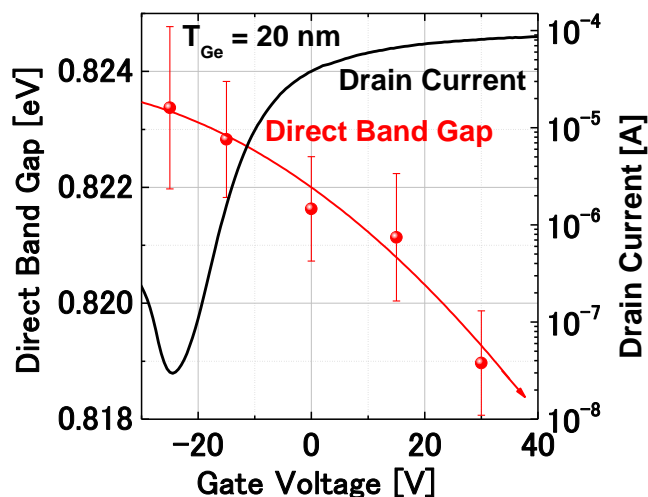


図 4-19 高不純物濃度(n 型)を持つ Ge JL-FET にバイアスを印加しながら測定した PL のピークシフトの変化。PL であるの Γ 点における直接ギャップを見ていることになる。上図には同時に I-V 特性を示しているが、FET が ON 側になるに従って、 Γ 点のギャップが縮小していくことがわかる。つまりこれは自由電子による BGN 効果である。この結果も、我々の知っている限り初めての報告であり、このような極薄でかつ高濃度半導体上にデバイスを作製できるという点から示されたものと言える。

7. まとめ

本プログラムでは多くの実験を試みた。本文中に書いていない多くの事実もあるが、戦略目標にある”問題点に関して材料・プロセス科学の基礎に戻って徹底的に理解し新たなコンセプトを提案する”というスタンスに照らし合わせて整理する。

(1) GeO 脱離の理解は Ge ゲートスタックをデザインしていく上でもっとも重要である。熱力学的には温度と圧力がパラメータになり、材料学的には材料の酸素ポテンシャル制御ということになる。また材料学的アプローチとしての酸素ポテンシャル制御という概念は、実は高压酸化の延長線上にあるという一般化も満足できる。また脱離の kinetics は界面における Ge と GeO₂ の反応から生じる酸素空孔の拡散によって理解される。

(2) Ge の酸化機構は Si の場合よりも複雑であり、上記の界面における酸素空孔の生成を考慮しなければならない。また酸素空孔の生成を十分に抑えこんで、しかも界面における原子移動ができる温度よりも低温でプロセスを行うことで、原子レベルでの界面平坦性を維持した layer-by-layer 酸化を数 nm 厚まで実現することができる。

(3) Ge FET の移動度に関しては、従来 Si で行われてきた解析に加えて、基板中の中性不純物散乱を取り込むことによって多くの結果を一般的に説明できる。これは Ge 基板が未だ成熟していないということから来ている部分もあるが、エピ膜、再結晶膜の電子伝導を考える上でいつも考慮しておかねばならないことと考えられ、今後もより Ge 膜自体の注意深い検討が必要である。

(4) Ge FET の電子移動度は、注意深く界面を制御することでピーク移動度だけでなく、高電界移動度も Si に比べて圧倒的に高く、またゲート絶縁膜の薄膜化に対しても圧倒的に高い移動度を維持できることが示された。このことは低電圧デバイス用途として Ge を Si の一部置き換えとして使うと考えた場合の本質的懸念点を完全に払拭したものと言える。

(5) JL-FET の動作の理解、動作の実証は、まだ不十分ではあるが、デバイスとしての重要性だけでなく、高濃度不純物半導体において見られる多体効果に関して、不純物とそれを取り囲む自由キャリアの効果を区分けして議論できる舞台を提供していることが実証的に示された。今後のより詳細な研究領域対象であることを示すことができた。

§ 5 成果発表等

- (1) 原著論文発表 (国内(和文)誌 0件, 国際(欧文)誌 42件)
(IEDM および VLSI Symposium に関しては, こちらに加えた。)
1. T. Nishimura, S. Sakata, K. Nagashio, K. Kita, and A. Toriumi, "Low Temperature Phosphorus Activation in Germanium through Nickel Germanidation for Shallow n⁺/p Junction", Appl. Phys. Express 2, no. 2, 021202 (2009).
 2. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita and A. Toriumi, "Ge/GeO₂ Interface Control with High Pressure Oxidation for Improving Electrical Characteristics", ECS Trans. 19, no. 1, 165 (2009).
 3. K. Kita, C. H. Lee, T. Nishimura, K. Nagashio and A. Toriumi, "Control of Properties of GeO₂ Films and Ge/ GeO₂ Interfaces by the Suppression of GeO Volatilization", ECS Trans. 19, no. 2, 101 (2009).
 4. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Ge/GeO₂ Interface Control with High-Pressure Oxidation for Improving Electrical Characteristics", Appl. Phys. Express 2, no. 7, 071404 (2009).
 5. A. Toriumi, T. Tabata, C. H. Lee, T. Nishimura, K. Kita and K. Nagashio, "Opportunities and challenges for Ge CMOS-Control of interfacing field on Ge is a key", Microelectronic Engineering 86, no. 7-9, 1571 (2009).
 6. A. Dimoulas, A. Toriumi and S. E. Mohny, "Source and Drain Contacts for Germanium and III-V FETs for Digital Logic", MRS Bulletin 34, 522 (2009).
 7. K. Nagashio, C. H. Lee, T. Nishimura, K. Kita, and A. Toriumi, "Thermodynamics and Kinetics for Suppression of GeO Desorption by High Pressure Oxidation of Ge", Mater. Res. Soc. Symp. Proc., 1155, C06-02 (2009).
 8. C. H. Lee, T. Nishimura, N. Saido, K. Nagashio, K. Kita, and A. Toriumi, "Record-high Electron Mobility in Ge n-MOSFETs Exceeding Si Universality", 2009 IEEE International Electron Device Meeting (IEDM2009), Tech. Dig. p. 457.
 9. K. Kita, S. K. Wang, M. Yoshida, C. H. Lee, K. Nagashio, T. Nishimura and A. Toriumi, "Comprehensive Study of GeO₂ Oxidation, GeO Desorption and GeO₂-Metal Interaction. Understanding of Ge Processing Kinetics for Perfect Interface Control-", 2009 IEEE International Electron Device Meeting (IEDM2009), B Tech. Dig. p. 693.
 10. A. Toriumi, S. K. Wang, C. H. Lee, M. Yoshida, K. Kita, T. Nishimura and K. Nagashio, "Oxidation, Diffusion and Desorption in Ge/GeO₂ System", ECS Trans. 28, no. 2, 171 (2010).
 11. S. K. Wang, K. Kita, C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio and A. Toriumi, "Desorption Kinetics of GeO from GeO₂/Ge Structure", J. Appl. Phys. 108, no. 5, 054104 (2010).
 12. T. Tabata, C. H. Lee, K. Kita, and A. Toriumi, "Direct LaLuO₃/Ge Gate Stack Formation by Interface Scavenging and Subsequent Low Temperature O₂ Annealing", ECS Trans. 33, no. 3, 375 (2010).
 13. A. Toriumi, C. H. Lee, T. Nishimura, K. Kita, S. K. Wang, M. Yoshida, and K. Nagashio, "Feasibility of Ge CMOS for Beyond Si-CMOS", ECS Trans. 33, no. 6, 33 (2010).
 14. T. Nishimura, C. H. Lee, S. K. Wang, T. Tabata, K. Kita, K. Nagashio, and A. Toriumi, "Electron Mobility in High-k Ge MISFETs Goes up to Higher", 2010 Symposium on VLSI Technology, Tech. Dig. p.209.
 15. C. H. Lee, T. Nishimura, T. Tabata, S. K. Wang, K. Nagashio, K. Kita and A. Toriumi, "Ge MOSFETs Performance: Impact of Ge Interface Passivation", 2010 IEEE International Electron Device Meeting (IEDM2010), Tech. Dig. p.416.
 16. D. D. Zhao, T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless Ge p-Channel Metal-Oxide-Semiconductor Field-Effect Transistors

- Fabricated on Ultra-thin Ge-on-Insulator Substrate", *Appl. Phys. Express* 4, no. 3, 031302 (2011).
17. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, "Isotope Tracing Study of GeO Desorption Mechanism from GeO₂/Ge Stack Using ⁷³Ge and ¹⁸O", *Jpn. J. Appl. Phys.* 50, no. 4, 04DA01 (2011).
 18. C. H. Lee, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "High-Electron-Mobility Ge/GeO₂ n-MOSFETs with Two-Step Oxidation", *IEEE Tran. Electron Dev.* 58, no. 5, 1295 (2011).
 19. A. Toriumi, C. H. Lee, T. Nishimura, S. K. Wang, K. Kita, and K. Nagashio, "Recent Progress of Ge Technology for a Post-Si CMOS", *ECS Transactions* 35, no. 3, 443 (2011).
 20. D. D. Zhao, T. Nishimura, C. H. Lee, R. Ifuku, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless Ge MOSFETs Fabricated on 10 nm-Thick GeOI Substrate", *ECS Transactions* 35, no. 3, 457 (2011).
 21. T. Nishimura, C. H. Lee, T. Tabata, S. K. Wang, K. Nagashio, K. Kita and A. Toriumi, "High-Electron-Mobility Ge n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors with High-Pressure Oxidized Y₂O₃", *Appl. Phys. Express* 4, no. 6, 064201 (2011).
 22. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi, "Kinetic Effects of O-Vacancy Generated by GeO₂/Ge Interfacial Reaction", *Jpn. J. Appl. Phys.* 50, no. 10, 10PE04 (2011).
 23. D. D. Zhao, C. H. Lee, T. Nishimura, K. Nagashio, G. A. Cheng, and A. Toriumi, "Experimental and Analytical Characterization of Dual-Gated Germanium Junctionless p-Channel Metal–Oxide–Semiconductor Field-Effect Transistors", *Jpn. J. Appl. Phys.* 51, no. 4, 04DA03 (2012).
 24. S. K. Wang, H.-G. Liu, and A. Toriumi, "Kinetic Study of GeO Disproportionation into a GeO₂/Ge System Using X-ray Photoelectron Spectroscopy", *Appl. Phys. Lett.* 101, no. 6, 061907 (2012).
 25. T. Tabata, K. Nagashio, and A. Toriumi, "Effect of High-Pressure Inert Gas Annealing on AlON/Ge Gate Stacks", *Appl. Phys. Express* 5, no. 9, 091002 (2012).
 26. C. H. Lee, T. Nishimura, T. Tabata, K. Nagashio, K. Kita, and A. Toriumi, "Variation of Surface Roughness on Ge Substrate by Cleaning in Deionized Water and its Influence on Electrical Properties in Ge Metal-Oxide-Semiconductor Field-Effect Transistors", *Jpn. J. Appl. Phys.* 51, no. 10, 104203 (2012).
 27. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Conduction Band-offset in GeO₂/Ge Stack Determined by Internal Photoemission Spectroscopy", *ECS Trans.* 50, no. 4, 91 (2012).
 28. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, and A. Toriumi, "Oxidation Rate Reduction of Ge with O₂ Pressure Increase", *Appl. Phys. Express* 5, no. 11, 114001 (2012).
 29. T. Nishimura, C. H. Lee, K. Nagashio, and A. Toriumi, "Step and Terrace Formation on Ge(111) Surface in H₂ Annealing", *Appl. Phys. Express* 5, no. 12, 121301 (2012).
 30. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Conduction band offset at GeO₂/Ge interface determined by internal photoemission and charge-corrected X-ray photoelectron spectroscopies", *Appl. Phys. Lett.* 102, no. 10, 102106 (2013).
 31. C. H. Lee, T. Nishimura, T. Tabata, D. D. Zhao, K. Nagashio, and A. Toriumi, "Characterization of Electron Mobility in Ultrathin Body Germanium-On-Insulator Metal-Insulator-Semiconductor Field-Effect Transistors", *Appl. Phys. Lett.* 102, no. 23, 232107 (2013).
 32. C. H. Lee, C. Lu, T. Tabata, T. Nishimura, K. Nagashio, and A. Toriumi, "Enhancement of High-Ns Electron Mobility in Sub-nm EOT Ge n-MOSFETs", 2013

- Symposium on VLSI Technology, Tech. Dig. p. T28.
33. C. H. Lee, T. Nishimura, T. Tabata, C. Lu, W. F. Zhang, K. Nagashio, and A. Toriumi, "Reconsideration of Electron Mobility in Ge n-MOSFETs from Ge Substrate Side -Atomically Flat Surface Formation, Layer-by-Layer Oxidation, and Dissolved Oxygen Extraction-", 2013 IEEE International Electron Device Meeting (IEDM2013), Tech. Dig.
 34. C. H. Lee, C. Lu, T. Tabata, W. F. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, "Oxygen Potential Engineering of Interfacial Layer for Deep Sub-nm EOT High-k Gate Stacks on Ge", 2013 IEEE International Electron Device Meeting (IEDM2013), Tech Dig.
 35. T. Nishimura, S. Kabuyanagi, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, "Atomically Flat Germanium (111) Surface by Hydrogen Annealing", ECS Transactions 58(9) 201 (2014).
 36. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, "High Electron Mobility in Germanium Junctionless n-MOSFETs", ECS Transactions 58(9) 309 (2014).
 37. C. Lu, C. H. Lee, W. F. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, "Enhancement of Thermal Stability and Water Resistance in Yttrium-doped GeO₂/Ge Gate Stack", Appl. Phys. Lett. 104, no. 9, 092909 (2014).
 38. T. Nishimura, S. Kabuyanagi, W. F. Zhang, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, "Atomically Flat Planarization of Ge (100), (110) and (111) Surfaces in H₂ Annealing", Appl. Phys. Express, to be published in April (2014).
 39. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, "Effects of PDA Ambient on Leakage Current in Poly-Ge TFTs", to be published in Thins Solid Films (2014).
 40. C. H. Lee, C. Lu, T. Nishimura, K. Nagashio, and A. Toriumi, "Thermally Robust CMOS-aware Ge MOSFETs with High Mobility at High-carrier Densities on a Single Orientation Ge Substrate", 2014 Symposium on VLSI Technology, Tech. Dig. to be published in June, 2014.
 41. C. H. Lee, T. Nishimura, C. Lu, W. F. Zhang, K. Nagashio, and A. Toriumi, "Significant Enhancement of High-Ns Electron Mobility in Ge n-MOSFETs with Atomically Flat Ge/GeO₂ Interface", ECS Trans. to be published in May, 2014.
 42. A. Toriumi, C.H.Lee, C. Lu and T. Nishimura, "High Electron Mobility n-Channel Ge MOSFETs with sub-nm EOT", to be published in ECS Transactions 2014.

(2)その他の著作物(総説, 書籍など)

1. "Silicon-germanium (SiGe) Nanostructures: Production, Properties and Applications in Electronics" edited by Y. Shiraki and N. Usami, woodhead publishing, Cambridge, 2011.
2. 鳥海 明, 「Ge CMOS 開発におけるゲート酸化膜形成の界面制御」, 「ポストシリコン半導体 (ナノ成膜ダイナミクスと基板・界面効果)」, エヌ・ティー・エス, (2013).

(3)国際学会発表及び主要な国内学会発表

①招待講演 (国内会議 6件, 国際会議 19件)

<国内会議>

1. 鳥海 明, 喜多浩之, 西村知紀, 長汐晃輔, 「Ge-CMOS をめざした固相界面場制御」, 第 70 回応用物理学会学術講演会, シンポジウム『シリコンナノエレクトロニクスの新展開』, 富山, 2009 年 9 月 10 日.
2. 鳥海 明, 喜多浩之, 西村知紀, 長汐晃輔, 「Ge CMOS の可能性と課題」, 2010 年春季第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 19 日.
3. 西村知紀, 李 忠賢, 田畑俊行, 王 盛凱, 西道典弘, 吉田まほろ, 長汐晃輔, 喜多浩之,

鳥海 明, 「Ge-CMOS に向けた界面の制御と課題」, 電気化学会 電子材料委員会 第 74 回 半導体・集積回路技術シンポジウム, 東京, 2010 年 7 月 9 日.

4. 西村知紀, 李 忠賢, 王 盛凱, 田畑俊行, 喜多浩之, 長汐晃輔, 鳥海 明, 「High-k/Ge MOSFET における電子移動度の向上」, 電気学会 シリコンナノデバイス集積化技術調査専門委員会 グリーンITにおける化合物半導体電子デバイス調査専門委員会, 東京, 2010 年 7 月 26 日.
5. 西村知紀, 李 忠賢, 王 盛凱, 田畑俊行, 長汐晃輔, 喜多浩之, 鳥海 明, 「High-k/Ge MOSFET における移動度特性の向上」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 16 回研究会), 東京, 2011 年 1 月 22 日.
6. 鳥海 明, 「Ge CMOS の可能性と課題」, 第 75 回半導体・集積回路技術シンポジウム, 東京, 2011 年 7 月 7 日.

<国際会議>

1. K. Kita, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Control of Properties of GeO₂ Films and Ge/GeO₂ Interfaces by the Suppression of GeO Volatilization", The 215th Electrochemical Society Meeting, San Francisco, May 26, 2009.
2. A. Toriumi, T. Tabata, C. H. Lee, T. Nishimura, K. Kita and K. Nagashio, "Opportunities and Challenges for Ge CMOS -Control of interfacing fields on Ge is a key-", INFOS2009, Cambridge, Jun. 29, 2009.
3. A. Toriumi, S. K. Wang, C. H. Lee, M. Yoshida, K. Kita, T. Nishimura and K. Nagashio, "Oxidation, Diffusion and Desorption in Ge/GeO₂ System", The 217th Electrochemical Society Meeting, Vancouver, Apr. 27, 2010.
4. A. Toriumi, "Design of Interfacing Fields for Advanced Electron Devices", International Symposium on Technology Evolution for Silicon Nano-Electronics (ISTESNE), Tokyo, Jun. 3, 2010.
5. A. Toriumi, "Can Germanium be Beyond Silicon in Performance?", 5th The international SiGe Technology and Device Meeting (ISTDM), Stockholm, May 26, 2010.
6. A. Toriumi, "Will Germanium Be Back ?", International Union of Materials Research Societies - International Conference on Electronic Materials 2010 (IUMRS-ICEM2010), Seoul, Aug. 23, 2010.
7. A. Toriumi, C. H. Lee, T. Nishimura, K. Kita, S. K. Wang, M. Yoshida, and K. Nagashio, "Feasibility of Ge CMOS for Beyond Si-CMOS", The 218th Electrochemical Society Meeting, Las Vegas, Oct. 12, 2010.
8. K. Kita, "Understanding of GeO₂ Material Properties for Advanced Ge MIS Stacks", 41st IEEE Semiconductor Interface Specialists Conference International (SISC2010), San Diego, Dec. 3, 2010.
9. A. Toriumi, C. H. Lee, T. Nishimura, D. Zhao, S. K. Wang, K. Kita, and K. Nagashio, "Very High Electron and Hole Mobility in Ge MOSFETs", 2011 MRS Spring Meeting, San Francisco, Apr. 27, 2011.
10. A. Toriumi, C. H. Lee, T. Nishimura, S. K. Wang, K. Kita, and K. Nagashio, "Recent Progress of Ge Technology for a Post-Si CMOS", The 219th Electrochemical Society Meeting, Montreal, May 4, 2011.
11. A. Toriumi, C. H. Lee, S. K. Wang, T. Tabata, M. Yoshida, D. D. Zhao, T. Nishimura, K. Kita, and K. Nagashio, "Material Potential and Scalability Challenges of Germanium CMOS", 2011 IEEE International Electron Device Meeting (IEDM2011), Washington DC, Dec. 7, 2011.
12. A. Toriumi, "Si-friendly Materials beyond Si for New Electron Devices", Enabling Science and Nanotechnology (ESciNano2012), Johor Bahru, Jan. 7, 2012.
13. K. Kita, S. K. Wang, T. Tabata, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Control of Ge/High-k Interface for Ge CMOS Technology", 39th

Conference on the Physics and Chemistry of Surfaces and Interfaces (PCSI-39), Santa Fe, Jan. 25, 2012.

14. A. Toriumi, "Recent Progress of Germanium MOSFETs", The 2012 International Meeting for Future of Electron Devices, Osaka, May 9, 2012.
15. A. Toriumi, C. H. Lee, S. K. Wang, D. D. Zhao, T. Tabata, T. Nishimura, K. Kita, and K. Nagashio, "Recent Progress of Ge Gate Stack Technology", 6th International SiGe Technology and Devices Meeting, Berkeley, Jun. 5, 2012.
16. A. Toriumi, "Materials Engineering of Ge Interfaces with Insulators and Metals", 17th Workshop on Dielectrics in Microelectronics (WoDiM 2012), Dresden, Jun. 25, 2012.
17. T. Nishimura and A. Toriumi, "Impact of Ultra-thin Insulator Insertion on Ge/Metal Interaction", 6th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, Miyagi, Feb. 23, 2013.
18. A. Toriumi, C. H. Lee and T. Nishimura, "High Electron Mobility n-channel Ge MOSFETs with sub-nm EOT" ISTDM 2014 (June, Singapore).
19. A. Toriumi, C. H. Lee, T. Tabata, and T. Nishimura, "High Performance Ge n- and p-MOSFETs for Advanced CMOS", e-MRS 2013 Spring Meeting, Strasbourg, May 27, 2013.

② 口頭発表 (国内会議 48 件, 国際会議 45 件)

<国内会議>

1. 塚本武志, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Co/Ti/Ge 基板の熱処理による平坦な CoGe_x/Ge 界面形成の試み」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 30 日
2. 喜多浩之, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「高圧酸化による GeO₂ 膜中欠陥の抑制効果の分光エリプソメトリーによる観察」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 31 日
3. 李 忠賢, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「高圧酸化による Ge/GeO₂ 界面特性の向上」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 31 日
4. 鷹本靖欣, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Internal Photoemission (IPE)測定を用いた Ge/GeO₂ 界面の電子構造の決定」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 31 日
5. 長汐晃輔, 李 忠賢, 西村知紀, 喜多浩之, 鳥海 明, 「Ge の高圧酸化による GeO 脱離抑制に関する熱力学的・速度論的考察」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 31 日
6. 西村知紀, 李 忠賢, 長汐晃輔, 喜多浩之, 鳥海 明, 「高圧酸化を用いた Ge/GeO₂ 界面制御による Ge n-MOSFET 電子移動度の向上」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 31 日
7. 田畑俊行, 喜多浩之, 鳥海 明, 「添加元素による GeO₂ 膜物性の違い -Ge-CMOS に向けた High-k 材料の選択指針-」, 第 56 回 応用物理学関係連合講演会, つくば, 2009 年 3 月 31 日
8. 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「金属/ゲルマニウム界面のフェルミレベルピンニングとその制御性」, ゲート絶縁薄膜, 容量膜, 機能膜およびメモリ技術 (応用物理学会, シリコンテクノロジー分科会, 第 113 研究集会「ゲートスタック研究の進展 -Ge系材料を中心に」)との合同開催, 東京, 2009 年 6 月 19 日
9. 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「金属/Ge 界面におけるショットキー障壁高さの GeO₂ 導入効果 -膜厚及び金属による違い-」, 第 70 回 応用物理学会学術講演会, 富山, 2009 年 9 月 10 日
10. 喜多浩之, 吉田まほろ, 西村知紀, 長汐晃輔, 鳥海 明, 「GeO₂ 膜のサブギャップ光吸収と

- GeO 脱離量の相関の考察」, 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 11 日
11. 王 盛凱, 喜多浩之, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge/GeO₂からの GeO 脱離における活性化エネルギーの TDS による評価」, 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 11 日
 12. 吉田まほろ, 喜多浩之, 西村知紀, 長汐晃輔, 鳥海 明, 「GeO₂ 膜のアニール後に観測されるサブギャップ抑制のための高圧酸素圧力の定量化」, 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 11 日
 13. 李 忠賢, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Ge 高圧酸化における GeO 脱離抑制に対する全圧と分圧の違い」, 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 11 日
 14. 李 忠賢, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Ge/GeO₂ 界面制御による Ge-nMOSFETs の電子移動度の向上」, 応用物理学会分科会, 電子情報通信学会 (IEDM 特集), 東京, 2010 年 1 月 29 日
 15. 喜多浩之, 王 盛凱, 李 忠賢, 吉田まほろ, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge/GeO₂ 界面反応の理解に基づいた GeO₂ 膜物性の制御と Ge-MOSFET の性能向上」, 電気学会 電子デバイス研究会「グリーン IT における電子デバイス」, 東京, 2010 年 3 月 26 日
 16. 西村知紀, 李 忠賢, 王 盛凱, 田畑俊行, 喜多浩之, 長汐晃輔, 鳥海 明, 「High-k Ge-MISFET における電子移動度の更なる向上」, 応用物理学会 シリコンテクノロジー分科会 第 127 回研究集会「VLSI シンポジウム特集(先端 CMOS デバイス・プロセス技術)」, 東京, 2010 年 7 月 22 日
 17. 李 忠賢, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Ge/GeO₂ スタックにおける高圧酸化の優位性」, 第 71 回応用物理学会学術講演会, 長崎, 2010 年 9 月 15 日
 18. 趙 丹丹, 西村知紀, 李 忠賢, 長汐晃輔, 喜多浩之, 鳥海 明, 「不純物濃度可変の Junctionless Ge p-MOSFETs」, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 26 日
 19. 王 盛凱, 喜多浩之, 西村知紀, 長汐晃輔, 鳥海 明, 「GeO₂/Ge 界面で形成された酸素空孔支援による GeO₂ の結晶化」, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 26 日
 20. 西村知紀, 李 忠賢, 長汐晃輔, 喜多浩之, 鳥海 明, 「金属/Ge 界面に導入した酸化膜と硫化膜が Fermi-level Pinning に与える影響の比較」, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 27 日
 21. 田畑俊行, 李 忠賢, 長汐晃輔, 喜多浩之, 鳥海 明, 「AlN/Ge MIS ゲートスタックにおける高圧窒素アニールの効果」, 第 59 回応用物理学関係連合講演会, 東京, 2012 年 3 月 16 日
 22. 宋 宇振, 張 文峰, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「低温ラジカル酸化による Ge/GeO₂ ゲートスタックの形成とその特性」, 第 59 回応用物理学関係連合講演会, 東京, 2012 年 3 月 16 日
 23. 株柳翔一, 西村知紀, 長汐晃輔, 鳥海 明, 「低温熱処理で形成した多結晶 Ge 薄膜トランジスタに及ぼす界面絶縁膜の効果」, 第 59 回応用物理学関係連合講演会, 東京, 2012 年 3 月 16 日
 24. 李 忠賢, 西村知紀, 田畑俊行, 長汐晃輔, 喜多浩之, 鳥海 明, 「UTB-GeOI MOSFETs における移動度劣化機構」, 第 59 回応用物理学関係連合講演会, 東京, 2012 年 3 月 16 日
 25. 趙 丹丹, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge Junction-less p-FET の作成と正孔の高移動度」, 第 59 回応用物理学関係連合講演会, 東京, 2012 年 3 月 16 日
 26. 趙 丹丹, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「高不純物濃度 Germanium における Raman ピークのソフト化の起源」, 第 59 回応用物理学関係連合講演会, 東京, 2012 年 3 月 16 日
 27. 中村俊允, 西村知紀, 長汐晃輔, 鳥海 明, 「金属/Ge 接合に及ぼす絶縁膜の挿入効果と実効電荷中性点の見かけ上のシフト」, 第 73 回応用物理学会学術講演会, 愛媛, 2012 年 9 月

12日

28. 岡村康平, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge の低温高压酸化における酸化レート異常」, 第 73 回応用物理学学会学術講演会, 愛媛, 2012 年 9 月 12 日,
29. 株柳翔一, 西村知紀, 長汐晃輔, 鳥海 明, 「固相結晶化で形成した多結晶 Ge 薄膜トランジスタの電気特性に下地 SiO₂ の表面状態が及ぼす影響」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 18 回研究会), 湯河原, 2013 年 1 月 25 日
30. 西村知紀, 李 忠賢, 長汐晃輔, 鳥海 明, 「水素アニールによる Ge(111)表面の原子レベル平坦化」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 28 日
31. 宋 宇振, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge 基板のラジカル酸化で形成した GeO₂ 膜質の熱処理による変化」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 28 日
32. 李 忠賢, 西村知紀, 田畑俊行, 長汐晃輔, 鳥海 明, 「低温高压酸化による EOT 1.2nm Ge/GeO₂ スタックの形成」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 28 日
33. 田畑俊行, 長汐晃輔, 鳥海 明, 「高圧不活性ガス PDA による AlN/Ge ゲートスタックの実現」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 28 日
34. 中村俊允, 西村知紀, 長汐晃輔, 鳥海 明, 「絶縁膜を挿入した Ge Schottky Diode の抵抗の支配要因」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 28 日
35. 田畑俊行, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「Oxygen Potential Lowering in N-doped GeO₂ for Ge MIS Gate Stack Design in Extremely Thin EOT Region」, 第 73 回応用物理学学会学術講演会, 京都, 2013 年 9 月 17 日
36. 西村知紀, 矢嶋赳彬, 長汐晃輔, 鳥海 明, 「Atomically Flat Planarization of Ge (110) and (100) Surface by H₂ Annealing」, 第 73 回応用物理学学会学術講演会, 京都, 2013 年 9 月 17 日
37. 魯 辞莽, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「Y ドープ GeO₂ 界面層の Y 濃度に依存した界面酸化膜形成」, 第 73 回応用物理学学会学術講演会, 京都, 2013 年 9 月 17 日
38. 李 忠賢, 魯 辞莽, 田畑俊行, 西村知紀, 長汐晃輔, 鳥海 明, 「Significant Enhancement of High-Ns electron mobility in Ge n-MOSFETs」, 第 73 回応用物理学学会学術講演会, 京都, 2013 年 9 月 17 日
39. 張 文峰, 李 忠賢, 魯 辞莽, 西村知紀, 長汐晃輔, 鳥海 明, 「内部光電子分光法による GeO₂/Ge 界面のバンドオフセット量の決定」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 19 回研究会), 湯河原, 2014 年 1 月 24 日
40. 株柳翔一, 西村知紀, 長汐晃輔, 鳥海 明, 「多結晶 Ge 薄膜中の欠陥密度と熱処理雰囲気との関係」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 19 回研究会), 湯河原, 2014 年 1 月 24 日
41. 濱崎 拓, 株柳翔一, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge(111)基板上にエピタキシャル成長した Ge_{1-x}Sn_x膜の表面構造に与える Sn の影響」, 第 61 回応用物理学学会春季学術講演会, 相模原, 2014 年 3 月 18 日
42. C. H. Lee, T. Nishimura, C. Lu, W. F. Zhang, K. Nagashio, and A. Toriumi, 「Improvement of High-Ns Electron Mobility in Ge n-MOSFETs with Atomically Flat GeO₂/Ge Interface」, 第 61 回応用物理学学会春季学術講演会, 相模原, 2014 年 3 月 20 日
43. T. Nakamura, T. Nishimura, K. Nagashio, and A. Toriumi, 「Electrical Activation and Crystallinity Recovery of P-implanted Ge」, 第 61 回応用物理学学会春季学術講演会, 相模原, 2014 年 3 月 20 日
44. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, 「Electron Mobility and Leakage Current in Double-gated Ge Junctionless n-MOSFETs」, 第 61 回応用物理学学会春季学術講演会, 相模原, 2014 年 3 月 20 日
45. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, 「Multiple Origins of

Direct-gap Modulation in Ultra-thin Highly-doped GeOI], 第 61 回応用物理学会春季学術講演会, 相模原, 2014 年 3 月 20 日

46. C. Lu, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, 「Network Modification of GeO₂ by Trivalent Metal Oxide Doping」, 第 61 回応用物理学会春季学術講演会, 相模原, 2014 年 3 月 20 日
47. C. Lu, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, 「Thermodynamic Selection of the Desirable Doping Materials in GeO₂」, 第 61 回応用物理学会春季学術講演会, 相模原, 2014 年 3 月 20 日
48. C. H. Lee, C. Lu, W. F. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, 「Record-high Electron Mobility in Sub-nm EOT Ge n-MOSFETs with Y-doped GeO₂ Interfacial Layer」, 第 61 回応用物理学会春季学術講演会, 相模原, 2014 年 3 月 20 日

< 国際会議 >

1. K. Nagashio, T. Nishimura, K. Kita, and A. Toriumi, "Thermodynamics and kinetics for suppression of GeO desorption by high pressure oxidation of Ge", MRS spring meeting, San Francisco, Apr. 15, 2009.
2. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita and A. Toriumi, "Ge/GeO₂ Interface Control with High Pressure Oxidation for Improving Electrical Characteristics", The 215th Electrochemical Society Meeting, San Francisco, May 26, 2009.
3. K. Kita, M. Yoshida, T. Nishimura, K. Nagashio and A. Toriumi, "Spectroscopic Ellipsometry Study on Defects Generation in GeO₂/Ge stacks", Int. Conf. on Solid State Devices and Materials (SSDM), Sendai, Oct. 9, 2009.
4. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi, "¹⁸O isotope tracing of GeO Desorption from GeO₂/Ge Structure", Int. Conf. on Solid State Devices and Materials (SSDM), Sendai, Oct. 9, 2009.
5. C. H. Lee, T. Nishimura, T. Tabata, K. Nagashio, K. Kita and A. Toriumi, "High Electron Mobility Ge n-Channel MOSFETs with GeO₂ grown by High Pressure Oxidation", Int. Conf. on Solid State Devices and Materials (SSDM), Sendai, Oct. 9, 2009.
6. S. K. Wang, K. Kita, C. H. Lee, T. Tabata, K. Nagashio, T. Nishimura and A. Toriumi, "Kinetic Study of GeO Desorption from Ge/GeO₂ system", 40th IEEE Semiconductor Interface Specialists Conference (SISC2009), Arlington, Dec. 3, 2009.
7. T. Nishimura, K. Kita, K. Nagashio, and A. Toriumi, "Long Range Pinning Interaction in Ultra-thin Insulator-inserted Metal/Germanium Junctions", 2010 Silicon Nanoelectronics Workshop, Honolulu, Jun. 13, 2010.
8. C. H. Lee, T. Nishimura, T. Tabata, S. Wang, K. Nagashio, K. Kita, and A. Toriumi, "Advantage of High-pressure Oxidation for Ge/GeO₂ Stack Formation", Int. Conf. on Solid State Devices and Materials (SSDM), Tokyo, Sep. 22, 2010.
9. F. I. Alzakia, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi, "Effects of GeO₂-Metal Interaction on VFB of GeO₂ MIS Gate Stacks", Int. Conf. on Solid State Devices and Materials (SSDM), Tokyo, Sep. 22, 2010.
10. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi, "GeO Desorption Mechanism from GeO₂/Ge Stack Determined by ⁷³Ge Labeling Technique in Thermal Desorption Spectroscopy (TDS) Analysis", Int. Conf. on Solid State Devices and Materials (SSDM), Tokyo, Sep. 22, 2010.
11. M. Yoshida, T. Nishimura, C. H. Lee, K. Kita, K. Nagashio and A. Toriumi, "TO- and LO-mode analyses in asymmetric stretching vibrations in ultra thin thermally grown GeO₂ on Ge substrate", Int. Conf. on Solid State Devices and Materials (SSDM), Tokyo, Sep. 24, 2010.
12. T. Tabata, C. H. Lee, K. Kita, and A. Toriumi, "Direct LaLuO₃/Ge Gate Stack Formation by Interface Layer Scavenging and Subsequent Low Temperature O₂

- Annealing", The 218th Electrochemical Society Meeting, Las Vegas, Oct. 13, 2010.
13. M. Yoshida, K. Kita, K. Nagashio, T. Nishimura and A. Toriumi, "Oxidation Sensitive LO-phonon Mode of GeO₂ in Initial Oxidation Regime of Ge", 41st IEEE Semiconductor Interface Specialists Conference (SISC2010), San Diego, Dec. 3, 2010.
 14. D. D. Zhao, T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless Ge p-MOSFETs Fabricated on Ultra-thin GeOI Substrate", 2011 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2011), Tokyo, Jan. 20, 2011.
 15. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, "Kinetic Effects of Oxygen Vacancy Formed by GeO₂/Ge Interfacial Reaction", 2011 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2011), Tokyo, Jan. 20, 2011.
 16. T. Tabata, C. H. Lee, K. Kita, and A. Toriumi, "Interface Layer Scavenging and Defect Generation in LaLuO₃/Ge MIS Gate Stack", 2011 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2011), Tokyo, Jan. 20, 2011.
 17. C. H. Lee, D. D. Zhao, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Direct Comparison of Electron and Hole Mobility in a Single GeOI MOSFET with Ge/SiO₂ Interface", 2011 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2011), Tokyo, Jan. 21, 2011.
 18. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, "Interfacial Reaction Induced GeO Desorption, GeO₂ Crystallization and Non-uniform Void Formation in GeO₂/Ge Stack", 2011 MRS Spring Meeting, San Francisco, Apr. 28, 2011.
 19. D. D. Zhao, T. Nishimura, C. H. Lee, R. Ifuku, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless Ge MOSFETs Fabricated on 10 nm-Thick GeOI Substrate", The 219th Electrochemical Society Meeting, Montreal, Oct. 13, May 4, 2011.
 20. T. Tabata, C. H. Lee, T. Nishimura, S. K. Wang, K. Kita and A. Toriumi, "1.2 nm-EOT Al₂O₃ /Ge Gate Stack with GeO_x-free Interface", Int. Conf. on Solid State Devices and Materials (SSDM), Nagoya, Sep. 28, 2011.
 21. T. Nishimura, K. Nagashio, K. Kita and A. Toriumi, "A Study of Fermi-level Pinning in Ge Schottky and MIS Tunnel Junctions", Int. Conf. on Solid State Devices and Materials (SSDM), Nagoya, Sep. 29, 2011.
 22. C. H. Lee, T. Nishimura, T. Tabata, M. Yoshida, K. Nagashio, K. Kita and A. Toriumi, "Control of Surface Roughness on Ge by Wet Chemical Treatments and Its Effects on Electron Mobility in n-FETs", Int. Conf. on Solid State Devices and Materials (SSDM), Nagoya, Sep. 30, 2011.
 23. D. D. Zhao, C. H. Lee, T. Nishimura, K. Nagashio and A. Toriumi, "Dual Gated Germanium Junctionless p-MOSFETs", Int. Conf. on Solid State Devices and Materials (SSDM), Nagoya, Sep. 30, 2011.
 24. C. H. Lee, T. Nishimura, T. Tabata, D. D. Zhao, R. Ifuku, K. Nagashio, K. Kita, and A. Toriumi, "Experimental Study of Carrier Transport in Ultra-Thin Body GeOI MOSFETs", 2011 IEEE International SOI Conference, Phoenix, Oct. 6, 2011.
 25. T. Nishimura and A. Toriumi, "MIGS – metal layer formation model at metal/Ge schottky barrier diode interface", 42nd IEEE Semiconductor Interface Specialists Conference (SISC2011), Arlington, Dec. 2, 2011.
 26. S. K. Wang, K. Kita, K. Nagashio, T. Nishimura, and A. Toriumi, "Oxygen Vacancy Formation, Diffusion and GeO desorption in GeO₂/Ge Stack", 42nd IEEE Semiconductor Interface Specialists Conference (SISC2011), Arlington, Dec. 3, 2011.
 27. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Band-offset Determination at Ge/GeO₂ Interface by Internal Photoemission and

- Charge-corrected X-ray Photo-electron Spectroscopies", Int. Conf. on Solid State Devices and Materials (SSDM), Kyoto, Sep. 25, 2012.
28. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Characterization of phosphorus-implanted n+/p Ge junctions by reversely biased leakage current and Raman spectroscopy", Int. Conf. on Solid State Devices and Materials (SSDM), Kyoto, Sep. 25, 2012.
 29. W. J. Song, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Oxidation Kinetics of Ge by Oxygen Radicals at Low Temperatures and Electrical Properties of GeO₂/Ge Gate Stacks", Int. Conf. on Solid State Devices and Materials (SSDM), Kyoto, Sep. 26, 2012.
 30. T. Tabata, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Aluminum Nitride for Ge-MIS Gate Stacks with Scalable EOT", Int. Conf. on Solid State Devices and Materials (SSDM), Kyoto, Sep. 26, 2012.
 31. T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Study of Fermi Level Pinning at Metal/Semiconductor Interface through Re-investigation of Interfacial Alloy Interaction", Int. Conf. on Solid State Devices and Materials (SSDM), Kyoto, Sep. 27, 2012.
 32. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Conduction Band-offset in GeO₂/Ge Stack Determined by Internal Photoemission Spectroscopy", PACIFIC RIM MEETING 2012 (PRiME 2012), Honolulu, Oct. 9, 2012.
 33. W. J. Song, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Oxidation kinetics of Ge by oxygen radicals", ISPlasma2013, Aichi, Jan. 30, 2013.
 34. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Impact of Oxidation Pressure on the Band Alignment at GeO₂/Ge Probed by Internal Photoemission Spectroscopy", ICSI-8 and ICSI-VI, Fukuoka, Jun. 6, 2013.
 35. W. J. Song, W. F. Zhang, C. H. Lee, T. Nishimura, and A. Toriumi, "Ultra-thin GeO₂ Formation by Oxygen Radicals (O*) for Advanced Ge Gate Stacks - Reaction kinetics, film quality and MIS characteristics -", 2013 Silicon Nanoelectronics Workshop, Kyoto, Jun. 9, 2013.
 36. C. H. Lee, T. Nishimura, T. Tabata, K. Nagashio, and A. Toriumi, "Layer-by-Layer GeO₂ Formation in the Self-Limited Oxidation Regime of Ge", Int. Conf. on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 26, 2013.
 37. C. Lu, C. H. Lee, W. F. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, "Thermodynamic consideration and experimental demonstration for solving the problems of GeO₂ solubility in H₂O and GeO desorption from GeO₂/Ge", Int. Conf. on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 26, 2013.
 38. T. Nishimura, T. Nakamura, T. Yajima, K. Nagashio and A. Toriumi, "Charge neutrality level shift in the Bardeen limit of Fermi-level pinning at atomically flat Ge/metal interface", Int. Conf. on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 26, 2013.
 39. S. Kabuyanagi, T. Nishimura, K. Nagashio and A. Toriumi, "Demonstration of High Electron Mobility in Germanium n-channel Junctionless FETs", Int. Conf. on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 27, 2013.
 40. T. Nishimura, S. Kabuyanagi, T. Yajima, K. Nagashio, and A. Toriumi, "Atomically Flat Germanium (111) Surface by Hydrogen Annealing", The 224th Electrochemical Society Meeting, San Francisco, Oct. 29, 2013.
 41. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, "High Electron Mobility in Germanium Junctionless n-MOSFETs", The 218th Electrochemical Society Meeting, Las Vegas, Oct. 30, 2010.
 42. C. Lu, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Network Modification Comparison of GeO₂ on Ge by Intermixing with Trivalent Oxides", 2013 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2013), Tokyo, Nov. 7, 2013.

43. T. Nakamura, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, "Raman Spectroscopy Study of Phosphorus Implanted Germanium", 2013 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2013), Tokyo, Nov. 8, 2013.
44. C. H. Lee, T. Nishimura, C. Lu, W. F. Zhang, K. Nagashio, and A. Toriumi, "Enhancement of High- N_s Electron Mobility in Ge(111) n-MOSFETs by the Formation of Atomically Flat GeO₂/Ge Interface", 7th International Workshop on New Group IV Semiconductor Nanoelectronics, Jan., 2014.
45. C. Lu, C. H. Lee, W. F. Zhang, T. Nishimura, K. Nagashio, A. Tomonori, "Thermodynamically Controlled GeO₂ by Introducing M₂O₃ for Ultra-Thin EOT Ge Gate Stacks", 2014 MRS Spring Meeting, San Francisco, Apr. 24, 2014.

③ ポスター発表 (国内会議 20 件, 国際会議 20 件)

<国内会議>

1. 鷹本靖欣, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「ヘテロ界面に於けるバンドオフセットの決定に向けた Internal Photo Emission 法の詳細検討」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 16 回研究会), 三島, 2010 年 1 月 22 日
2. 吉田 まほろ, 喜多浩之, 西村知紀, 長汐晃輔, 鳥海 明, 「UV 分光エリプソメトリを用いた複素屈折率測定に基づく Ge 上 GeO₂ 薄膜の欠陥評価」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 16 回研究会), 三島, 2010 年 1 月 22 日
3. 王 盛凱, 喜多浩之, 田畑俊行, 西村知紀, 長汐晃輔, 鳥海 明, 「Ge/GeO₂ 界面から脱離する GeO の TDS による解析」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 16 回研究会), 三島, 2010 年 1 月 22 日
4. 喜多浩之, 西村知紀, 李 忠賢, フアドアルザキア, 長汐晃輔, 鳥海 明, 「GeO₂ MIS スタックのフラットバンド電圧に対する GeO₂/メタル界面の影響」, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 18 日
5. 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「極薄 TiO₂ 膜の挿入による金属/n-Ge 接合におけるオーミック接合の形成」, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 18 日
6. 李 忠賢, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「GeO₂ 形成時の高压酸化と1気圧酸化の本質的な違い -バルク GeO₂ 膜と GeO₂/Ge 界面の独立な制御-」, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 18 日
7. 鷹本靖欣, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Internal Photo Emission 測定における絶縁膜電界の決定方法」, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 18 日
8. 吉田まほろ, 喜多浩之, 李 忠賢, 西村知紀, 長汐晃輔, 鳥海 明, 「高压 O₂ 熱処理が Ge/GeO₂ に及ぼす影響」, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 18 日
9. 王 盛凱, 喜多浩之, 西村知紀, 長汐晃輔, 鳥海 明, 「低压酸素雰囲気下における Ge 表面の活性酸化」, 第 57 回応用物理学関係連合講演会, 神奈川, 2010 年 3 月 18 日
10. 李忠賢, 西村知紀, 田畑俊行, 長汐晃輔, 喜多浩之, 鳥海 明, 「DIW による Ge 表面ラフネスの制御と Ge/GeO₂ 界面の電気特性における影響」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 17 回研究会), 三島, 2012 年 1 月 20 日
11. 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Ge ショットキー・MIS トンネル接合におけるフェルミレベルピンニング」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 17 回研究会), 三島, 2012 年 1 月 20 日
12. 永田光大, 岩井貴雅, 田畑俊行, 西村知紀, 長汐晃輔, 鳥海 明, 「High-k/GeO₂ 界面におけるダイポール層の実験的確認」, 第 73 回応用物理学学会学術講演会, 愛媛, 2012 年 9 月 11 日
13. 張 文峰, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「XPS による GeO₂/Ge 界面のバンドオフセットの決定」, ゲートスタック研究会－材料・プロセス・評価の物理－(第 18 回研究会),

湯河原, 2013年1月25日

14. 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「極薄絶縁膜の導入による Au/Ge 界面反応の抑制とフェルミレベルピンニング」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 29 日
15. 張 文峰, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「XPS による GeO₂/Ge 界面の価電子帯バンドオフセットの決定」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 29 日
16. 張 文峰, 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 「Internal Photo-emission 法による GeO₂/Ge 界面における伝導帯バンドオフセットの決定」, 第 60 回応用物理学関係連合講演会, 神奈川, 2013 年 3 月 29 日
17. 株柳翔一, 西村知紀, 長汐晃輔, 鳥海 明, 「多結晶 Ge 薄膜トランジスタの電気特性に及ぼす水素および酸素の影響」, 第 74 回応用物理学学会学術講演会, 京都, 2013 年 9 月 18 日
18. 中村 俊允, 李 忠賢, 西村 知紀, 長汐 晃輔, 鳥海 明, 「P をイオン注入した Ge 基板の熱処理による結晶性の回復と活性化率の関係」, ゲートスタック研究会ー材料・プロセス・評価の物理ー(第 19 回研究会), 湯河原, 2014 年 1 月 24 日
19. W. F. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, 「Conduction Band Tail States at GeO₂/Ge Interface Probed Internal Photoemission Spectroscopy」, 第 61 回応用物理学学会春季学術講演会, 相模原, 2014 年 3 月 19 日
20. W. F. Zhang, C. Lu, C. H. Lee, T. Nishimura, K. Nagashio, and A. Toriumi, 「Surface Cleaning of (100) n-Ge by H₂O₂ Aqueous Solution」, 第 61 回応用物理学学会春季学術講演会, 相模原, 2014 年 3 月 19 日

<国際会議>

1. T. Tabata, K. Kita and A. Toriumi, "Study of La-doped GeO₂ Films from Defect Annihilation Viewpoint", Int. Conf. on Solid State Devices and Materials (SSDM), Sendai, Oct. 8, 2009.
2. M. Yoshida, K. Kita, K. Nagashio, T. Nishimura and A. Toriumi, "Sub-gap Formation and Its Annihilation in Energy Band Gap of GeO₂ by Changing O₂ Pressure in PDA Process", 40th IEEE Semiconductor Interface Specialists Conference (SISC2009), Arlington, Dec. 3, 2009.
3. T. Tabata, C.H. Lee, K. Kita and A. Toriumi, "Local GeO₂ Doping at LaLuO₃/Ge Interface for Direct High-k/Ge Gate Stacks", 40th IEEE Semiconductor Interface Specialists Conference (SISC2009), Arlington, Dec. 3, 2009.
4. D. D. Zhao, C. H. Lee, T. Nishimura, K. Nagashio, K. Kita, A. Toriumi, "Electron and hole mobility comparison in a single Ge-MOSFET fabricated on 50 nm-thick GeOI substrate", Int. Conf. on Solid State Devices and Materials (SSDM), Tokyo, Sep. 23, 2010.
5. T. Tabata, C. H. Lee, T. Nishimura, K. Kita and A. Toriumi, "Impact of Low Temperature O₂ Annealing for Stabilizing LaLuO₃/Ge Gate Stacks without Additional Interface Layer Formation", 41st IEEE Semiconductor Interface Specialists Conference (SISC2010), San Diego, Dec. 2, 2010.
6. S. K. Wang, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi, "Crystallization of Thick Amorphous GeO₂ on Ge to α -quartz Structure - Experimental Evidence and Crystallization Model", 41st IEEE Semiconductor Interface Specialists Conference (SISC2010), San Diego, Dec. 2, 2010.
7. T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, "Sulfur Passivation of Germanium Surface by Vapor-phase Sulfidation at Elevated Temperature", 2011 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2011), Tokyo, Jan. 20, 2011.
8. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Study of Wet Etching Chemistry on Ge Surface in DIW", 42nd IEEE Semiconductor

- Interface Specialists Conference (SISC2011), Arlington, Dec. 1, 2011.
9. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, "Impacts of interfacial insulator on poly-crystalline germanium growth in low temperature processing", Int. Conf. on Solid State Devices and Materials (SSDM), Kyoto, Sep. 26, 2012.
 10. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, "Impacts of Surface Treatment of SiO₂/Si Substrate on the Electrical Property of Polycrystalline Germanium Thin Film Transistor", 43rd IEEE Semiconductor Interface Specialists Conference (SISC2012), San Diego, Dec. 6, 2012.
 11. S. Kabuyanagi, T. Nishimura, K. Nagashio and A. Toriumi, "Substrate-oxide-sensitive Ge TFT Characteristics", 6th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, Miyagi, Feb. 23, 2013.
 12. S. Kabuyanagi, T. Nishimura, K. Nagashio, and A. Toriumi, "Effects of PDA Ambient on Leakage Current in Poly-Ge TFTs", ICSI-8 and ISCSI-VI, Fukuoka, Jun. 3, 2013.
 13. C. H. Lee, T. Nishimura, T. Tabata, K. Nagashio, and A. Toriumi, "Ion Implantation-Induced Defects Generated in PN Junction Formation of Germanium", ICSI-8 and ISCSI-VI, Fukuoka, Jun. 3, 2013.
 14. T. Nishimura, T. Nakamura, and A. Toriumi, "Study of Strong Fermi Level Pinning at Metal/Germanium Interface Based on the Impact of Ultra-thin Insulator Insertion", ICSI-8 and ISCSI-VI, Fukuoka, Jun. 4, 2013.
 15. T. Tabata, C.H. Lee, T. Nishimura, K. Nagashio and A. Toriumi, "Effect of Oxygen Potential Lowering in N-doped GeO₂ on Suppression of GeO Desorption and Planarization of Ge Interface", Int. Conf. on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 26, 2013.
 16. W. F. Zhang, C. H. Lee, C. Lu, T. Nishimura, K. Nagashio, K. Kita and A. Toriumi, "Effects of the Interface-related and Bulk-fixed Charges in Ge/GeO₂ Stack on Band Bending of Ge Studied by X-ray Photoemission Spectroscopy", Int. Conf. on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 26, 2013.
 17. W. F. Zhang, T. Nishimura. K. Nagashio, and A. Toriumi, "Time-evolution of Roughening Process on Atomically Flat Ge (111) Surface by Diluted H₂O₂ Solution", to be presented at 44th IEEE Semiconductor Interface Specialists Conference (SISC2013), Arlington, Dec (2013).
 18. C. H. Lee, C. Lu, T. Nishimura, K. Nagashio, and A. Toriumi, "Robust Interfacial Layer Y-doped GeO₂ for Scalable EOT Ge Gate Stacks", to be presented at 44th IEEE Semiconductor Interface Specialists Conference (SISC2013), Arlington, Dec (2013).
 19. S. Kabuyanagi, T. Nishimura. K. Nagashio, and A. Toriumi, "Direct Band Gap Modulation in Ultra-thin Highly Doped n-type GeOI", 7th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, Miyagi, Jan. 28, 2014.
 20. C. Lu, C. H. Lee, W. F. Zhang, T. Nishimura, K. Nagashio, and A. Toriumi, "Selection of desirable trivalent metal oxides as doping material into GeO₂", 7th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, Miyagi, Jan. 28, 2014.

(4)知財出願

①国内出願 (5件)

1. 発明の名称:ゲルマニウム層上に窒化酸化アルミニウム膜を備える半導体構造およびその製造方法
発明者:鳥海 明, 田畑 俊行
出願人:独立法人科学技術振興機構
出願日:平成 24 年 8 月 24 日
出願番号:特願2012-185276
2. 発明の名称:ゲルマニウム層上に酸化ゲルマニウムを備える半導体構造およびその製造方法
発明者:鳥海 明, 李 忠賢
出願人:独立法人科学技術振興機構
出願日:平成 24 年 8 月 24 日
出願番号:特願2012-185277
3. 発明の名称:ゲルマニウム層の表面の平坦化方法および半導体構造の製造方法
発明者:鳥海 明, 西村 知紀
出願人:独立法人科学技術振興機構
出願日:平成 24 年9月 28 日
出願番号:特願2012-217629
4. 発明の名称:ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法
発明者:鳥海 明, 田畑 俊行, 李 忠賢, 西村 知紀
出願人:独立法人科学技術振興機構
出願日:平成 25 年 8 月 30 日
出願番号:特願2013-179912
5. 発明の名称:ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法
発明者:鳥海 明, 田畑 俊行, 李 忠賢, 西村 知紀, 魯 辞莽
出願人:独立法人科学技術振興機構
出願日:平成 24 年9月 20 日
出願番号:特願2013-195887

②海外出願 (5件)

1. 発明の名称:ゲルマニウム層上に窒化酸化アルミニウム膜を備える半導体構造およびその製造方法
発明者:鳥海 明, 田畑 俊行
出願人:独立法人科学技術振興機構
出願日:2013年3月11日
出願番号:PCT/JP2013/056678
2. 発明の名称:ゲルマニウム層上に酸化ゲルマニウムを備える半導体構造およびその製造方法
発明者:鳥海 明, 李 忠賢
出願人:独立法人科学技術振興機構
出願日:2013 年 4 月 18 日
出願番号:PCT/JP2013/061542
3. 発明の名称:ゲルマニウム層の表面の平坦化方法および半導体構造の製造方法
発明者:鳥海 明, 西村 知紀
出願人:独立法人科学技術振興機構

出願日:2013年4月18日

出願番号:PCT/JP2013/061543

4. 発明の名称:ゲルマニウム層の表面の平坦化方法および半導体構造の製造方法

発明者:鳥海 明, 西村 知紀

出願人:独立法人科学技術振興機構

出願日:2013年4月29日

出願番号:TW 102115282

5. 発明の名称:ゲルマニウム層上に酸化ゲルマニウムを備える半導体構造およびその製造方法

発明者:鳥海 明, 李 忠賢

出願人:独立法人科学技術振興機構

出願日:2013年4月29日

出願番号:TW 102115227

③その他の知的財産権

特になし

(5)受賞・報道等

①受賞

- 1 C. H. Lee,
2009 IEEE EDS Japan Chapter Student Award for outstanding work in the paper "Enhancement of High-Ns Electron Mobility in Sub-nm EOT Ge n-MOSFETs", Feb. 2014.
- 2 Cimang Lu, 2013 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2013), IWDTF Best Paper Award, "Network Modification Comparison of GeO₂ on Ge by Intermixing with Trivalent Oxides",
- 3 田畑 俊行,
2013年秋季応用物理学会講演会奨励賞, "高圧不活性ガス PDA による AlN/Ge ゲートスタックの実現", 2013年9月
- 4 李 忠賢,
東京大学大学院工学系研究科 平成24年度 工学系研究科長賞(博士)(研究)(2013年3月25日)
- 5 C. H. Lee,
2009 IEEE EDS Japan Chapter Student Award for outstanding work in the paper "Record-high Electron Mobility in Ge n-MOSFETs Exceeding Si Universality," Jan. 26, 2010.
- 6 C. H. Lee,
SSDM 2010 Young Researcher Award, "High Electron Mobility Ge n-Channel MOSFETs with GeO₂ grown by High Pressure Oxidation".
- 7 李 忠賢,
2010年秋季応用物理学会講演会奨励賞, "GeO₂形成時の高圧酸化と1気圧酸化の本質的な違い -バルク GeO₂膜と GeO₂/Ge 界面の独立な制御-".
- 8 S. K. Wang,
Young Researcher Award, "Kinetic Effects of Oxygen Vacancy Formed by GeO₂/Ge Interfacial Reaction," 2011 International Workshop on Dielectric Thin Film for Future Electron Devices (IWDTF2011), Jan. 20, 2011.
- 9 D. D. Zhao,
Young Researcher Award, "Junctionless Ge p-MOSFETs Fabricated on Ultra-thin GeOI Substrate," 2011 International Workshop on Dielectric Thin Film for Future

- Electron Devices (IWDTF2011), Jan. 20, 2011.
- 10 C. H. Lee,
2010 IEEE EDS Japan Chapter Student Award for outstanding work in the paper
"Ge MOSFETs performance: Impact of interface passivation," Jan. 27, 2011.
 - 11 K. Kita,
Best Presentation Award, The Electrochemical Society, High Dielectric Constant
Gate Stacks V Symposium, "Dramatic Improvement of GeO₂/Ge MIS
Characteristics by Suppression of GeO Volatilization", Oct. 2008.

②マスコミ(新聞・TV等)報道

1. 2010年6月(VLSIシンポジウム発表にかかわる新聞発表)
界面の制御による Ge n MOSFET における電子モビリティの著しい向上。
2. 2010年12月(IEDM発表にかかわる新聞発表)
ゲート絶縁膜に High-k 膜を用いることによる界面のさらなる改善と電子モビリティのさらなる向上。

(6)成果展開事例

- ①実用化に向けての展開
特に無し
- ②社会還元的な展開活動
特に無し

§ 6 研究期間中の活動

6. 1 主なワークショップ, シンポジウム, アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
H20年11月21日	Ge 一般	東京大学	9	鎌田善己 (東芝)
H21年2月21日	Geのプラズマ窒化	東京大学	11	菅原卓也 (東京エレクトロン)
H21年2月24日	GeのTDSの注意 点	東京大学	9	平下紀夫 (ESCO)
H21年3月11日	J. Robertson 講演会	東京大学	15人	High-kを含めたミニ ワークショップ (Cambridge 大学)
H22年11月24日	M. Houssa セミナ ー	東京大学	30人	Ge界面に関する理 論的アプローチ (Leuven 大学)
H24年1月24日	P. McIntyre セミ ナー	東京大学	15人	Ge及びIII-V系半 導体界面制御 (Stanford 大学)
H25年11月11 日	R. Wallace セミナ ー	東京大学	30人	III-V系, 二次元系界 面解析 (Texas 大学, Dallas)
H26年1月23日	S. Kar セミナー	東京大学	20人	MOS 界面評価技術 (IIT)

§ 7 最後に

当初、下記の目標を掲げた(p.8)。

- (1) Ge FET チャネル界面の理解に基づく世界最高のモビリティの値を実現。
- (2) Ge/High-k 界面の理解に基づく高性能ゲートスタックの実現。
- (3) Ge/Metal 界面の理解に基づく低抵抗 Ge Source/Drain コンタクトの実現。

上記のそれぞれの項目に対する達成度をまず述べたい。(1)と(2)に関しては、それぞれ 120%の出来であると思っている。(3)に関しては 60%との出来と自己評価する。トータルで 300%の出来として平均としては 100%としたい。その意味で我々自身では本プログラムは成功したと考えている。それぞれの%をこのようにした理由を以下に述べる。

まず一番に言えることは、Ge という材料に関してだけでなく、Ge という材料を通じて酸化物を制御するということが、単独に絶縁膜の研究を行う場合よりも格段に理解が進んだ。それは Ge という材料が Si に比べて極めて反応性が高いことからくる。本 CREST 全体を通してみると、界面を制御する上での速度論的理解、トータルの系のバランスを考える上での熱力学的理解、その上で FET を通じた電子の散乱機構の理解、が三つの柱になっている。特にゲートスタックに関しては、最初に思っていたよりも広く、そして深く理解が進んだと思っている。また移動度に関しては、散乱機構の詳細追求から移動度の数値自体も最高値を達成することができた。この事は王道を進みながら数値も実証できたという意味で 120%の出来であるとした。

もちろん当初できると思ったができなかった Schottky 障壁の問題は大きな課題として残った。Schottky 界面は界面場を考える主戦場であるが、ここをもう一步進めたかったというのが今の正直な感想である。やはり歴史的に重い課題について数年でかたをつけようというのは甘かったと言える。ただ、トンネルコンタクトの発展に繋がる絶縁膜挿入効果のインパクトは大きいと考え 60%とした。

チームの運営としては、学生が大変よく動いてくれたので、どんどん新しい事を見つけては投げかけてくる状態であり、毎日がつらくまた楽しい時間であった。もう少し論文は書けたと思うが、それよりもまた新しいことが見つかる、そちらに興味が行ってしまうという状態であったというのが正直な感じである。残り半年は学生に論文を書くことを強くチャレンジしてまとめていきたい。

本 CREST に関連して4人の博士が誕生し、現在 4 人もそれぞれが半導体の世界で活躍している。そして現在も2人の博士課程学生が Ge 技術に関して研究を進めている。一研究室で行ってきた本 CREST としては大変アクティブに研究を進めて来ることができたと感じている。

研究費の使い方に関しては、大変フレキシブルに対応していただき感謝している。装置も古くなると新規の設備導入よりも、修理・メンテに費用がかかるようになり、後半はそちらに研究費がかかるようになっていったのも仕方ないことと思っている。結局、枯れた装置から良い結果が出てくるのはどこも同じであると思う。学生には修士課程学生も含めてできる限り海外出張の機会を与えてきた。それも本プログラムがあったおかげである。

昨今の国内状況では、本テーマのような半導体に真に向勝負的なテーマは最近流行らないし、国内ですぐには受け入れられない部分もあるかもしれないが、半導体技術というものが総合科学であり、Ge という材料だけをとってみても学んでも学び足りない豊富な研究項目を持っており、そこから学ぶことは極めて多い。それを我々一人一人が実感し、国内の産業にすぐに役に立つかどうかというよりも、広く海外も含めて必ずや人類に役に立つ応用基礎研究として本 CREST プログラムを実行できたのではないかと考えている。

チーム写真

2013年9月20日, SSDM 2013 会場(福岡) (M1 以外全員参加・発表。一部 CREST メンバー以外も加わっています)。



高圧酸化炉(1st version)

初期段階で数々の結果を創出した高圧酸化炉。この装置の有用性は説明しがたいものがある。基本的な高圧酸素効果はこれによって形成された GeO_2 膜から引き出された。

