

研究報告書

「機能的シリコン神経ネットワークの構築」

研究タイプ: 通常型

研究期間: 平成21年10月～平成27年3月

研究者: 河野 崇

1. 研究のねらい

脳神経系は、感覚器官から継続的に流入する大量の情報を瞬時に処理し、重要な情報だけを効率よく取り出して必要なアクションを判断、適切に運動器官を駆動することができる優れた情報処理システムである。シリコン神経ネットワークは、神経細胞やシナプスに対応する電子回路(シリコンニューロン、シリコンシナプス)を組み合わせることで構築した電子回路による神経ネットワークであり、脳神経系の優れた情報処理を忠実に模倣した、現行のデジタルコンピュータと異なる原理で動作する自律的でロバストな情報処理システムを目指して研究されている。このような情報処理システムは、次世代の情報基盤としてだけでなく、脳神経系との親和性の高さからBMIによる脳との接続に適したシステムとしても重要視されている。本分野の難しさは、動作原理が未だ解明されていない脳神経系を、電子回路で実装するための方法論が確立されていない点にある。このため特に、これまでの研究では神経ネットワークの特徴を忠実に模倣した回路を実現するコストが非常に高かった。

本研究課題では、理論神経科学分野で培われてきた定性的神経モデリングに関する非線形数学の技術と、超低消費電力電子回路技術とを有機的に組み合わせることにより、神経細胞・シナプスの特徴を忠実にとらえたシリコンニューロン・シリコンシナプスを実現し、超低消費電力でコンパクトなシリコン神経ネットワークを構築するための基盤技術の確立を目指す。ロボット制御やBMIへの応用を念頭に、局所神経ネットワークと同等のシステムによるアクチュエータ制御やセンサ情報の前処理を行うローカルな情報処理系を視野に入れ、機能の明らかにされている運動パターン生成神経ネットワークの模倣システムの構築を試みる。これらの技術によって、より脳神経系に近い高度な情報処理システムの超低消費電力化がもたらされ、電力効率の高い自律的ロボットや高度な埋め込み医療デバイスなどの実現へ寄与することが期待できる。

2. 研究成果

(1) 概要

超低消費電力シリコン神経ネットワーク構築の基盤技術確立のため、(研究テーマA)定性的神経モデリングを用いたシリコン神経ネットワークモデルの設計手法の確立と、(研究テーマB)シリコン神経ネットワークの超低消費電力アナログ集積回路を用いた実装手法の確立とを行った。さらに、(研究テーマC)それらの成果を用いて神経モデリングの手法を進展させ、脳神経科学分野へフィードバックした。

研究テーマAでは、定性的神経モデリングで用いられる非線形数学の解析手法を応用することによって、神経活動のメカニズムをよく再現でき、かつ、電子回路実装に適したシリコンニューロンモデルを設計する手法を確立した。既に提案済みであった手法を基にパラメータ電圧のチューニング手法の開発などの拡張と整備を行い、それらを用いて超低消費電力アナログCMOS(相補型金属酸化膜半導体)集積回路での実装に適したシリコンニューロン及びシナプスモデルを開発した[(1)-1, (3)-1,2]。また、BiCMOS(バイポーラとCMOSとの混在)集積回路での実装への適用可能性も検討[(1)-2]し、本設計手法が使用するデバイスに依存せず、将来のデバイスの進化にも対応できることを確かめた。またFPGAを利用して数百ニューロンのシリコン神経ネットワークモデルのプロトタイピングも行った。

研究テーマBの目的は実装技術の確立であり、研究テーマAで開発したシリコンニューロン及びシナプスモデルを電子回路化し、集積回路試作サービスにより実装した。回路実験結果をモデルにフィードバックし、回路の改良も行って新たな集積回路を試作することを繰り返し、約50nW以下の消費電力で自発的バースト発火を含む様々な神経活動を再現できるシリコンニューロン回路を実現した[(1)-4,(3)-4]。この回路を2個搭載したシリコン神経ネットワークチップを試作し、2ニューロン結合系を実装、運動パターンジェネレータとして機能することを報告した[(3)-5]。さらに、消費電力を10分の1程度まで低減する回路を考案した[(3)-6]。

研究テーマCでは、研究テーマBの回路実験結果を元に、方形波バーストと呼ばれるクラスの神経細胞をノイズ存在下での挙動を元により詳しくモデル化する手法を提案した[(1)-3,(3)-3]。

(2) 詳細

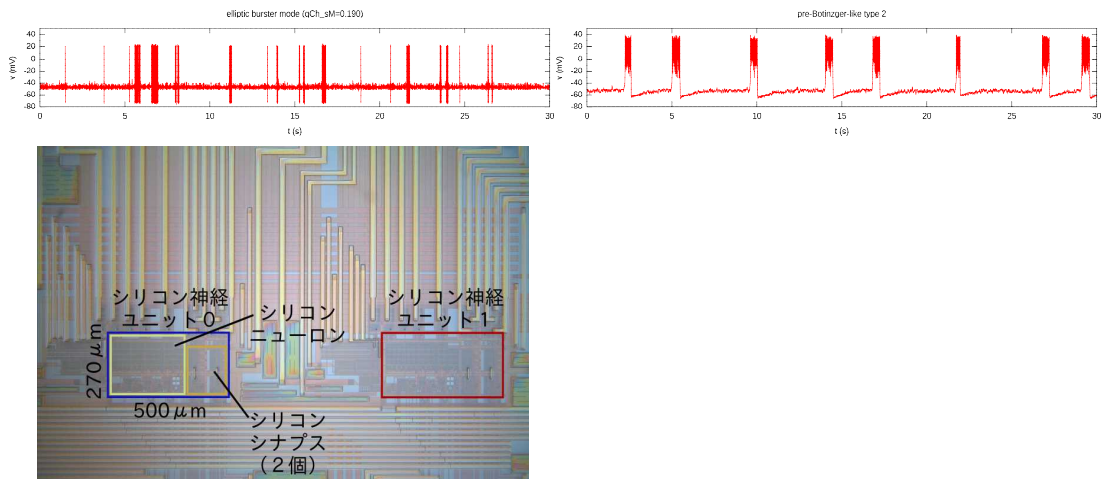
研究テーマA「定性的神経モデリングを用いたシリコンニューロン及びシナプスモデルの設計手法の確立」

神経細胞膜を通過するイオン粒子のダイナミクスを記述したイオンコンダクタンスモデルは神経活動を精度よく再現できるが、複雑な微分方程式であり、その電子回路実装も複雑になってしまう。このため、目的の神経活動を再現するために必要な回路のコントロールが難しく、消費電力、実装面積の面でもディスアドバンテージが大きい。逆に、神経活動を極端に簡略化して表現したインテグレート・アンド・ファイアモデルに基づいた神経モデルはシンプルな回路で実装でき、チューニングが簡単で低消費電力ではあるが、神経活動を部分的にしか再現できない。これに対し、定性的神経モデルが単純な多項式で記述される微分方程式でありながら神経活動をよく再現できることに着目し、非線形数学の技術を用いて、同等の微分法定式を超低消費電力電子回路で実装しやすい式によって記述することによりシリコン神経モデルを設計する手法を既に提案していたが、本研究において、各シリコンニューロン回路のナルクラインや分岐図を実験的に描出してパラメータ電圧を適切にチューニングする手法を開発するなどの拡張、整備を行った。この手法を用いて、超低消費電力アナログCMOS集積回路での実装に適したシリコンニューロン及びシナプスモデルを開発した[(1)-1,(3)-1,2]。このモデルは、シンプルな超低消費電力回路として実績のあるサブスレッショルド領域のMOSTランジスタを用

いた差動対回路と τ セル積分回路のみで実装できるように設計されており、本設計手法によって回路構成に特殊な工夫を入れることなく低電力化、シンプル化が可能であることを示した。また、BiCMOS集積回路を用いて実装された他研究グループのシリコンニューロン回路に対して本手法を応用した解析を行い[(1)-2]、本設計手法がCMOSプロセス以外にも適用可能であることを確かめた。また、FPGA上に上記シリコンニューロン及びシナプスモデルと同等のダイナミクスを持つモデルを実装して数百ニューロンの全結合ネットワークのシミュレーションを行うことにより、上記モデルがシリコン神経ネットワークの構成部品として意図した特性を満たすことを確かめた。

研究テーマB「シリコン神経ネットワークの超低消費電力アナログ集積回路による実装手法の確立」

研究テーマAで開発したモデルを回路化し、台湾TSMC社のLSI試作サービスを用いて試作、回路実験によって評価し、その結果をモデルと回路構成にフィードバックして改良するプロセスを繰り返し、製造ばらつきやノイズ存在下で目的の動作を実現するために必要な技術を確認した。最初に、研究テーマAで開発したモデルをTSMC社で提供されている0.35 μm CMOSプロセスを用いて上記プロセスを数回繰り返して、回路実装面積の縮小、ナルクライン描出回路の改良、回路レイアウトの工夫により製造ばらつきの影響低減を行った。これにより、ホジキン分類クラスI及びII、発火周波数順応、方形波バースタ(図1左上)、楕円バースタ(図2左下)の5クラスの神経活動を実現可能なシリコンニューロン回路[(1)-4,(3)-4]を、約50nWの消費電力、約400 μm \times 270 μm の実装面積(最初の試作では620 μm \times 360 μm)で実現することができた。レギュラースパイク細胞が発火周波数順応、ファーストスパイク細胞がホジキン分類クラスII、延髄の呼吸中枢やヒルなどの心拍リズム生成細胞が方形波バースタ、視床の毛様体細胞が楕円バースタに属すると言われており、本回路が幅広い神経細胞を模倣できることがわかる。さらに、本回路にGABA、NMDA、AMPAシナプスと同等のダイナミクスを持つシリコンシナプス回路を2個(90 μm \times 240 μm)付加したシリコン神経ユニット(約500 μm \times 270 μm)を設計し、これを2ユニット搭載したシリコン神経ネットワークチップを試作した(図1右)。本チップを用いて2ニューロン結合系を構築し、最もシンプルな運動パターンジェネレータであるハーフセンターオシレータを実現した[(3)-5]。



さらなる低電力化を目指して、差動対ベースの積分回路及びカスコード回路ベースのシグモイド関数回路を考案すると共に電源電圧を 1V まで低減するなど回路構成の工夫を行い、TSMC社の $0.25\ \mu\text{m}$ CMOSプロセスを用いて約 3nW の消費電力でホジキン分類クラスI及びIIとクラスI* が実現可能なシリコンニューロンを設計し[(3)-6]、回路実験による評価を行った。また、待機電力が数 pW のシリコンシナプス回路の設計も行い、より低電力なシリコン神経ネットワークチップの実現へ道筋をつけた。

研究テーマC「神経モデリングの手法へのフィードバック」

研究テーマBで試作したシリコン神経ネットワークチップの回路実験において、方形波バーストモードで遅い変数と早い変数の時定数の比が比較的小さい場合、内在ノイズの影響でバースト発火のリズムが大きく乱されることが分かった。シリコンニューロンモデルを解析してシリコン神経膜(早いシステム)の分岐構造に原因があることを解明し、シリコンニューロンモデルへフィードバックを行うと共に、呼吸中枢で方形波バーストを行う神経細胞のイオンコンダクタンスモデルを解析し、これまで明確に推定する方法のなかった定数をノイズ存在下での挙動を元に評価できることを示した[(1)-3, (3)-3]。

3. 今後の展開

今後は、本研究成果を発展させ、ヘブ則や非対称性STDPなどの学習則を実装したシナプス回路や、チップ間通信などマルチチップシステム構築に必要な機能などを備えたシリコン神経ネットワークチップを実現し、より低電力で大規模なシリコン神経ネットワークのための基盤技術の構築を目指す。そのようなシリコン神経ネットワークを用いた情報処理について、計算論的脳神経科学の立場から検討を行い、パターン認識や連想記憶などのタスクを行う小～中規模ネットワークを実装する。それらを組み合わせることによってより複雑、高度な情報処理を行うことのできるネットワークを実現し、現行のデジタルコンピュータに比べて大幅に低消費電力でありながらより複雑で知的な情報処理を実行できる新しい情報処理基盤技術の構築を目指す。この際、ネ

ネットワーク間の情報伝達に適した情報コーディングに着目することにより、「構築による解析」の立場から脳神経系における情報処理様式解明に寄与できると期待している。また、本研究成果のシリコン神経ネットワークチップは様々な神経細胞を模倣することができるため、培養神経細胞などと多様なハイブリッドネットワークを構築することができる。このような試みを通して、シリコン神経ネットワークチップのBMIや医療デバイス等への応用可能性を探ることも脳神経科学への寄与を目指す。

4. 評価

(1) 自己評価

(研究者)

従来手法では、多様な神経活動をよく再現するためにはイオンコンダクタンスモデルを実装し、複雑で消費電力の大きい回路を用いるしかなかったが、本研究課題では定性的神経モデリングの手法を用いることによりブレークスルーを実現した。これは、非線形数学の手法と電子回路設計技術とを有機的にからめることにより初めて可能になる研究であり、これら両方に精通している研究者にしかできないと自負している。最終年度には、ホジキン分類クラス I、IIとクラスI*を実現できる回路を約3nWの消費電力で実現したが、これは、実現できる神経活動に制限のある他グループの最先端回路と同等の消費電力であり、研究目的を十分に達成したと考えている。本研究の成果を発展させ、超低消費電力シリコン神経ネットワークプラットフォームを構築する研究提案がさきがけに採択され、来年度より研究を開始する予定である。この研究では、現行のデジタルコンピュータでは難しい柔軟で知的な情報処理を自律的に実行できる超低消費電力情報処理システムの基盤技術の実現と、「構築による解析」の立場から脳神経科学へのフィードバックとを目指す。これにより、近年のエネルギー問題、情報ネットワークの複雑化、情報量の爆発的増加、高齢化等による社会構造変化に対応することのできる次世代情報処理基盤の整備につながると期待される。また、このような超低消費電力シリコン神経ネットワークは脳神経系との親和性が高く、BMI接続に適した情報処理システムになることが予想される。これにより、情報化社会基盤と各個人とのよりシームレスなインタラクションが可能になると考えられる。このように本研究成果は将来の社会システムの発展と安定化に大きく貢献すると期待される。

(2) 研究総括評価(本研究課題について、研究期間中に実施された、年2回の領域会議での評価フィードバックを踏まえつつ、以下の通り、事後評価を行った)。

(研究総括)

研究進捗状況は良好であり、研究目標を達成した。シリコン神経ネットワークの分野は、神経細胞やシナプスに対応する電子回路を組み合わせて構築した電子回路による神経ネットワークを開発・研究する分野であり、原理的に新しい自律的でロバストな情報処理システムを開発し、次世代の情報基盤を導くとともに、脳神経系との親和性の高さからBMIによる脳との

接続に適したシステムを開発することが期待できる。本研究では、脳機構の知識を持ち、非線形数学の手法と電子回路設計技術に精通した本研究者が、その特性を生かし、独創性の高い研究成果をあげた。すなわち、電子回路技術と非線形数学に基づく解析技術を有機的に組み合わせ、超低消費電力でコンパクトなシリコン神経ネットワークを構築するための、デバイス非依存性の基盤技術を開発し、さらに実装手法を確立し、約 50nW以下のきわめて低消費電力で様々な神経活動を再現した。今後の課題は、学習則や規模のより大きいネットワークの実装であるが、その結果、高度な情報処理システムの超低消費電力化がもたらされ、電力効率の高い自律的ロボットや培養細胞を含んだ高度な埋め込み医療デバイスなどの実現へ寄与することが期待できる。

また、本分野は国際的に数グループが各々異なるアプローチで競っているが、本研究の成果を核として、本研究者らは分野を牽引するグループとして高い評価を受けている。すなわち、チューリッヒ INI やジョージア工科大は単純なモデルで大規模ネットワークをめざし、仏ボルドー第 1 大は、逆に神経系に近い要素で結合系を構築し、埋め込み医療デバイスへの応用を念頭に置く。近年は、本研究と同様に定性的モデルの実装にシフトしている。ハイデルベルク大は、BMI 用脳シミュレーターを目指すが、消費電力が高く、実用性が疑問視される。なお、これらの成果を背景として、さきがけ「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」領域に「定性的モデリングに基づいたシリコン神経ネットワークプラットフォーム」を課題として採択された。

5. 主な研究成果リスト

(1) 論文(原著論文)発表

1. Nobuyuki Mizoguchi, Yuji Nagamatsu, Kazuyuki Aihara, and Takashi Kohno. “A two-variable silicon neuron circuit based on the Izhikevich model”. *Journal of Artificial Life and Robotics*. 2011, Vol. 16, Issue 1, pp. 383-388.
2. Filippo Grassia, Timothee Levi, Sylvain Saighi, and Takashi Kohno. “Bifurcation analysis in a silicon neuron”. *Journal of Artificial Life and Robotics*. 2012, Vol. 17, Issue 1, pp. 53-58.
3. Takashi Kohno and Kazuyuki Aihara, “Improving noise resistance of intrinsic rhythms in a square-wave burster model”. *BioSystems*. 2013, Vol. 112, pp. 276-283.
4. Takashi Kohno and Kazuyuki Aihara, “Silicon neuronal networks towards brain-morphic computers”. *IEICE NOLTA Journal*. 2014. Vol. 5, No. 3, pp. 379-390.

(2) 特許出願

研究期間累積件数:0 件

(3) その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)



1. Takashi Kohno and Kazuyuki Aihara. "A mathematical-structure-based aVLSI silicon neuron model". Proceedings of the 2010 International Symposium on Nonlinear Theory and its Applications. 2010, pp. 261-264, 7th, Sep.
2. Yohei Nakamura, Kazuyuki Aihara, and Takashi Kohno. "A three-variable silicon neuron circuit". Proceedings of International Symposium on Artificial Life and Robotics 2011. 2011, pp. 342-345, 29th, Jan.
3. Takashi Kohno and Kazuyuki Aihara. "Improving Noise Tolerance of Intrinsic Rhythm in Biological and Silicon Neuron Models". BIOCOMP 2012, Mathematical Modeling and Computational Topics in Biosciences. 2012, pp. 114-115, 8th, Jun.
4. Munehisa Sekikawa and Takashi Kohno. "Bifurcation Structure of a Class 2 Silicon Nerve Membrane Integrated Circuit". Proceedings of 2012 International Symposium on Nonlinear Theory and its Applications. 2012, pp. 824-827, 26th, Oct.
5. Munehisa Sekikawa and Takashi Kohno. "A laboratory experiment of a half center oscillator integrated-circuit". Nonlinear Dynamics of Electronic Systems 2013. 2013, 11th, Jul.
6. Takashi Kohno and Kazuyuki Aihara. "A Qualitative-Modeling-Based Low-Power Silicon Nerve Membrane". Proceedings of 21st IEEE International Conference on Electronics Circuits and Systems. 2014, pp. 199-202, 9th, Dec.