

戦略的創造研究推進事業 CREST
研究領域「次世代エレクトロニクスデバイスの創出
に資する革新材料・プロセス研究」
研究課題「原子論から始まる統合シミュレータの開発」

研究終了報告書

研究期間 平成21年10月～平成26年9月

研究代表者: 森 伸也
(大阪大学大学院工学研究科、准教授)

§ 1 研究実施の概要

(1) 実施概要

本研究では、ナノスケール CMOS デバイスのキャリア輸送を記述するための学術基盤を確立し、材料選択・デバイス構造設計支援のための統合シミュレータの開発を目的とした。膨大な計算時間を要する原子論的電子輸送シミュレーションを、新しい計算アルゴリズムの導入により短時間処理を可能とし、電子輸送シミュレーション、フォノン輸送シミュレーション、回路シミュレーションモデルを統合したシミュレータの開発を行った。

図 1.1 に、統合シミュレータの概念図とチーム内研究グループの役割を示す。統合シミュレータは、① ナノプロセスシミュレーション、② 原子論デバイスシミュレーション、③ 連続体デバイスシミュレーション、④ フォノン輸送シミュレーション、⑤ コンパクトモデルのブロックから成り、各階層間を物理パラメータで接続した。また、一般のユーザーが簡単に利用できるよう、汎用の TCAD システム HyENEXSS との連携も図った。

ナノプロセスシミュレーションでは、不純物の挙動を予測するために最適なモンテカルロプログラムを確立した。シリコンバルクの実験結果や伊藤グループで構築した厳密モデル (Uematsu モデル) による計算結果と比較して、パラメータの精度向上を行い、シリコンナノワイヤにイオン注入したヒ素やボロンのアニール後の分布を調べた。得られた分布を、量子輸送シミュレーションに導入し、離散不純物配置がナノワイヤトランジスタの電気的特性に及ぼす影響を調べた。

原子論デバイスシミュレーションでは、新しい計算アルゴリズムである R 行列法に、さらなる高速化を可能とする等価モデルを追加し、原子論に基づきながら、通常のパーソナルコンピュータを用いても短時間処理が可能なプログラムを開発した。

連続体デバイスシミュレーションでは、ウィグナー・モンテカルロ法の開発に取り組み、量子効果と散乱、および原子論的バンド構造を取り入れた量子輸送シミュレータの開発を行った。開発したシミュレータを用いて、ソース・ドレイン直接トンネリング

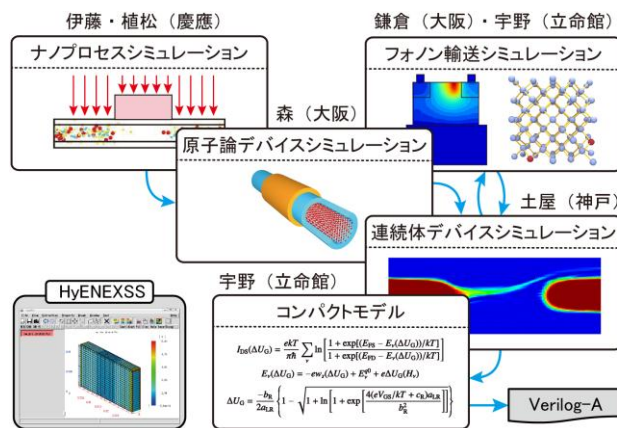


図 1.1 原子論から始まる統合シミュレータ

が支配する III-V MOSFET の短チャネル化限界予測など、今後のデバイス開発指針の提言を行うと同時に、コンパクトモデルに必要なパラメータを余分な仮定なしに抽出する手法を開発し、コンパクトモデルとのシームレスな接続を達成した。

フォノン輸送シミュレーションでは、電子とフォノンの輸送方程式を連立させ、統一的に解くシミュレータを開発した。フォノン・モンテカルロ法において新規アルゴリズムの提案を行うとともに、フォノン準弾道輸送効果が実際の極微細トランジスタ構造内でどのように顕在化するのかを初めて示した。さらに、フォノン輸送シミュレーションに必要となる、極微細構造におけるフォノン状態を原子論的に計算するプログラムを開発した。

コンパクトモデルでは、ナノスケール MOSFET での弾道・準弾道輸送による電流電圧特性を表す簡易な解析式モデルを構築した。デバイスの電流電圧特性を明示的かつ解析的な数式により表現し、その数式中で用いるパラメータを原子論的バンド計算および量子論的輸送計算と関連付けた。得られた NMOS および PMOS モデルを Verilog-A で記述し、HSPICE に読み込み、SRAM やリングオシレータ等の種々のナノワイヤ CMOS 回路のシミュレーションを行った。

本課題で開発された量子輸送シミュレータが、実際に多くのユーザーによって次世代ナノデバイスの性能予測に活用されるように、量子輸送シミュレータと汎用 TCAD システム HyENEXSS との接続を行った。入力ファイルを共通化し、量子輸送シミュレーションの結果を、HyENEXSS の標準グラフィックソフトで表示可能とした。

(2) 顕著な成果

< 優れた基礎研究としての成果 >

1. 原子論的手法によるナノワイヤトランジスタのばらつきシミュレーション (2011 VLSI シンポジウム採択, 2013 IEDM 招待講演)

原子論に基づく非平衡グリーン関数法デバイスシミュレーションは、近年、多く使われるようになってきた。しかし、計算量が多いため現実的なデバイス構造や、繰り返し計算が必要なばらつきシミュレーションへの応用が困難であった。本研究では、計算量を大幅に削減できる等価モデルを提案し、さらに、等価モデルの範囲において、ばらつきシミュレーションおよびフォノン散乱過程を考慮できる手法を開発した。そして、シリコンナノワイヤトランジスタにおいて原子論に基づくばらつきシミュレーションを実行し、原子配置乱れによる特性ばらつきの評価を行った。本成果は、大規模な系における散逸量子輸送シミュレーションを可能とするものである。

2. シリコンナノワイヤトランジスタのデバイス特性に離散ヒ素不純物が与える影響の解明 (2012 IEDM 採択)

動的モンテカルロ法と非平衡グリーン関数法を結合したシミュレータを用いて、現実的なプロセスによる離散不純物配置がナノワイヤトランジスタの電気的特性に及ぼす影響を調べた。これまでは、不純物の配置を数学的に生成しており、現実には即していなかった。チャンネル領域に拡散した少数の不純物が、しきい値に大きな影響を与えることを示し、側壁スペーサーを導入することにより、しきい値ばらつきを大幅に低減できることを実証した。本成果は、将来の中核技術の一つと期待されているナノワイヤ型 MOSFET の効率的な開発指針の構築に貢献するものである。

3. 極微細 MOSFET のバリスティック輸送効率の高精度評価方法の開発 (2013 IEDM 採択)

バリスティック輸送の効果を見極めるために、MOSFET のバリスティック輸送効率を評価する手法を開発した。本手法では粒子モデルであるモンテカルロ法の特徴を活かし、ボトルネック点における電子の運動をモニタリングすることにより、余分な仮定なしに、後方散乱係数および注入速度の評価を可能にした。その結果、チャンネル長が 10 nm 以下になると、チャンネル膜厚揺らぎによる散乱が支配的になり、バリスティック効率が急激に低下することが分かった。本成果はシリコン MOSFET の微細化限界を議論する際の重要な知見を与えるとともに、粒子モデリングとコンパクトモデルの結合を実現させる基盤技術となった。

< 科学技術イノベーションに大きく寄与する成果 >

1. フォノン輸送モンテカルロシミュレータ、熱・電気連成解析モンテカルロシミュレータの開発 (2012 IEDM, 2014 IEDM 採択)

微細半導体構造中の電子とフォノンのボルツマン輸送方程式をモンテカルロ法(粒子シミュレーション法)により統一的に解くシミュレータを開発した。フォノンシミュレータにおいて、新規アルゴリズムの提案を行うとともに、フォノン準弾道輸送効果が実際の極微細トランジスタ構造内でどのように顕在化するのかを初めて示した。さらに、電子輸送シミュレータとの統合を行い、過渡応答に対する熱・電気連成解析をデモンストレーションした。本研究成果により、極微細 MOSFET の熱問題を高精度で予測することが可能となった。

2. ソース・ドレイン直接トンネリングが支配する III-V MOSFET の短チャンネル化限界予測 (2013 SSDM 採択)

次世代 MOSFET の高性能化チャンネル材料の本命と目されている III-V 族化合物半導体を適用できる技術世代が、限定的になる可能性があることを示した。これは、本研究プロジェクトで開発したウィグナー・モンテカルロシミュレータを利用した成果であり、

III-V MOSFET では電子の有効質量が軽いため、トンネリングによるオフリーク電流が増大することを定量的に評価し得た結論である。さらに、サブ 10nm 世代では有効質量の重い材料が性能向上に寄与するというパラダイム・シフトを提案した。本研究成果は、III-V MOSFET の短チャネル化限界につながる重要な知見を与えるとともに、ITRS ロードマップ後の研究開発に関する一つの方向性を与えるものとして高く評価されている。

3. 量子輸送シミュレータの汎用シミュレータとの接続

本課題で開発された量子輸送シミュレータが、実際に多くのユーザーによって次世代ナノデバイスの性能予測に活用されるように、有効質量版量子輸送シミュレータと汎用 TCAD システム HyENEXSS との接続を行った。これまでは、一般的なユーザーが手軽に使える量子輸送シミュレータはなかった。ユーザーフレンドリー化を図るために、HyENEXSS の入力ファイルを共通に用いてシミュレーションを行い、出力結果も HyENEXSS の標準グラフィックソフト sgplot で表示できるようにした。多くのユーザーが量子輸送シミュレータを簡便に利用することにより、科学技術イノベーションに繋がることが期待される。

§ 2 研究実施体制

(1) 研究チームの体制について

①「森」グループ

研究参加者

	氏名	所属	役職	参加時期
○	森 伸也	大阪大学大学院工学研究科	准教授	H21. 10～
	鎌倉 良成	同上	准教授	H21. 10～
*	Mil'nikov Gennady	同上	特任研究員	H21. 10～
*	三成 英樹	同上	特任研究員	H21. 10～H23. 11
*	境田 裕志	同上	M2	H21. 10～H22. 3
*	北山 達郎	同上	M1～D2	H21. 10～H25. 3
*	山本 将央	同上	M1～M2	H22. 4～H24. 3
*	久木田 健太郎	同上	D1～D3	H23. 4～H26. 3
*	大見 剛史	同上	M2	H23. 4～H24. 3
*	高橋 浩樹	同上	M1～M2	H23. 4～H25. 3
*	平松 佑己	同上	M1～M2	H23. 4～H25. 3
*	渡辺 龍太	同上	M1～M2	H23. 4～H25. 3
*	井鷲 洋介	同上	M2	H24. 4～H25. 3
*	中村 健志	同上	M1～M2	H24. 4～H26. 3
*	Indra Nur Adisusilo	同上	M1～M2	H25. 4～
*	クレンデネン 啓示	同上	M1	H26. 4～
*	脇村 豪	同上	M1	H26. 4～
	竹田 裕	ルネサスエレクトロニクス		H21. 10～
	鳥山 周一	東芝		H21. 10～
	石川 清志	ルネサスエレクトロニクス		H21. 10～

研究項目

- ・ 原子論から始まる統合シミュレータの開発
- ・ 電気伝導—フォノン輸送統合シミュレータの開発

②「土屋」グループ

研究参加者

	氏名	所属	役職	参加時期
○	土屋 英昭	神戸大学大学院工学研究科	准教授	H21.10～
*	石田 良馬	同上	M1～M2	H25.4～
*	大森 正規	同上	M1～M2	H25.4～
*	平井 秀樹	同上	M1～M2	H25.4～
*	一居 雅人	同上	M1	H26.4～
*	兼古 志郎	同上	M1	H26.4～
*	森 規泰	同上	M1	H26.4～
*	木場 隼介	同上	M1～D3	H22.4～H26.3
*	下井田 健太	同上	M1～M2	H24.4～H26.3
*	長谷川 直実	同上	M1～M2	H24.4～H26.3
*	長井 克之	同上	M1～M2	H24.4～H26.3
*	細川 博司	同上	M1～M2	H22.4～H24.3
*	青柳 良	同上	M1～M2	H22.4～H24.3

*	滝口 直也	同上	M1～M2	H23.4～H24.3
*	澤本 俊	同上	M1～M2	H22.4～H23.3
*	迫 龍太郎	同上	M1～M2	H23.4～H25.3
*	前川 容佑	同上	M1～M2	H23.4～H25.3

研究項目

- ・ 連続体・粒子モデルに基づく量子輸送シミュレータの開発

②「宇野」グループ

研究参加者

	氏名	所属	役職	参加時期
○	宇野 重康	名古屋大学大学院工学研究科 →立命館大学理工学部	助教 →准教授	H21.10～H23.3 H23.4～
*	服部 淳一	名古屋大学大学院工学研究科 →立命館大学理工学部	D2～D3 →特任研究員	H21.10～H24.3 H24.4～H26.3
*	沼田 達宏	名古屋大学大学院工学研究科	D1～D3	H21.10～H25.3
*	程 賀	同上	M1～	H22.4～

研究項目

- ・ 弾道準弾道輸送コンパクトモデル開発
- ・ フォノン輸送モデリング技術の開発

②「伊藤」グループ

研究参加者

	氏名	所属	役職	参加時期
○	伊藤 公平	慶應義塾大学理工学部	教授	H23.4～
*	植松 真司	同大学理工学研究科	特任教授	H23.4～
*	河村 踊子	同上	D3, 特任助教	H23.4～H24.7
	田中 貴久	同上	D2～D3	H25.4～
*	山田 道洋	同上	D1～D2	H25.4～

研究項目

- ・ ナノワイヤ CMOS プロセスシミュレーション開発
- ・ 量子輸送モデル等の汎用 TCAD への移行

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

量子輸送シミュレーションと汎用 TCAD システム HyENEXSS との接続を通じて、HyENEXSS の管理元である(株)半導体理工学研究センター (STARC) との連携を行っている。また、大学および公的研究機関における HyENEXSS 利用者の情報交換・共有を円滑に行うためのユーザー連絡会である TCAD アカデミック委員会において、HyENEXSS と接続した量子輸送シミュレータの希望者への配布を周知した。現在、配布を希望してきた方への配布準備を行っている。

§ 3 研究実施内容及び成果

3.1 ナノワイヤ CMOS プロセスシミュレーション開発(慶應義塾大学 伊藤・植松グループ)

プロセスシミュレータによって構築した現実的なデバイス構造を用いて量子輸送シミュレーションを行えるようにすることを目的とし、そのためのナノワイヤ CMOS プロセスシミュレーション技術を開発した。

モンテカルロ計算を用いて、ナノワイヤ構造における不純物の離散的な原子配置を予測した。モデルやパラメータの精度向上を行い、シリコンナノワイヤ中にイオン注入したヒ素やボロン原子のアニール後の分布を求めた。計算した不純物の離散的な原子配置を、量子輸送シミュレーションに導入し、不純物の離散的な原子配置がデバイス特性に及ぼす影響を調べた。ヒ素原子の離散的な原子配置がナノワイヤトランジスタのデバイス特性に与える影響を調べ、デバイス特性のばらつきとその物理的要因を明らかにした。さらに、しきい値ばらつきを低減する方法を提案し、その効果を量子輸送シミュレーションによって実証した。

不純物挙動を予測するために最適なモンテカルロプログラムを確立した。特にヒ素原子についての高精度化と出力ファイルの汎用性を鑑み、Sentaurus(シノプシス社)を用いた。シリコンバルクの実験結果や伊藤グループで構築した厳密モデル(Uematsu モデル)による計算結果と比較してパラメータの精度向上を行い、シリコンナノワイヤにイオン注入したヒ素やボロンのアニール後の分布を調べた。その結果、多くの不純物原子はワイヤ周囲の酸化膜や酸化膜とシリコンとの界面に偏析し、不活性化することが分かった(図 3.1.1)。さらに、計算したナノワイヤ中の離散的な原子配置の3次元座標をテキスト形式で出力するようにプログラムを作成した。そして、3 nm × 3 nm シリコンナノワイヤ中のヒ素の原子配置を計算し、その現実的な原子配置を量子輸送シミュレーションに導入した。

量子輸送シミュレーションの結果、ソース・ドレイン領域にイオン注入したヒ素原子がアニールによってチャネル領域に侵入し、その個数がわずかに数個であっても、n型ナノワイヤ MOS トランジスタのしきい値における大きなばらつきの原因となることを明らかにした。そのしきい値のばらつきを低減するために、ゲート側壁にスペーサーを導入し、アニール後のチャネル領域へのヒ素原子侵入を最小限に抑える方法を考案した(図 3.1.2)。この側壁スペーサーの導入により、劇的にしきい値のばらつきが低減することを量子輸送シミュレーションで明らかにした(図 3.1.3)。一方、トランジスタのオン電流ばらつきは、ソース・ドレイン領域におけるヒ素原子のランダムな離散配置によって決まり、したがって、極微細ナノワイヤトランジスタに固有のものであることを明らかにした。

さらに、5 nm × 5 nm シリコンナノワイヤにおけるシミュレーションを行い、断面の大きさが、チャネル領域に侵入した離散ヒ素原子によるばらつきに与える影響を調べた。ヒ素原子の侵入深さは 3 nm と 5 nm ナノワイヤでほぼ同じであったにも関わらず、しきい値のばらつきは 3 nm ナノワイヤの方が小さかった。これにより、ナノワイヤサイズが小さいことによるゲート制御性の高さが、不純物の離散配置によるしきい値ばらつきの抑制に有効であることが分かった。

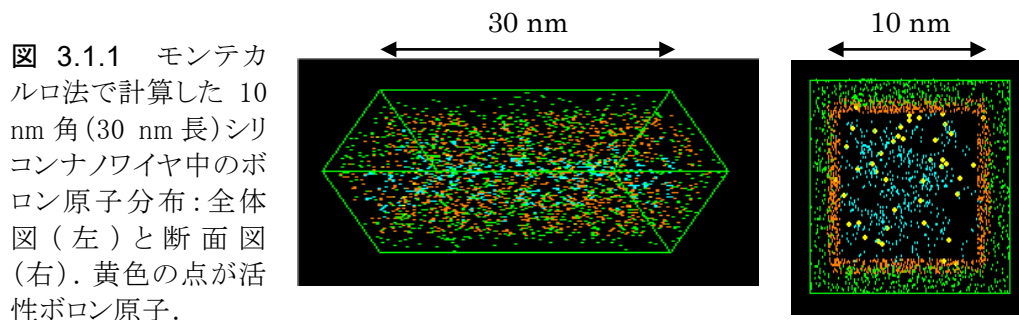


図 3.1.1 モンテカルロ法で計算した 10 nm 角(30 nm 長)シリコンナノワイヤ中のボロン原子分布:全体図(左)と断面図(右)。黄色の点が活性ボロン原子。

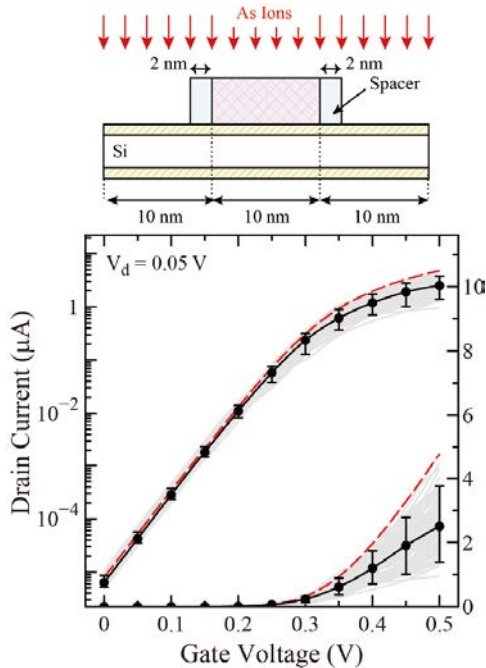


図 3.1.2 イオン注入時にスペーサー側壁を導入した場合の、シリコンナノワイヤトランジスタの電流電圧特性。スペーサー側壁が無い場合と比べて、しきい値ばらつきが大幅に抑制されている。

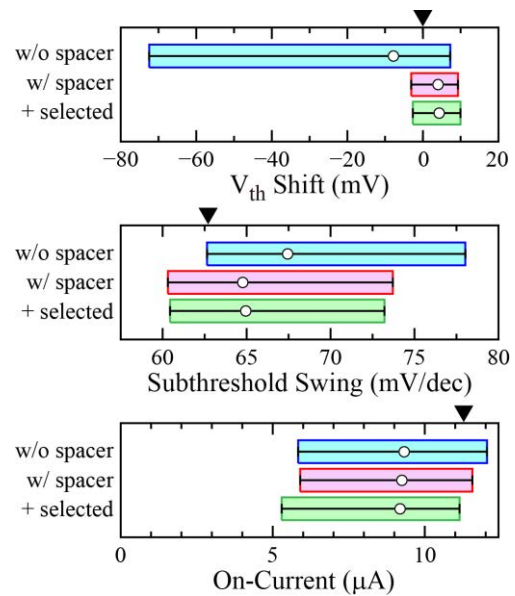


図 3.1.3 スペーサー側壁の有無によるデバイス特性の変化. 上から、しきい値, S 値, オン電流. 各パネル内は、上から、スペーサーなし, あり, 不純物濃度が近いデバイスのみを抽出した場合.

3. 2 原子論から始まる統合シミュレータの開発(大阪大学 森・鎌倉グループ)

有望なトランジスタ材料を膨大な選択肢の中から探索する際に、ユーザーが材料毎にパラメータを与える必要のある有効質量近似では対応が困難であり、第一原理的アプローチが必須である。一方で、実用的に有用な解析を行うためには計算速度も重要なファクタである。そこで、本研究項目では、新しい計算アルゴリズムの導入により短時間処理を可能とした原子論に基づく量子輸送シミュレータの開発を行った。

R 行列非平衡グリーン関数法シミュレータを用いて、シリコン/酸化膜界面付近に存在する原子配置の乱れが、ナノワイヤトランジスタの電流駆動力に与える影響を調べた(図 3.2.1)。シリコン原子と酸素原子の混合系に対して調整された、半経験的原子間ポテンシャル関数を用いて、現実的な酸化シリコンナノワイヤのモデルを構築した(早稲田大学・渡邊孝信研究室提供)。その後、半経験的 $sp^3d^5s^*$ 強結合近似法を用いて電子状態計算を行い、注入速度 v_{inj} とドレイン電流 I_D を計算した。直径 8 nm のシリコンナノワイヤの表面を、幅 $w = 2.7$ nm のシリコンコアが残るまで、14 層酸化した。この条件では、界面付近の酸化膜層に大きな歪みが発生し、自己抑制酸化機構により酸化が停止する。酸化が終了した構造において、酸素原子を取り除くことにより、輸送計算のためのシリコン原子配置モデルを構築した。その際、すべての不對結合を水素原子で終端した。現実的なナノワイヤモデルにおける分散関係を強結合近似法により計算した。原子配置の乱れは、価電子帯と伝導帯どちらにも、大きな影響を及ぼすことがわかった。伝導帯において、非常に分散の小さいバンドが現れることもわかった。バンド構造の変化がトランジスタ性能に与える影響を調べるため、散乱を無視した弾道輸送条件のもとでドレイン電流を計算した。n 型デバイスにおいて、原子配置の乱れにより、ドレイン電流が半分程度に減少することがわかった。幅の広い $w = 3.5$ nm の n 型ナノワイヤでも計算を行い、この範囲では、ドレイン電流の減少は、 w にほとんど依らないことがわかった。一方、p 型デバイスでは、細いナノワイヤでは、n 型デバイスと同様に、原子配置乱れが大きな影響を及ぼすが、太いナノワイヤでは、影響が小さいことがわかった。

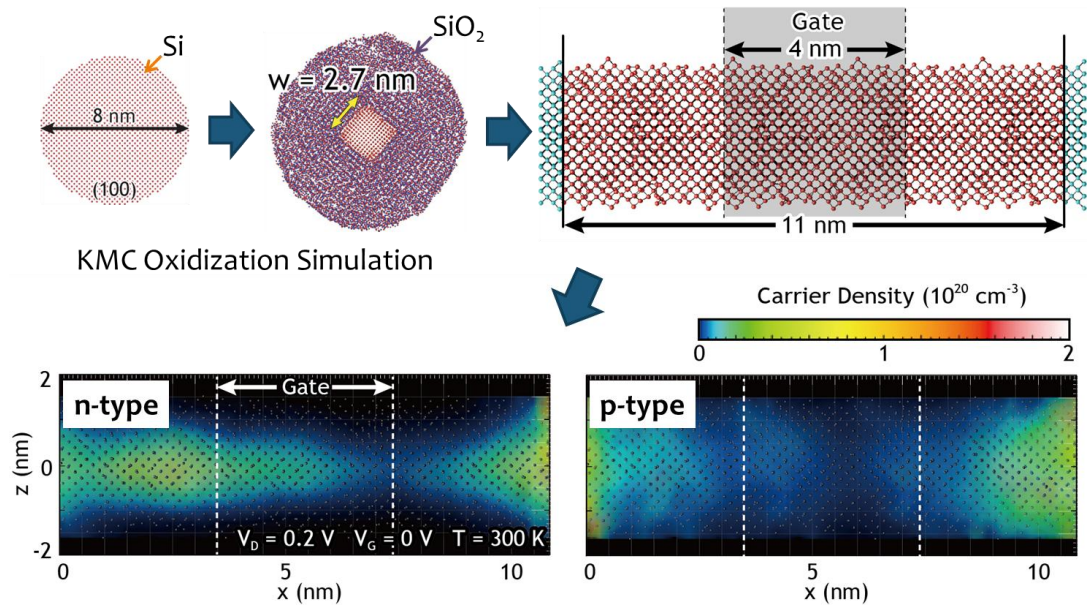


図 3.2.1 シリコンナノワイヤトランジスタ構造(上側). 分子動力学熱酸化シミュレーションにより得られたシリコン原子の配置を用いて構成. n 型ナノワイヤおよび p 型ナノワイヤにおけるキャリア密度分布(下側).

ナノワイヤ CMOS プロセスシミュレーションとの接続に関して, 伊藤・植松グループのナノワイヤ CMOS プロセスシミュレータの不純物配置情報を, 有効質量近似非平衡グリーン関数法シミュレータへ入力するインターフェイスを開発した. 3 nm × 3 nm ナノワイヤトランジスタ(ゲート長 10 nm)における離散不純物原子位置と対応する電子密度分布の計算例を図 3.2.2 に示す. 比較のために平均密度を揃えた連続体モデルを用いた計算結果も示した. ソース, ドレイン領域を独立に扱った動的モンテカルロ法により 100 種類のサンプルを用意して, 電流電圧特性のばらつきを調べた(図 3.2.3). 平均ドレイン電流は, 連続ドープと比べて 80%程度低下することがわかった.

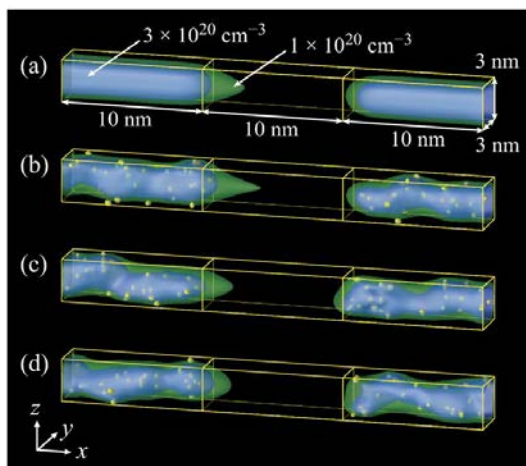


図 3.2.2 連続ドープデバイス (a), および, 高電流 (b), 平均電流 (c), 低電流 (d) デバイスにおける等電子密度面. $V_d = V_g = 0.5$ V の場合. 黄色の点は, 離散不純物の位置を表す.

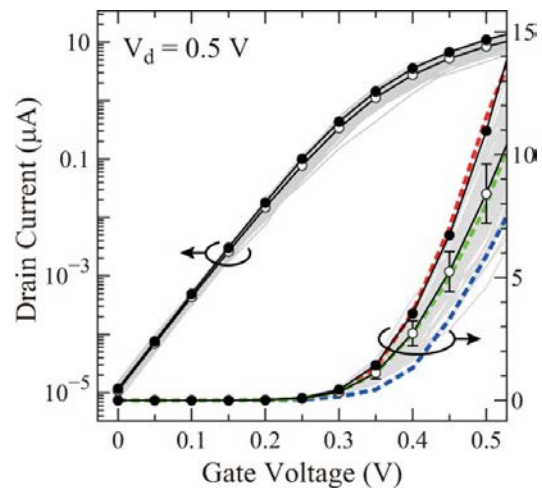


図 3.2.3 3 nm × 3 nm シリコンナノワイヤトランジスタの電流電圧特性. 白丸は平均値, 黒丸は連続ドープの場合. また, 赤, 緑, 青色の破線は, それぞれ, 高電流, 平均電流, 低電流デバイスの特性.

断面の大きさが離散不純物によるばらつきに与える影響およびフォノン散乱の影響を調べるため、5 nm×5 nm シリコンナノワイヤにおけるシミュレーションを行った(図 3.2.4). スペーサーの導入によりばらつきが大幅に抑制される(▲と●を比較). また、ナノワイヤサイズが小さくなると、ゲート制御性が高くなるため、ばらつきが抑制されることも分かる(▲と△を比較). ●と■を比較することにより、フォノン散乱が、オン状態においてばらつきを若干軽減し、オフ状態では影響を及ぼさないことが分かる. オン状態では、低電流の試料において、不純物局在状態を介した輸送モードが支配的であり、高電流の試料では、バルク的な輸送モードが支配的である(図 3.2.5). 局在状態を介した輸送に対しては、フォノン散乱は電流を増加させるように働き、バルク的な輸送に対しては、フォノン散乱は電流を抑制するように働く. これらの違いにより、オン状態におけるフォノン散乱によるばらつき抑制が理解できる. 一方、オフ状態では、トンネル電流が支配的であり、フォノン支援トンネル効果により、フォノン散乱がドレイン電流に与える影響が小さい. このため、ばらつきもフォノン散乱の影響を受けにくい.

原子論に基づく量子輸送シミュレータと他の階層とのインターフェイス開発に関しては、土屋グループのウィグナー・モンテカルロシミュレータおよび宇野グループのコンパクトモデルへ、原子論モデルに基づくバレー情報の入力をするための、Ruby-GTK インターフェイスを開発した.

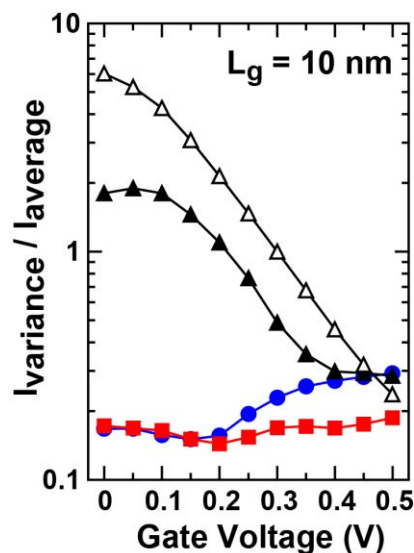


図 3.2.4 電流値の分散を平均電流で規格化した値のゲート電圧依存性. ▲, ●, ■は 3 nm × 3 nm, △は 5 nm × 5 nm シリコンナノワイヤの結果. ▲, △はスペーサーなし, ●, ■はあり. ▲, △, ●はフォノン散乱なし, ■はあり.

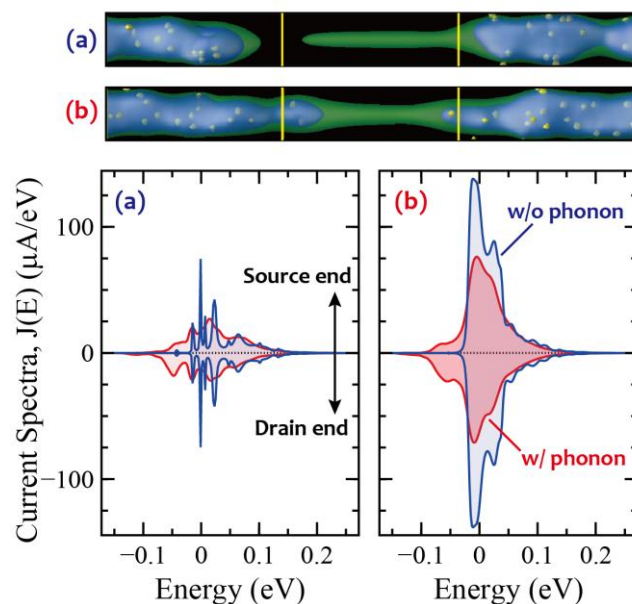


図 3.2.5 低電流の試料(a)と高電流の試料(b)における電流スペクトル(下側). オン状態の場合. 対応する不純物配置と等電子密度面を上側に示した. 低電流の試料において、不純物局在状態を介した輸送モードが支配的であり、高電流の試料では、バルク的な輸送モードが支配的である.

非平衡グリーン関数(NEGF)法に原子軌道に基づく強結合近似を導入することにより、原子スケールの分解能で量子輸送計算が可能となる. 原子軌道状態は非常に広いエネルギー範囲を表現可能である. しかし、トランジスタにおけるキャリア輸送に与えるのは、通常、禁止帯近傍の狭いエネルギー範囲の状態であり、原子軌道状態は冗長である. 本研究では、計算量削減を目指し、低次元の輸送モデル(等価モデル)を構築した(図 3.2.6). 構築した低次元表現は、サイズの大きい強結合近似ハミルトニアンと同じ輸送特性を与える. 低次元表現に基づく等価モデルの計算量は、元の強結合近似ハミルトニアンのサイズで決まるのではなく、物理的に重要なエネルギー領域におけるバンド構造で定まり、シミュレーションの更なる高速化が実現できる.

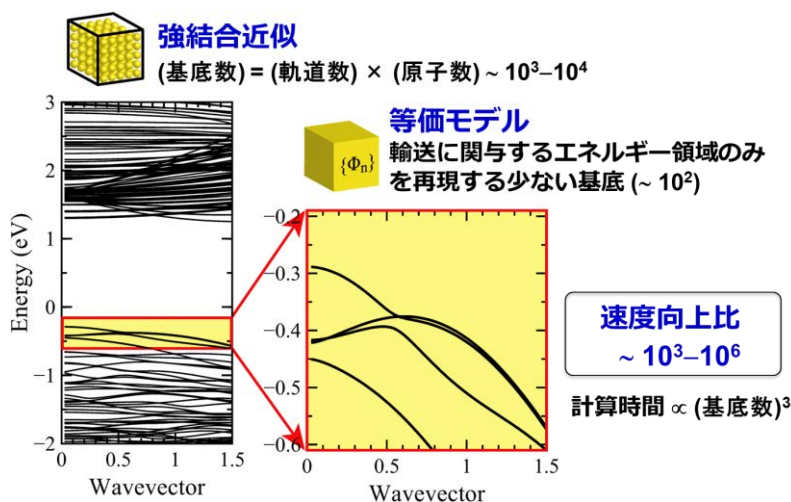


図 3.2.6 等価モデルの概念図. 原子軌道状態に基づく強結合近似は, 価電子帯深くから高い伝導状態まで非常に広いエネルギー範囲を記述することが可能である(左図). ナノワイヤトランジスタのキャリア伝導には, 禁止帯近傍の状態のみ関与するため, 原子軌道状態は冗長である. 等価モデルでは, 禁止帯近傍の狭いエネルギー範囲のみを再現する少数の基底を用いる(右図).

2.2 nm × 2.2 nm p 型シリコンナノワイヤトランジスタにおける等価モデルの構築例を図 3.2.7 に示す. sp^3s^* 強結合近似の場合, 基底の数は 640 個である. 等価モデルでは, 表現するエネルギー範囲に応じて基底の数が変わり, 図に示したように, 0.7eV のエネルギー範囲を表現する場合でも 53 個の基底で十分である. NEGF シミュレーションでは, 基底数の 3 乗に比例する計算時間が必要である. 53 次元の等価モデルでも, $(640/53)^3 = 1,700$ 倍の高速化が実現できる. 図 3.2.8 に ゲート長 10nm の GAA MOSFET の伝達特性の計算結果を示す.

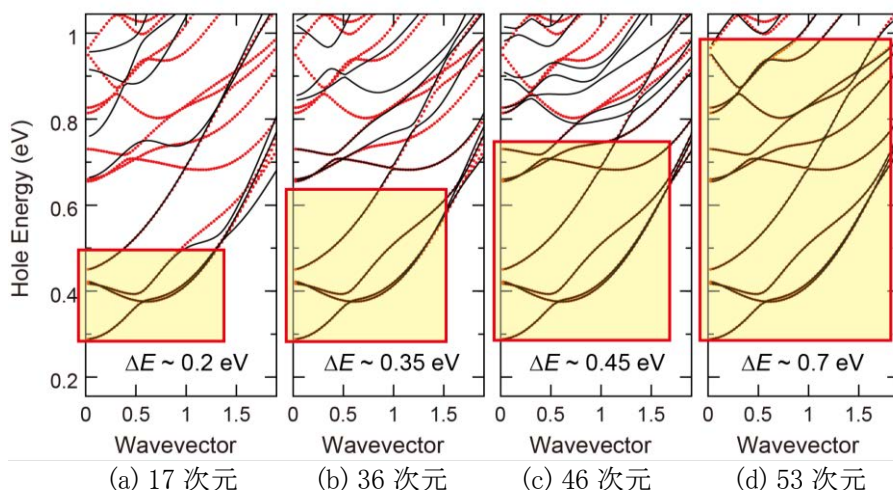


図 3.2.7 2.2 nm × 2.2 nm p 型シリコンナノワイヤトランジスタにおける等価モデルの構築例. 実線は sp^3s^* 強結合近似の結果, 赤点は (a)17 次元, (b)36 次元, (c)46 次元, (d)53 次元の等価モデルの結果. 等価モデルの次元数を増やすことにより, 表現できるエネルギー範囲 ΔE が広くなる.

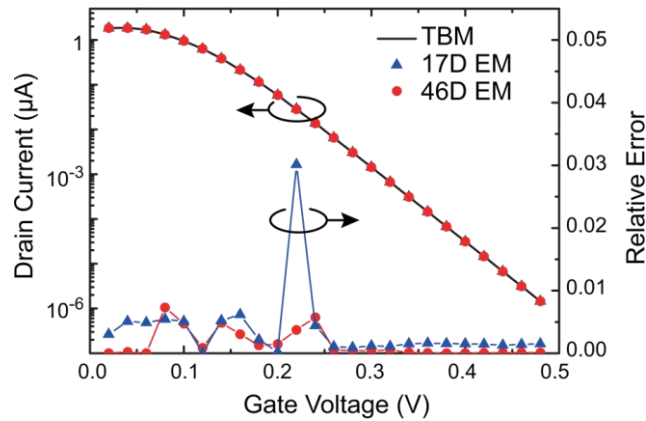


図 3.2.8 ゲート長 10nm, 断面 2.2 nm × 2.2 nm p 型シリコンナノワイヤトランジスタの電流電圧特性の計算結果. 実線が sp^3s^* 強結合近似の結果, マークが等価モデルの結果. 46 次元等価モデルを用いることにより, 相対誤差が 1%以下となる.

等価モデルを拡張し, 原子論モデルの範囲においてナノワイヤトランジスタのばらつきを計算する手法を開発した. 図 3.2.9 に原子配置乱れによる伝達特性のばらつきを計算した結果を示す. 初めに, 分子動力学法により現実的なナノワイヤ原子配置モデルを構築した. その透過関数を強結合近似 NEGF 法により計算した. 得られた等価関数を Dorokhov-Mello-Pereyra-Kumar 方程式の結果と比較することにより, 原子配置乱れを特徴づける単一のパラメータを抽出した. 抽出したパラメータを用いて, 乱れたナノワイヤの等価モデルをランダムに生成し, その電流電圧特性を計算した. 図には, 異なる 1,000 個のデバイスの計算結果を示した. パーソナルコンピュータ 1 台を用いて, 1 週間以内で計算は完了した. 原子配置乱れにより, 平均的に 60%程度電流が減少することが分かった. またオン電流のばらつきは, 正規分布的であり, 平均値に関して対称に分布した. 一方, オフ電流の分布は非対称となった. オフ状態では, ポテンシャル障壁により電流が制御されており, 電流値は, ポテンシャル障壁高さに関して指数関数的な依存性を示す. そのため, 電流の対数値の分布が対称となり, 結果として, オフ電流分布は非対称となった.

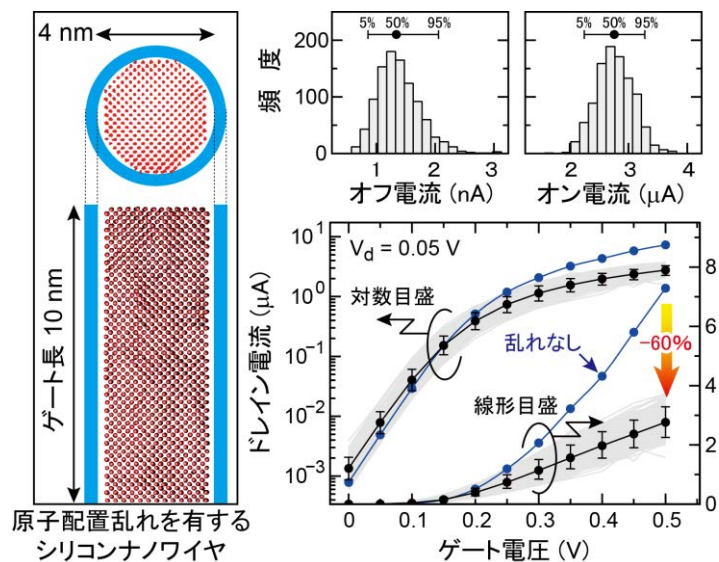


図 3.2.9 原子配置を有するシリコンナノワイヤトランジスタ(左図)の伝達特性のばらつき(右下図). 1,000 種類のデバイスを計算した結果. 原子配置乱れにより, 平均的に 60%程度電流が減少することが分かった. 右上図は, オフ電流とオン電流の度数分布.

等価モデルの範囲においてフォノン散乱を高速に計算する手法を開発した. ナノワイヤ中においてフォノンは多数のブランチに分かれる(図 3.2.10). そのため, 全モードを考慮した計算は多くの計算時間が必要となる. 本研究では, 多くのモードが関与することを逆に利用し, 少数の分散のない仮想的なフォノンモードにより精度よくフォノン散乱過程を表現できることを見いだした. 仮想フォノンと電子との相互作用強度を, 移動度を再現できるように調整した(図 3.2.11). 調整した相互作用強度をテーブル化し, 等価モデルに基づく NEGF 法シミュレータで利用することにより, フォノン散乱を考慮した原子論的デバイスシミュレーションの高速化を実現した(図 3.2.12). 図の計算の場合, バイアスポイント 1 点あたり, 通常のパーソナルコンピュータを用いて, 1 時間程度で計算が完了した.

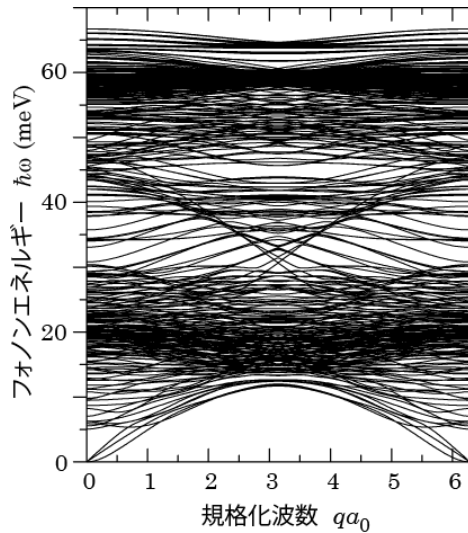


図 3.2.10 2.2 nm × 2.2 nm シリコンナノワイヤにおけるフォノンの分散関係

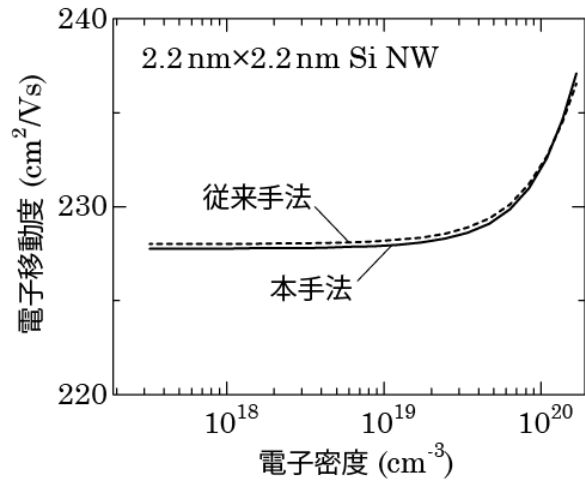


図 3.2.11 全モードを考慮して計算した電子移動度の電子密度依存性(破線)と分散のない少数個(13 個)の仮想フォノンを用いて計算した結果(実線)との比較. 両者が一致するように, 仮想フォノンの相互作用強度を調整した.

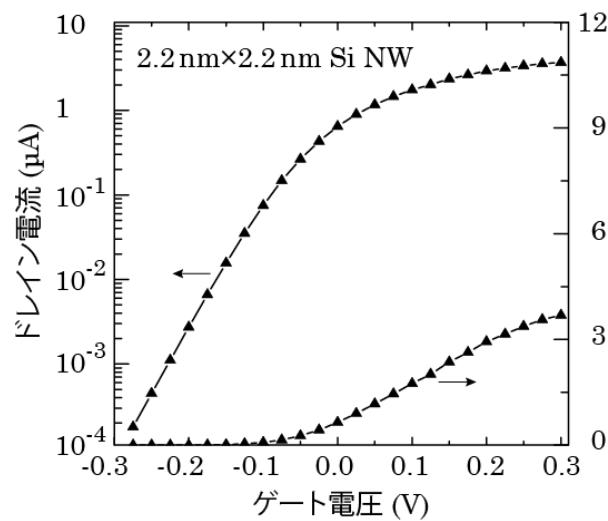


図 3.2.12 ゲート長 10 nm, 断面 2.2 nm × 2.2 nm シリコンナノワイヤトランジスタの電流電圧特性の計算結果. フォノン散乱を考慮した場合の結果.

3.3 連続体・粒子モデルに基づく量子輸送シミュレータの開発(神戸大学 土屋グループ)

連続体・粒子モデルに基づくウィグナー・モンテカルロ法の開発に取り組み、量子効果と散乱、および原子論的バンド構造を取り入れた量子輸送シミュレータの開発を目指した。

ウィグナー・モンテカルロ法のプロトタイプの開発は当初の予定通り、平成 22 年度にまでに完了した。その妥当性を検証する一環として、共鳴トンネルダイオードを対象として、量子力学的共鳴トンネル効果と散乱の影響を考慮した高精度なデバイスモデリングが可能であることを実証した。さらに微細 MOSFET に適用できる実用的なウィグナー・モンテカルロシミュレータを構築するために、様々な高精度化と機能の拡張を行った。まず、ダブルゲート構造 MOSFET への適用を行った。図 3.3.1 はゲート長が 6nm の Si ダブルゲート構造 MOSFET の $I_D - V_G$ 特性の計算結果である。ウィグナー・モンテカルロ法の結果を実線で、比較のために、従来の半古典的モンテカルロ法の結果を破線で示している。 $V_G = 0.2V$ 以下で、ウィグナー・モンテカルロ法の電流値が大きく見積もられているが、これは図 3.3.2 に示すように、ソースとドレイン間にトンネル電流(ソース・ドレイントンネリング)が流れることによるオフリーク電流の増大を表している。このようにウィグナー・モンテカルロ法は、ナノスケール MOSFET で顕在化する量子輸送効果を精度良く記述できることを確認した。

次に、反転層キャリアの量子化を考慮した散乱モデルの高精度化を行い、バルク MOS 移動度の実験結果(移動度ユニバーサル曲線)を再現することに成功した。また同時に、バリスティック輸送係数を抽出するための基盤技術の開発を進め、以下に述べるように、余分な仮定を必要としない高精度な抽出方法を開発した。すなわち、チャンネルソース端でのすべての電子の軌跡をモニタリングし、ボトルネック点を越えてチャンネルに注入される電子と、逆にチャンネルからソースに戻される電子の統計平均を取ること、後方散乱係数 R と注入速度 v_{inj} を抽出することに成功した。図 3.4.3 は Si ダブルゲート MOSFET に対する R と v_{inj} のチャンネル長依存性の計算結果である。チャンネル長が 10 nm までは R が減少しバリスティック効率が向上することが確認された。一方、チャンネル長が 10 nm 以下になると R が増加に転じバリスティック性が失われることが初めて分かった。短チャンネル効果の抑制のために、今回、チャンネル長にあわせてシリコン膜厚をスケールアップしているため、チャンネル長が 10 nm 以下にまで短くなると膜厚が数 nm 以下に薄くなり、その結果、界面ラフネス散乱が支配的に発生するためである。

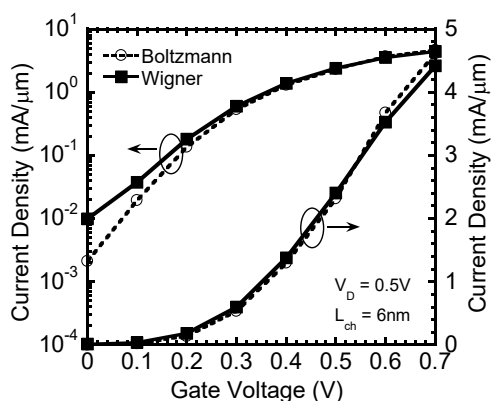


図 3.3.1 ゲート長 6 nm の Si ダブルゲート MOSFET の $I_D - V_G$ 特性. 実線と破線はそれぞれ、ウィグナー・モンテカルロ法及び半古典的モンテカルロ法の結果を表わす。

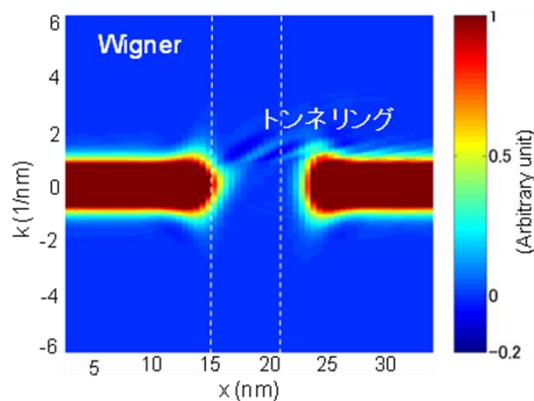


図 3.3.2 $V_G = 0.1 V$ でのウィグナー分布関数. $x = 15 - 21 \text{ nm}$ がチャンネル領域に相当する。

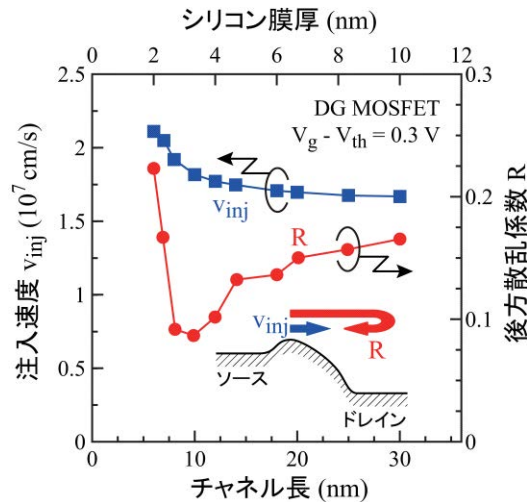


図 3.3.3 Si ダブルゲート MOSFET の後方散乱係数 R と注入速度 v_{inj} のチャネル長依存性

上記の Si ダブルゲート構造 MOSFET に対する検証を基に、最終目標であるシリコンナノワイヤ FET の 3 次元マルチサブバンドモンテカルロシミュレータを開発した。ナノワイヤ断面内の電子状態は 2 次元シュレーディンガー方程式を解いて求めた。さらに、1 次元電子ガスの散乱レートを定式化から見直し、マルチサブバンドモンテカルロ法に導入した。シリコンナノワイヤ FET では、1 次元電子ガス特有の鋸波状のエネルギー状態密度の影響で、プレーナ構造 MOSFET とは本質的に異なるバリスティック輸送特性を示すことを見出した。さらに、得られたバリスティック輸送係数を宇野グループのコンパクトモデルに取り込み回路シミュレーションを実施した。一辺 3.0nm の n 型四角断面 GAA MOSFET に対して、モンテカルロ計算で抽出された後方散乱係数をコンパクトモデルに取り込み $I_D - V_G$ 特性を比較し、コンパクトモデルとモンテカルロシミュレータ間に良好な一致を確認した。またこのモデルを Verilog-A で記述し、HSPICE による回路シミュレーションを可能にした（詳細は宇野グループの研究実施内容及び成果を参照）。

上記のように、多数の要素技術を段階的に開発してきた結果、当初の予定から 1 年ほどの遅れは生じたが、実用的なウィグナー・モンテカルロシミュレータの開発に成功した。

本研究では、さらに III-V MOSFET のソース・ドレイン直接トンネリング (SDT) の影響についても検討を行った。特に、これまでの研究で対象としてきた InP MOSFET に加えて、現在実験的に最も研究が進んでいる InGaAs MOSFET にも適用できるようにシミュレータを拡張した。図 3.3.4 にウィグナー・モンテカルロ法と半古典的モンテカルロ法を InGaAs-n チャネル MOSFET に適用した結果を示す。図の上段には $I_D - V_G$ 特性を、下段にはサブスレッショルド電圧時の位相空間 (x, k_x) でのウィグナー分布関数を示している。計算にはフォノン散乱と不純物散乱を考慮した。(a) のチャネル長 L_{ch} が 30 nm の場合のウィグナー分布関数には、ソースから熱励起された僅かな電子がチャネル ($x = 20 \sim 50$ nm の領域) を伝わり、反対側のドレインに吸収される様子が描かれている。これは古典的粒子と同じ振る舞いであり、(a) の分布関数は古典的分布関数とほぼ一致している。サブスレッショルド領域での SDT は無視できることが上段の $I_D - V_G$ 特性からも確認できる。一方、チャネル長を 15nm 以下に短縮すると、(b) および (c) の分布関数の図から分かるように、チャネル領域にトンネリング現象を表す干渉模様が現われ、 $I_D - V_G$ 特性には SDT によるサブスレッショルド電流の増大が観測される。Si MOSFET の場合、同様の現象はチャネル長が 6 ~ 8 nm 以下で顕在化することが報告されていることから、今回の結果は、電子の有効質量が軽い III-V n チャネル MOSFET では、SDT の影響が Si よりも数倍長いチャネル長で現われることを意味している。すなわち III-V MOSFET では、Si よりも長いチャネル長で微細化限界が訪れる可能性があることを示唆しており注意が必要である。

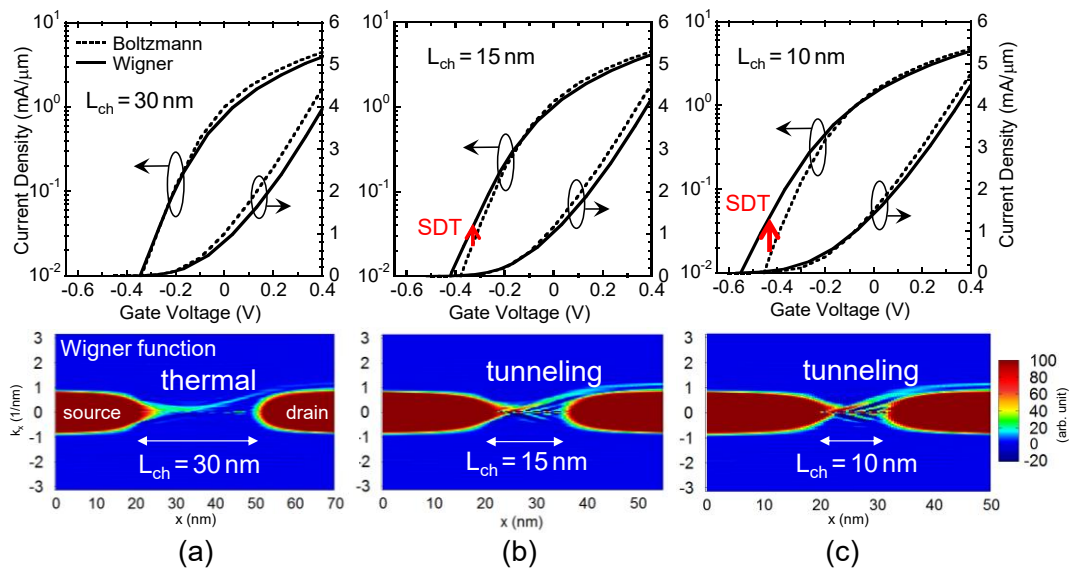


図 3.3.4 InGaAs-nMOSFET の $I_D - V_G$ 特性とサブスレショルド電圧時のウィグナー分布関数. チャネル長 $L_{ch} =$ (a) 30, (b) 15, (c) 10 nm. $V_D = 0.5$ V.

3. 4 ナノスケール構造での電子フォノン相互作用研究(立命館大学 宇野グループ)

ナノスケール構造中でのフォノン状態は、力学的性質の異なる界面の影響により、バルク中での平面波状態とは異なるものとなる.このようなフォノン状態の変調は、ナノスケールデバイスにおける音響フォノンでより顕著に表れ、フォノン輸送や電子フォノン相互作用に影響を及ぼす.本研究では、変調音響フォノンと電子との相互作用を次のような枠組みで計算した. ① 電子状態を、閉じ込めポテンシャル中での波動関数により表現する, ② フォノン状態を、連続的な弾性体中での弾性波を記述するナビエ方程式の固有状態として計算し、その波動関数と分散関係により表現する, ③ 電子と音響フォノンの相互作用ハミルトニアンを、格子振動による変形ポテンシャルで表す, ④ その相互作用ハミルトニアンによる電子状態の遷移確率を、時間に依存する摂動法から得られるフェルミ黄金則により表す, ⑤ 電子のフォノン散乱確率と電子移動度を計算する. 以上の計算において、電子と変調音響フォノンとの相互作用の強度指針となる、形状因子とよばれる物理量が中心的な役割を演じる. 真空中に自立した円筒形ナノワイヤでの形状因子を計算したところ、図 3.4.1 に示されたように、バルク中での音響フォノンと比べて、変調音響フォノンの形状因子が増大し、移動度が減少することが分かった. これは電子音響フォノン相互作用が強く、電子散乱がより顕著になることを意味する. このような現象が生じる原因は、ワイヤ表面においてバルク材料中では存在しない付加的振動モードが発生し、それにより電子が余分にフォノンからの影響をうけるためと考えられる. 次に、円筒形ナノワイヤの周囲を弾性的に強固なもので固定した計算を行ったところ、図 3.4.2 に示されたように、形状因子が減少することを見いだした. これはワイヤ表面が強固な材料で固められることにより、ワイヤ表面での振動が抑制されることに起因していると考えられ、結果的に電子散乱確率の減少をもたらす. また、円筒形ナノワイヤの周囲を弾性的性質の異なる薄膜で覆うことにより、形状因子がその薄膜の弾性的性質や膜厚によって変化する様子を確認した. さらに円筒形ナノワイヤの外部に設置されたゲート電極を考え、バイアス電圧印加によって電子の波動関数へ変調を加えると、音響フォノン変調が形状因子に与える影響の度合いが変化するところを見いだした(図 3.4.2). これは、電子の波動関数の形状が変化することでワイヤ表面の付加的振動モードとの重なりが変化するためと考えられる. 以上のような成果により、電子音響フォノン

相互作用における音響フォノン変調がもたらす影響を評価する理論体系および変調音響フォノン散乱確率の計算手法を確立した。

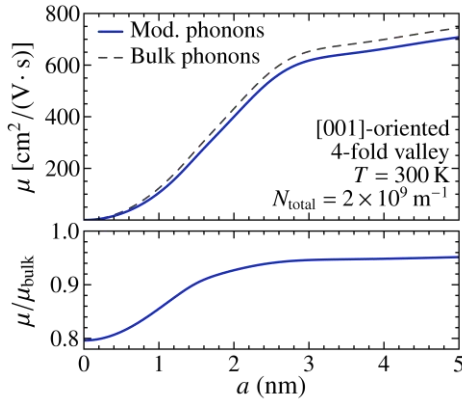


図 3.4.1 円筒形シリコン GAA-MOSFET における音響フォノン散乱移動度のナノワイヤ半径依存性。

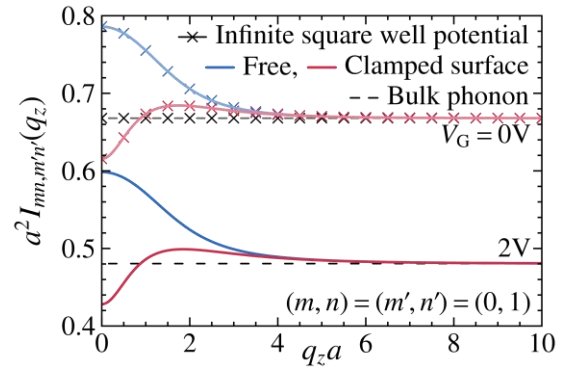


図 3.4.2 円筒形シリコン GAA-MOSFET での電子・変調音響フォノン相互作用形状因子のゲート電圧及びフォノン境界条件依存性。

3. 5 フォノン輸送モデリング(立命館大学 宇野グループ)

極微細な構造でのフォノン状態を計算する際には、上記のような連続的な弾性体としての取り扱いが適切ではなくなる場合がある。このような極微細ナノ構造でのフォノンは原子論的に取り扱われるべきであり、個別の原子が周囲の原子から受ける原子間相互作用を考慮し、各原子の運動方程式を連立させることが必要である。本研究では、シリコンナノワイヤ構造を対象として、このような原子論的なフォノン計算を行った。原子間相互作用は Stillinger-Weber ポテンシャルにより表現した。はじめに、与えた原子配列における安定構造計算を行う。このようにして得られた安定構造を基にして、各原子の平衡位置周辺での運動を計算し、原子論的なフォノン分散関係を求めた。このようにして得られたフォノン分散関係から、フォノン群速度および状態密度を計算することができ、それらを他のフォノン輸送モデリングへの入力とする。フォノン分散関係のみから求まるフォノン輸送パラメータの一つとして、次式で表される弾道熱コンダクタンス K がある。

$$K = \frac{1}{-\Delta T} \sum_n \int_{-a_z/\pi}^{a_z/\pi} \hbar \omega_n(q_z) \left[-\Delta T \frac{\partial f(\omega_n)}{\partial T} \right] T_n(q_z) H(v_n(q_z)) \frac{dq_z}{2\pi}$$

ここで、 n はフォノン分散関係のブランチ番号、 a_z は格子定数、 ω はフォノン周波数、 q_z はワイヤ軸方向のフォノン波数、 v_n はフォノン群速度、 ΔT は温度差、 $H(x)$ は Heaviside 関数、 $f(\omega)$ は分布関数である。実際にはモンテカルロ法などに基づくフォノン間散乱などを考慮する必要があるが、弾道熱コンダクタンスはフォノン分散関係のみから計算することが可能であり、熱輸送特性を表す指標の一つとして意味がある。このような枠組みにより、不純物原子を含まない純粋なシリコンナノワイヤおよび不純物が様々な濃度でランダムに分布したシリコンナノワイヤでの弾道熱コンダクタンスを計算した。その結果、図 3.5.1 に示すように、様々な不純物原子を異なる濃度で導入したときの弾道熱輸送コンダクタンスの違いを網羅的に計算することが可能になった。

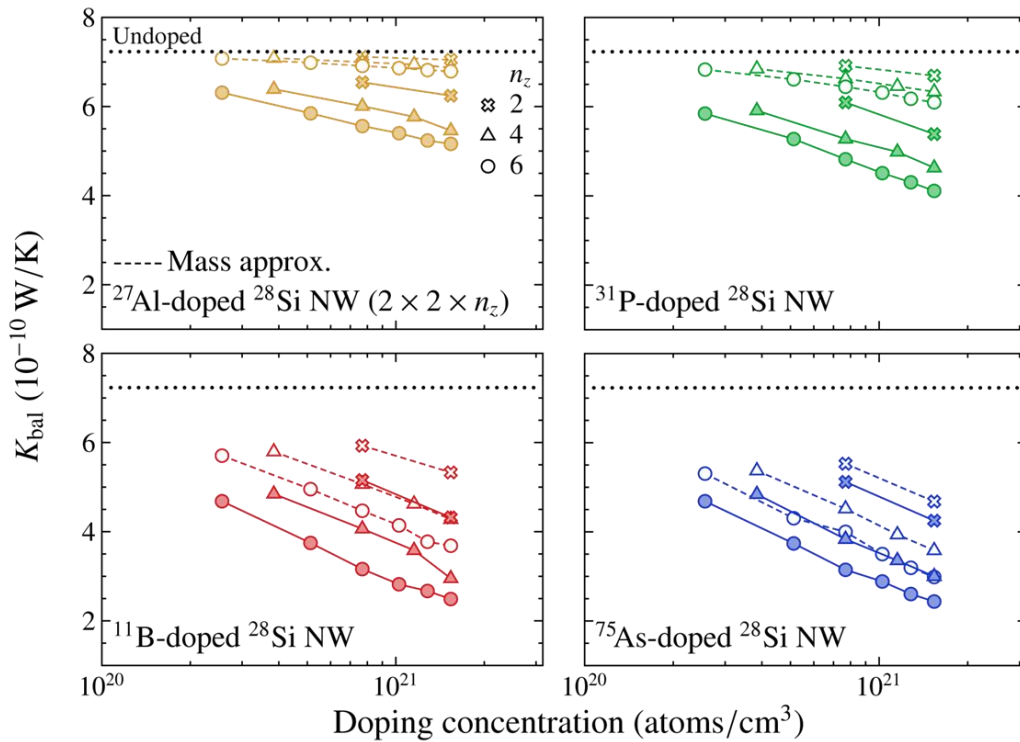


図 3.5.1 各種の不純物原子導入時の弾道熱輸送コンダクタンスの不純物濃度依存性. 破線:不純物原子の影響を原子質量の違いのみによりモデル化したもの. 実線:不純物原子と周囲のシリコン原子との結合ポテンシャルの変化も併せて考慮したもの. ×: 軸方向周期 1.1nm, △: 1.6nm, □: 2.2nm.

3.6 ナノスケール構造でのフォノン輸送モンテカルロ・シミュレーション(大阪大学 森・鎌倉グループ)

微細半導体構造中の熱伝導を解析するためのフォノン輸送モンテカルロシミュレータを開発した. 本手法では, フォノンを粒子として表現し, それら集団の弾道の走行と散乱を繰り返し追跡することによって熱伝導を模擬する. 開発したシミュレータの一番の特徴は, フォノン分散関係の記述に, フォノンのバンド計算によって得られた現実的データを反映した点である. 熱拡散係数はフォノンの速度と散乱緩和時間に依存するが, 新たにフルバンド構造を導入することで, フォノン速度に関わるモデルの任意性を排除することができた. さらに, 適切な界面散乱アルゴリズムを導入することにより, 極薄シリコン膜やナノワイヤの熱伝導率を正確に算出することに成功し(図 3.6.1), FinFET 構造中の準弾道的な熱伝導特性を明らかにした(図 3.6.2).

半導体デバイス内部の準弾道的電子輸送およびフォノン伝導を同時に取り扱うことのできる熱・電気連成解析モンテカルロシミュレータを開発した(図 3.6.3). チャネル長が 10 nm 程度の極微細シリコン MOSFET を対象に, 高エネルギーの電子注入にさらされるドレインの格子温度上昇機構, およびそれがデバイス性能や寿命に与える影響についてシミュレーション解析を行った(図 3.6.4, IEDM2014 にて発表予定).

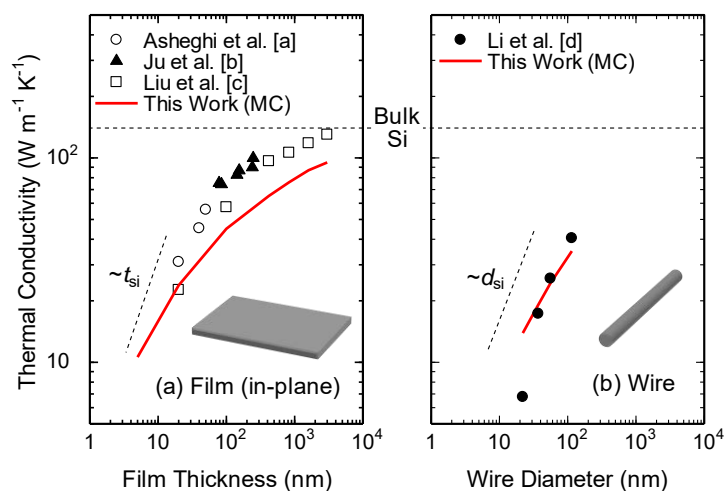


図 3.6.1 開発したフォノンモンテカルロシミュレータで計算した(a)薄膜シリコンと(b)シリコンナノワイヤの熱伝導率(線). マークは実験値を表す.

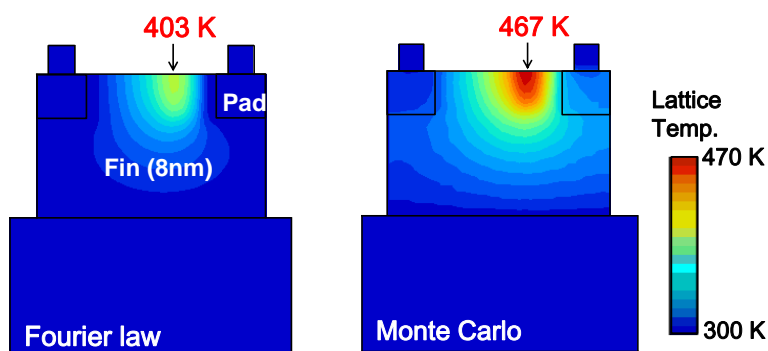


図 3.6.2 開発したフォノンモンテカルロシミュレータで計算した FinFET 構造内部の温度分布(右図). 比較のため従来のフーリエ則に基づく熱伝導方程式を用いて計算した結果もプロットした(左図).

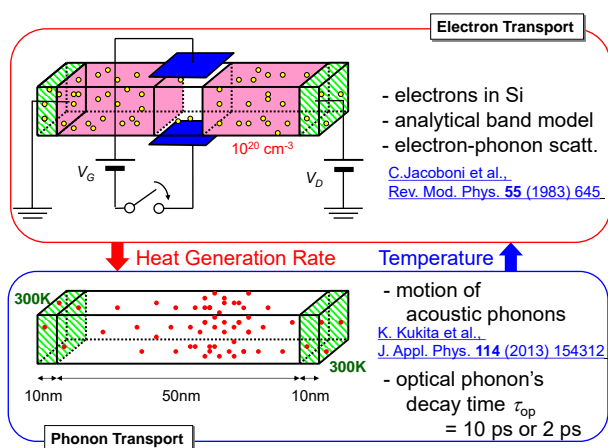


図 3.6.3 開発した電子・フォノン輸送統合モンテカルロシミュレータの概念図.

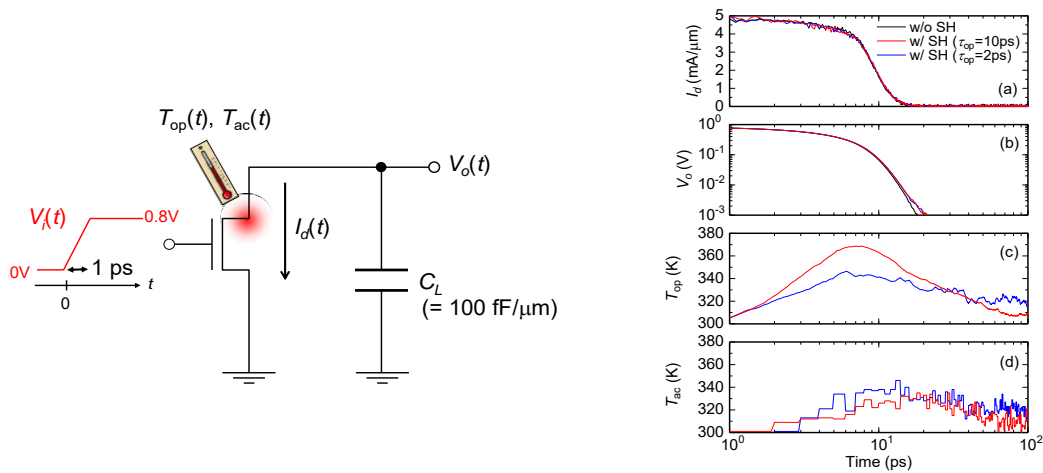


図 3.6.4 電子・フォノン輸送統合モンテカルロシミュレータによる解析例. デジタル回路の動作を模した過渡回路解析を行った. トランジスタの自己発熱によりドレイン温度の昇温が確認されたが, 回路動作にはほとんど影響を及ぼしていない.

3.7 弾道・準弾道輸送コンパクトモデル開発(立命館大学 宇野グループ)

本研究では, ナノスケール MOSFET での弾道・準弾道輸送による電流電圧特性を表す簡易な解析式モデルを構築することを目指した. 具体的には, デバイスの電流電圧特性を明示的かつ解析的な数式(コンパクトモデル)により表現すること, その数式中で用いるパラメータを原子論的バンド計算および量子論的輸送計算と関連付けること, そして量子論的輸送計算結果を十分な精度で再現するよう高精度化することの3点を目標とした.

デバイスの電流電圧特性を数式表現するうえでは, 弾道・準弾道輸送現象を次のランダウア公式で表す.

$$I_{DS} = \frac{ek_B T}{\pi \hbar} \sum_n (1 - R_n) [F_0(\epsilon_{F,S} - \epsilon_n) - F_0(\epsilon_{F,D} - \epsilon_n)]$$

ただし $F_0(x)$ はフェルミ積分(ダブルゲート, FinFET では $F_{1/2}(x)$), $\epsilon_{F,S}$ および $\epsilon_{F,D}$ はソースおよびドレインでのフェルミエネルギー, ϵ_n はキャリアの量子閉じ込め準位, R_n は反射係数, その他の記号は広く知られた意味を持ち, エネルギーはいずれも熱エネルギー $k_B T$ で規格化されている. ランダウア公式はソースからドレインに至る途中のポテンシャル障壁頂上でのキャリア量子輸送を表現しており, 反射係数が 0 であることが散乱の無い弾道輸送に対応する. 式中のキャリア閉じ込めエネルギー準位がデバイス構造およびバイアス条件に依存するため, これを数式表現することがコンパクトモデル開発の要となる. 原子論的バンド計算により得られたバレー情報は, 閉じ込めエネルギー準位の数式において有効質量を通して導入され, 散乱を考慮した輸送計算により得られた情報は, 反射係数を通して導入される.

本研究では, ナノワイヤをチャネルとした GAA MOSFET の中でも特に断面が四角形および円形のデバイスを対象とし, 電流電圧特性を明示的かつ解析的な数式で表現した. 計算では, ワイヤ断面内の閉じ込めポテンシャル形状を 2 次関数で近似し, バイアス条件に応じてその形状が変化するようにモデル化した. はじめに, ポテンシャル形状をひとつのパラメータ ΔU_G によって表す. そして, チャネル/酸化膜界面における静電的關係から, 線電荷密度を ΔU_G の関数として表す.

一方、閉じ込めポテンシャル形状より、キャリアの量子閉じ込め準位を算出し、それをもとに線電荷密度を ΔU_G の関数として記述する。これら2種類の線電荷密度が一致しなければならないという条件から、与えられたバイアス条件における ΔU_G の値を決定する。この計算の過程で閉じ込めエネルギー準位が ΔU_G の関数として与えられるため、それをランダウ公式に代入すれば電流電圧特性のバイアス依存性を計算することができる。この ΔU_G 決定方程式は ΔU_G に関する複雑な陰関数であり、一般的には数値計算により ΔU_G を決定する必要がある。この決定方程式の明示的解析式解を求めるために、独自の解析的近似手法を用いた。この手法では、考慮する閉じ込めエネルギー準位数が基底準位を含め2本までという制約条件があるが、興味あるナノワイヤ径および断面形状の範囲では十分な精度を与える。この手法を用いて開発されたコンパクトモデルは、**図 3.7.1** に示したように、森グループが開発した散乱を含まない量子輸送計算プログラムによる数値計算結果との良好な一致を示す。このようにして電流電圧特性を明示的解析式として表現することができれば、それを Verilog-A 言語によって記述したファイルを準備し、**図 3.7.2** に示されたように HSPICE での MOSFET モデルとして使用して回路シミュレーションを行うことができる。同様の結果は、円筒形 GAA MOSFET においても実証された。

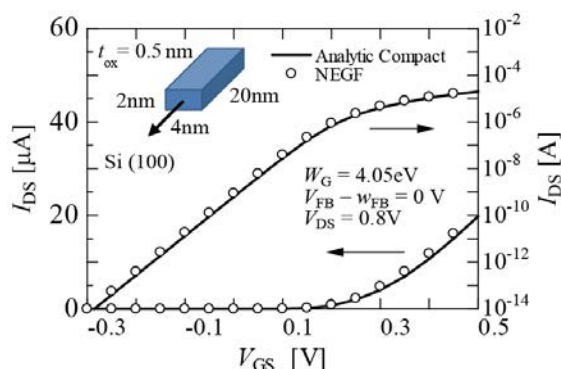


図 3.7.1 断面 2 nm × 4 nm, チャネル長 20 nm の n 型シリコン GAA MOSFET における電流電圧特性の解析式コンパクトモデル(実線)と NEGF 数値計算(白丸)の比較。

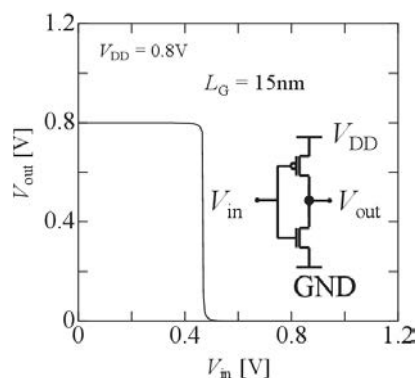


図 3.7.2 GAA MOSFET を用いたインバータ回路入出力特性シミュレーション。解析式コンパクトモデルを Verilog-A により記述し、HSPICE へ実装した。

このようなモデルを更に高精度化するため、チャネル長の減少により生じるドレイン誘起障壁低下 (DIBL) を導入した。計算では、サブスレッショルド領域におけるチャネルに沿ったポテンシャル分布を Laplace 方程式の解析近似解により表現し、**図 3.7.3** のように電子閉じ込めサブバンドレベルのチャネル内プロファイルを解析式により表した。このサブバンドプロファイルの頂点における弾道輸送電流を計算することにより、トランジスタ電流電圧特性のサブスレッショルド特性が非平衡グリーン関数の結果とよく一致することを確認した(**図 3.7.4**)。これによりチャネル長 10 nm 以下の短チャネルデバイスでのサブスレッショルド電流の再現精度を向上させることができ、コンパクトモデルの適用範囲を広げることができた。

以上のモデルの適用範囲を更に広げるためには、散乱を含む量子輸送への対応が必要となる。神戸大学グループで開発された準弾道輸送シミュレータを用い、一辺 3.0 nm の n 型四角断面 GAA MOSFET におけるドレイン電流および電子反射係数のゲート電圧依存性を計算した。計算された反射係数をコンパクトモデルに取り込み電流電圧特性を比較し、**図 3.7.5** のように数値計算との良好な一致を確認した。

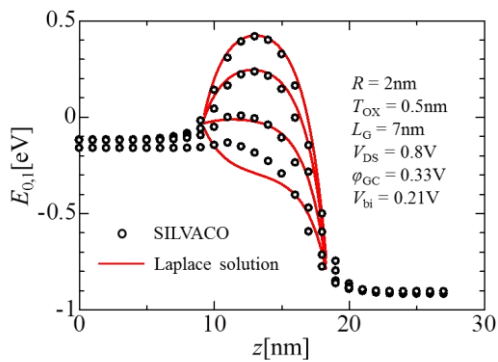


図 3.7.3 円筒形 GAA MOSFET のサブスレッショルド領域における基底サブバンドのチャンネル内プロファイル. 実線:コンパクトモデル, ○印: NEGF 数値シミュレーション.

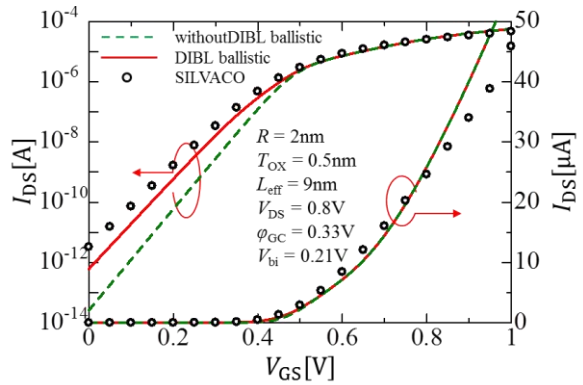


図 3.7.4 円筒形 GAA MOSFET のサブスレッショルド領域におけるドレイン電流のゲート電圧依存性. 実線:コンパクトモデル, 破線: DIBL を無視したコンパクトモデル, ○印: NEGF 数値シミュレーション.

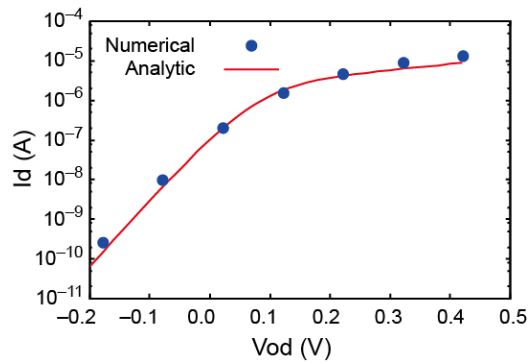
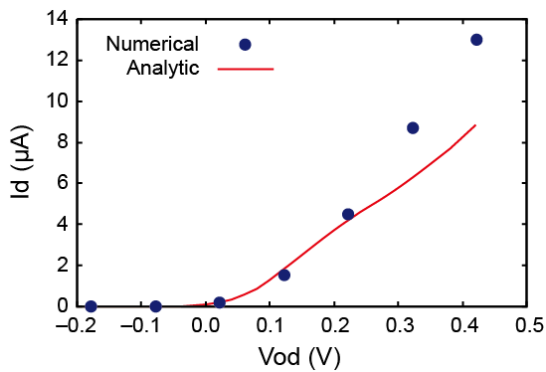
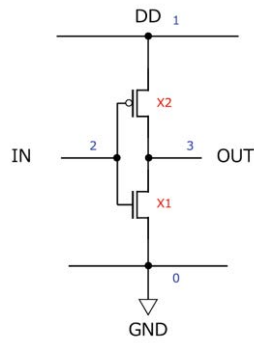
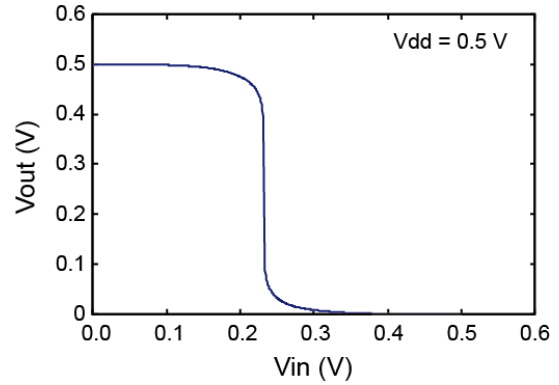


図 3.7.5 神戸大学グループの輸送シミュレータ(点)とコンパクトモデル(実線)の比較. 横軸は $I_d = 1.0 \times 10^{-7} \text{ A}$ を基準としたゲート・ソース間電圧.

この NMOS モデルを Verilog-A で記述し, 大阪大学グループ開発の強結合近似法によるバンド計算に基づいた p 型四角断面 GAAMOSFET での弾道輸送モデルの Verilog-A 記述と併せて HSPICE に読み込み, CMOS 回路のシミュレーションを行った. 図 3.7.6 は CMOS インバータ, 図 3.7.7 は CMOS リングオシレータ, 図 3.7.8 は SRAM のシミュレーション結果である. このように, 大阪大学・神戸大学グループの原子論的・量子論的なデバイスシミュレーション結果と立命館大学グループの回路モデルが接続され, 様々な回路シミュレーションが可能となった.

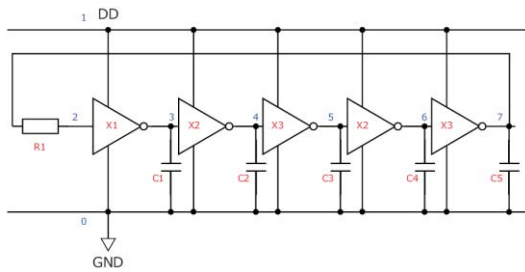


(a)

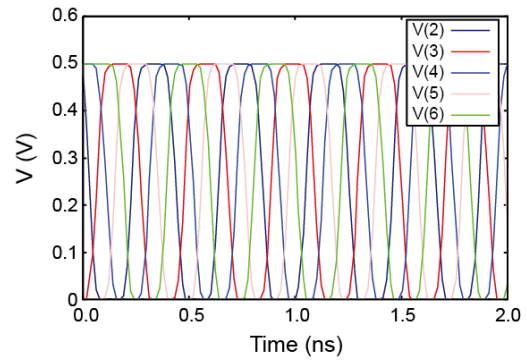


(b)

図 3.7.6 神戸大学グループの輸送計算に基づいた n 型四角断面 GAAMOSFET 準弾道輸送モデルと大阪大学グループのバンド計算に基づいた p 型四角断面 GAAMOSFET 弾道輸送モデルを組み合わせた CMOS インバータシミュレーション. $V_{DD} = 0.5V$.

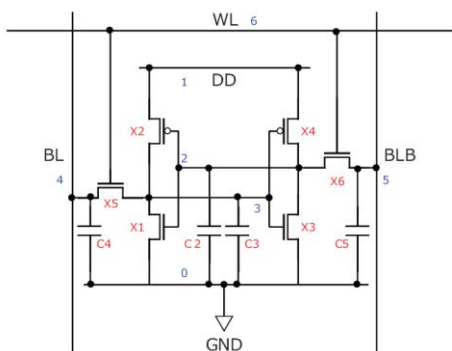


(a)

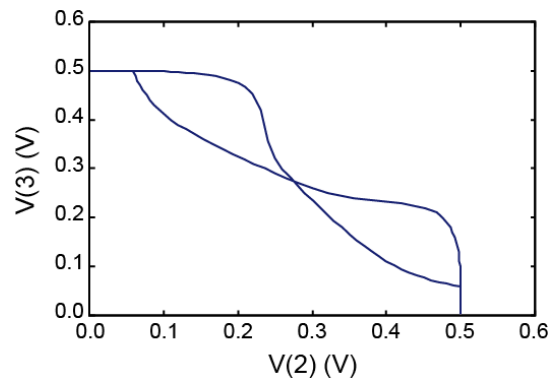


(b)

図 3.7.7 神戸大学グループの輸送計算に基づいた n 型四角断面 GAAMOSFET 準弾道輸送モデルと大阪大学グループのバンド計算に基づいた p 型四角断面 GAAMOSFET 弾道輸送モデルを組み合わせた CMOS リングオシレータシミュレーション. $V_{DD} = 0.5V$, $R_1 = 1.0\Omega$, $C_1 - C_5 = 1.0fF$.



(a)



(b)

図 3.7.8 神戸大学グループの輸送計算に基づいた n 型四角断面 GAAMOSFET 準弾道輸送モデルと大阪大学グループのバンド計算に基づいた p 型四角断面 GAAMOSFET 弾道輸送モデルを組み合わせた SRAM 読み取り時バタフライ曲線. $V_{DD} = 0.5V$, $C_1 - C_4 = 1.0fF$, $V_{WL} = V_{BL} = V_{BLB} = 0.5V$.

3. 8 量子輸送モデル等の汎用 TCAD への移行(慶應義塾大学 伊藤・植松グループ)

本研究で開発する量子輸送シミュレータが、実際に多くのユーザーに利用され、次世代ナノデバイスの性能予測に活用されること、および、開発する統合シミュレータの TCAD 応用を目指し、プロセスシミュレータおよび回路シミュレータとシームレスに結合できる枠組みを開発した。

TCAD 応用に関して、Selete が開発し、多くの研究開発者が利用できる環境にある TCAD システム HyENEXSS を用いた。HyENEXSS の開発担当者、および、本課題担当者と打ち合わせを行い、開発された量子輸送シミュレータの厳密性を可能な限り保持したまま HyENEXSS へスムーズに接続できるように、シミュレーションモデル、プログラム本体や入出力ファイルの形式などについて協議した。その結果に基づいて、シリコンナノワイヤを構築するプロセスのプログラムを立ち上げた。

TCAD との連携を行うため、原子配置や物質パラメータ、計算条件などを外部から入力可能な形で R 行列非平衡グリーン関数シミュレータを開発した。その応用として、分子動力学熱酸化シミュレーションにより得られたシリコン原子の配置(早稲田大学・渡邊孝信研究室提供)から、現実的なナノワイヤ構造の提供を受け、量子輸送シミュレーションを行い、シリコン原子位置の揺らぎがデバイス特性に大きな影響を及ぼすことを見出した(図 3. 2. 1)。

有効質量版量子輸送シミュレータ JSQUATS と HyENEXSS との接続を行った。ユーザーフレンドリー化を図るために、HyENEXSS の入力ファイルを共通に用いて、ナノワイヤデバイスの量子輸送シミュレーションを行うことができるようにした(図 3. 8. 1)。同時に HyENEXSS によるドリフト・拡散モデルを用いたデバイスシミュレーションも行うことができ、両者の結果を比較することができる。さらに、出力結果も HyENEXSS の標準グラフィックソフト sgplot で表示できるようにした(図 3. 8. 2, 図 3. 8. 3)。また、ユーザー用のマニュアルも作成した。接続したシミュレータをユーザーに試験的に使用してもらい、そのコメントに基づいて、収束の改善や出力結果表示の高速化を行い、より使いやすいシミュレータとした。

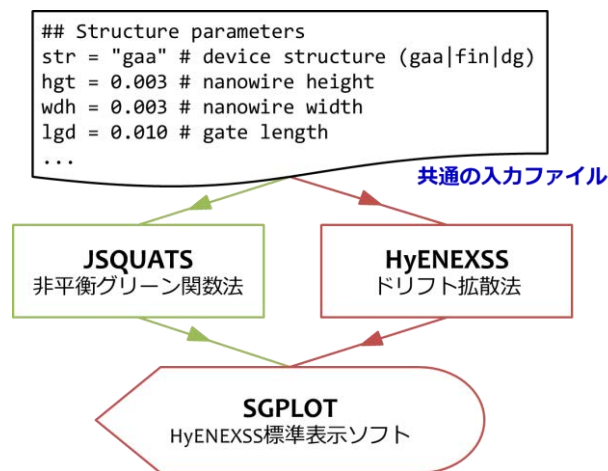


図 3. 8. 1 量子輸送シミュレータ JSQUATS と HyENEXSS との接続. 入出力を共通化した。

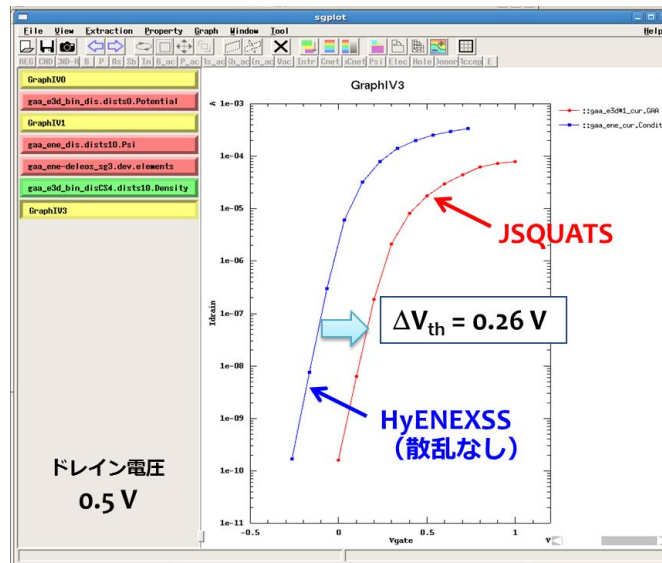


図 3.8.2 HyENEXSS の標準グラフィックソフト sgplot で表示した電流電圧特性. 量子輸送シミュレータ JSQUATS と HyENEXSS の結果の比較.

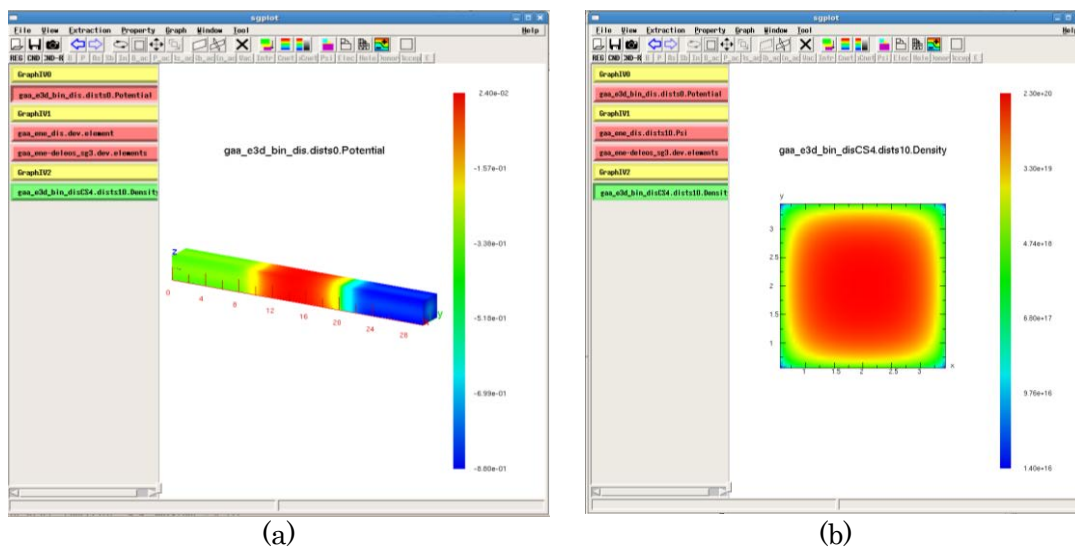


図 3.8.3 (a)HyENEXSS の標準グラフィックソフト sgplot で表示した量子輸送計算によるシリコンナノワイヤデバイスの 3 次元ポテンシャル分布, (b)キャリア密度の断面図.

§ 4 成果発表等

(1)原著論文発表 (国内(和文)誌 0 件、国際(欧文)誌 51 件)

1. H. Minari and N. Mori, "A computationally cost-effective interleaving method for atomistic non-equilibrium Green's function simulation," *Mathematical and Computer Modelling*, **51**, 888 (2010).
2. Y. Kamakura, G. Mil'nikov, N. Mori, and K. Taniguchi, "Impact of Attractive Ion in Undoped Channel on Characteristics of Nanoscale Multigate Field Effect Transistors: A Three-Dimensional Nonequilibrium Green's Function Study," *Japanese Journal of Applied Physics*, **49**, 04DC19 (2010).
3. N. Mori and H. Minari, "Impact of interface roughness on threshold-voltage variation in ultrasmall gate-all-around and double-gate field-effect transistors," *Japanese Journal of Applied Physics*, **49**, 04DC05 (2010).
4. G. Mil'nikov, N. Mori, and Y. Kamakura, "Application of the R-matrix method in quantum transport simulations: Tight-binding model," *Journal of Computational Electronics*, **9**, 256 (2010).
5. H. Minari and N. Mori, "Hole transport mechanism in silicon and germanium nanowire field effect transistors," *Japanese Journal of Applied Physics*, **49**, 04DN04 (2010).
6. T. Zushi, Y. Kamakura, K. Taniguchi, I. Ohdomari, and T. Watanabe, "Molecular Dynamics Simulation on Heat Transport Process in a Silicon Nano-Structure Covered with Oxide Films," *Japanese Journal of Applied Physics*, **49**, 04DN08 (2010).
7. H. Tsuchiya, A. Maenaka, T. Mori, and Y. Azuma, "Role of carrier transport in source and drain electrodes of high-mobility MOSFETs," *IEEE Electron Device Letters*, **31**, 365 (2010).
8. S. Koba, R. Aoyagi and H. Tsuchiya, "Quantum transport simulation of nanoscale semiconductor devices based on Wigner Monte Carlo approach," *Journal of Applied Physics*, **108**, 064504 (2010).
9. T. Numata, S. Uno, K. Nakazato, Y. Kamakura, and N. Mori, "Analytical compact model of ballistic cylindrical nanowire metal-oxide-semiconductor field-effect transistor," *Japanese Journal of Applied Physics*, **49**, 04DN05 (2010).
10. S. Uno, J. Hattori, K. Nakazato, and N. Mori, "Form factor increase and its physical origins in electron-modulated acoustic phonon interaction in a free-standing semiconductor plate," *Mathematical and Computer Modelling*, **51**, 863 (2010).
11. Y. Kamakura, G. Mil'nikov, N. Mori, and K. Taniguchi, "Impact of Attractive Ion in Undoped Channel on the Characteristics of Nanoscale Multi-Gate FETs: A 3D NEGF Study," *Japanese Journal of Applied Physics*, **49**, 04DC19 (2010).
12. N. Mori, H. Minari, S. Uno, and J. Hattori, "Ellipsoidal band structure effects on maximum ballistic current in silicon nanowires," *Japanese Journal of Applied Physics*, **50**, 04DN09 (2011).
13. G. Mil'nikov, N. Mori, and Y. Kamakura, "Application of the R-matrix method in quantum transport simulations: Continuous model," *Journal of Computational Electronics*, **10**, 51 (2011).
14. N. Mori, Y. Kamakura, G. Mil'nikov, and H. Minari, "Discrete Dopant Effects on Threshold Voltage Variation in Double-Gate and Gate-All-Around Metal-Oxide-Semiconductor Field-Effect-Transistors," *Key Engineering Materials*, **470**, 218 (2011).
15. Y. Kamakura, T. Zushi, T. Watanabe, N. Mori, and K. Taniguchi, "Impact of Self-Heating Effect on the Electrical Characteristics of Nanoscale Devices," *Key Engineering Materials*, **470**, 14 (2011).
16. Y. Maegawa, S. Koba, H. Tsuchiya, and M. Ogawa, "Influence of source/drain parasitic resistance on device performance of ultrathin body III-V channel metal-oxide-

- semiconductor field-effect transistors,” *Applied Physics Express*, **4**, 084301 (2011).
17. S. Uno, J. Hattori, K. Nakazato and N. Mori, “Acoustic phonon modulation and electron-phonon interaction in semiconductor slabs and nanowires,” *Journal of Computational Electronics*, **10**, 104 (2011).
 18. Y. Kamakura, T. Zushi, T. Watanabe, N. Mori, and K. Taniguchi, “Impact of Self-Heating Effect on the Electrical Characteristics of Nanoscale Devices,” *Key Engineering Materials*, **470**, 14 (2011).
 19. N. Mori, H. Minari, S. Uno, H. Mizuta, and N. Koshida, “Strain effects on avalanche multiplication in a silicon nanodot array,” *Japanese Journal of Applied Physics*, **51**, 04DJ01 (2012).
 20. G. Mil’nikov, N. Mori, and Y. Kamakura, “Equivalent transport models in atomistic quantum wires,” *Physical Review B*, **85**, 035317 (2012).
 21. Y. Kamakura, T. Himukashi, H. Tsuji, and K. Taniguchi, “Characteristics of Hot Hole Injection, Trapping, and Detrapping in Gate Oxide of Polycrystalline Silicon Thin-Film Transistors,” *Japanese Journal of Applied Physics*, **51**, 02BC05 (2012).
 22. N. Takiguchi, S. Koba, H. Tsuchiya, and M. Ogawa, “Comparisons of performance potentials of Si and InAs nanowire MOSFETs under Ballistic Transport,” *IEEE Transaction on Electron Devices*, **59**, 206 (2012).
 23. Y. Yamada, H. Tsuchiya, and M. Ogawa, “Atomistic modeling of electron-phonon interaction and electron mobility in Si nanowires,” *Journal of Applied Physics*, **111**, 063720 (2012).
 24. J. Choi, K. Nagai, S. Koba, H. Tsuchiya, and M. Ogawa, “Performance analysis of junctionless transistors based on Monte Carlo simulation,” *Applied Physics Express*, **5**, 054301 (2012).
 25. T. Numata, S. Uno, and K. Nakazato, “Circuit Simulation Model for Ultimately-scaled Ballistic Nanowire MOSFETs,” *IEICE Electronics Express*, **10**, 1 (2012).
 26. M. Uematsu, K. M. Itoh, G. Milnikov, H. Minari, and N. Mori, “Discrete distribution of implanted and annealed arsenic atoms in silicon nanowires and its effect on device performance,” *Nanoscale Research Letters* **7**, 685 (2012).
 27. N. Mori, M. Tomita, H. Minari, T. Watanabe, and N. Koshida, “Disorder-induced enhancement of avalanche multiplication in a silicon nanodot array,” *Japanese Journal of Applied Physics*, **52**, 04CJ04 (2013).
 28. G. Mil’nikov, N. Mori, and Y. Kamakura, “Scattering basis representation in ballistic transport simulations of nanowire transistors,” *Mathematical and Computer Modelling*, **58**, 312 (2013).
 29. G. Mil’nikov and N. Mori, “Random evolution approach to universal conductance statistics,” *Physical Review B*, **87**, 035434 (2013).
 30. G. Mil’nikov and N. Mori, “Universal conductance statistics in a backscattering model: Solving the Dorokhov-Mello-Pereyra-Kumar equation with $\beta = 1, 2$, and 4 ,” *Physical Review B*, **88**, 155406 (2013).
 31. N. Mori, M. Tomita, H. Minari, T. Watanabe, and N. Koshida, “Effects of atomic disorder on impact ionization rate in silicon nanodots,” *AIP Conference Proceedings*, **1566**, 381 (2013).
 32. K. Kukita and Y. Kamakura, “Monte Carlo simulation of phonon transport in silicon including a realistic dispersion relation,” *Journal of Applied Physics*, **114**, 154312 (2013).
 33. K. Shimoida, Y. Yamada, H. Tsuchiya, and M. Ogawa, “Orientational dependence in device performances of InAs and Si nanowire MOSFETs under ballistic transport,” *IEEE Transaction on Electron Devices*, **60**, 117 (2013).
 34. K. Shimoida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Performance comparison

- of InAs, InSb, and GaSb n-channel nanowire metal-oxide- semiconductor field-effect transistors in the ballistic transport limit,” *Applied Physics Express*, **6**, 034301 (2013).
35. K. Nagai, H. Tsuchiya, and M. Ogawa, “Channel length scaling effects on device performance of junctionless field-effect transistor,” *Japanese Journal of Applied Physics*, **52**, 044302 (2013).
 36. S. Koba, Y. Maegawa, M. Ohmori, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Increased Subthreshold current due to source-drain direct tunneling in ultrashort channel III-V metal-oxide-semiconductor field-effect transistors,” *Applied Physics Express*, **6**, 064301 (2013).
 37. H. Cheng, S. Uno, T. Numata, and K. Nakazato, “Analytic compact model of ballistic and quasi-ballistic cylindrical gate-all-around metal-oxide-semiconductor field effect transistors including two subbands,” *Japanese Journal of Applied Physics*, **52**, 04CN03 (2013).
 38. T. Numata, S. Uno, Y. Kamakura, N. Mori, and K. Nakazato, “Analytic Circuit Model of Ballistic Nanowire Metal-Oxide-Semiconductor Field-Effect Transistor for Transient Analysis,” *Japanese Journal of Applied Physics*, **52**, 04CN01 (2013).
 39. T. Numata, S. Uno, J. Hattori, G. Mil’nikov, Y. Kamakura, N. Mori, and K. Nakazato, “A Self-consistent Compact Model of Ballistic Nanowire MOSFET with Rectangular Cross Section,” *IEEE Trans. Electron Devices*, **60**, 856 (2013).
 40. J. Hattori and S. Uno, “Impact of Isotope Doping on Phonon Thermal Transport in Silicon Nanowires,” *Japanese Journal of Applied Physics*, **52**, 04CN04 (2013).
 41. N. Mori, T. Edagawa, Y. Kamakura, and L. Eaves, “Nonequilibrium Green function simulations of graphene-nanoribbon resonant-tunneling transistors,” *Japanese Journal of Applied Physics*, **53**, 04EN04 (2014).
 42. S. Koba, M. Ohmori, Y. Maegawa, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Channel length scaling limits of III-V channel MOSFETs governed by source-drain direct tunneling,” *Japanese Journal of Applied Physics*, **53**, 04EC10 (2014).
 43. S. Kaneko, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Theoretical performance estimation of silicene, germanene, and graphene nanoribbon field-effect transistors under ballistic transport,” *Applied Physics Express*, **7**, 035102 (2014).
 44. H. Hirai, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Electron mobility calculation for graphene on substrates,” *Journal of Applied Physics*, **116**, 083703 (2014).
 45. K. Kukita, I. N. Adisusilo, and Y. Kamakura, “Monte Carlo simulation of diffusive-to-ballistic transition in phonon transport,” *Journal of Computational Electronics*, **13**, 264 (2014).
 46. K. Kukita, I. N. Adisusilo, and Y. Kamakura, “Monte Carlo simulation of thermal conduction in silicon nanowires including realistic phonon dispersion relation,” *Japanese Journal of Applied Physics*, **53**, 015001 (2014).
 47. S. Koba, R. Ishida, Y. Kubota, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Effects of increased acoustic phonon deformation potential and surface roughness scattering on quasi-ballistic transport in ultrascaled Si-MOSFETs,” *Japanese Journal of Applied Physics*, **53**, 114301 (2014).
 48. M. Ichii, R. Ishida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, “Computational study of effects of surface roughness and impurity scattering in Si double-gate junctionless transistors,” *IEEE Transactions on Electron Devices*, **62**, 1255 (2015).
 49. H. Cheng, S. Uno, and K. Nakazato, “Analytic compact model of ballistic and quasi-ballistic transport for cylindrical gate-all-around MOSFET including drain-induced barrier lowering effect,” *Journal of Computational Electronics*, **14**, Issue 1, 321-328 (2015).
 50. C. Clendennen, N. Mori, and H. Tsuchiya, “Non-equilibrium Green function simulations of graphene, silicene, and germanene nanoribbon field-effect transistors,” *Journal of Advanced*

Simulation in Science and Engineering (2015) [印刷中]

51. H. Tsuchiya, S. Kaneko, N. Mori, and H. Hirai, "Simulation of electron transport in atomic monolayer semiconductor FETs" Journal of Advanced Simulation in Science and Engineering (2015) [印刷中]

(2)その他の著作物(総説、書籍など)

1. 「OHM 大学テキスト 量子物理」, 森 伸也 編著, 鎌倉良成, 宇野重康, 土屋英昭, 伊藤博介, 尾崎俊二 著, オーム社, 2012年11月, ISBN 978-4274212895.
2. 「ナノ構造エレクトロニクス入門」, 土屋英昭著, コロナ社, 2013年8月, ISBN978-4-339-00851-7.
3. 「電子物性 —電子デバイスの基礎—」, 浜口智尋, 森 伸也 著, 朝倉書店, 2014年3月, ISBN978-4-254-22160-2.

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 20 件、国際会議 10 件)

1. 土屋英昭, “高移動度チャンネル MOSFET の極限性能”, SEMI FORUM JAPAN 2010 プロセスインテグレーションセミナー, グランキューブ大阪(大阪国際会議場), 2010年6月1日.
2. 森 伸也, 三成英樹, “Impact of interface roughness on threshold-voltage variation in ultra-small 3D MOSFETs”, 第10回関西コロキウム電子デバイスワークショップ, 関西大学, 2010年10月22日.
3. ミリコフゲナディ, 森 伸也, 三成英樹, 鎌倉良成, “等価モデルを用いた原子論的デバイスシミュレーション”, 第58回応用物理学関係連合講演会シンポジウム, 神奈川工科大学, 2011年3月24日.
4. 木場隼介, 土屋英昭, 小川真人, “ウィグナーモンテカルロ法による MOSFET の散逸的量子輸送解析”, 第58回応用物理学関係連合講演会シンポジウム, 神奈川工科大学, 2011年3月24日.
5. 山田吉宏, 土屋英昭, 小川真人, “原子論的アプローチによる Si ナノワイヤのフォノン散乱移動度モデリング”, 第58回応用物理学関係連合講演会シンポジウム, 神奈川工科大学, 2011年3月24日.
6. 山田吉宏, 土屋英昭, 小川真人, “原子論的電子-フォノン相互作用モデリングによる Si ナノワイヤの電子移動度解析”, 応用物理学会分科会 シリコンテクノロジー, 大阪大学サイバーメディアセンター, 2011年7月8日.
7. ミリコフゲナディ, 森 伸也, 三成英樹, 鎌倉 良成 “等価モデルを用いたナノワイヤトランジスタの原子論的デバイスシミュレーション”, 応用物理学会分科会 シリコンテクノロジー, 大阪大学サイバーメディアセンター, 2011年7月8日.
8. 木場隼介, 土屋英昭, 小川真人, “ウィグナーモンテカルロ法に基づく MOSFET の新型量子輸送シミュレータの実現”, 応用物理学会分科会 シリコンテクノロジー, 大阪大学サイバーメディアセンター, 2011年7月8日.
9. 鎌倉良成, “2012 SISPAD レビュー:量子輸送, 新材料, 原子・分子モデリング, その他”, 電気情報通信学会 シリコン材料・デバイス(SDM)研究会, 東京, 2012年11月15日.
10. 鎌倉 良成, “ナノスケールデバイスの自己発熱と熱輸送に関するシミュレーション解析”, 電気学会ナノエレクトロニクス集積化・応用技術調査専門委員会「ナノデバイスの熱管理工学」, 東京, 2012年11月30日.
11. 森伸也, ミリコフゲナディ, 鎌倉良成, 植松真司, 伊藤公平, “ナノスケールトランジスタのためのデバイスシミュレーション技術”, ゲートスタック研究会—材料・プロセス・評価の物理—, 湯河原, 神奈川県, 2013年1月26日.
12. 服部淳一, 宇野重康, “Si 量子細線におけるフォノン熱輸送に与える不純物の影響”, 応用物理学会関西セミナー, 大阪大学, 2013年3月13日.

13. 森伸也, “非平衡グリーン関数法を用いた微細 FET の量子輸送シミュレーション”, 半導体モデリング・シミュレーション技術の現状と将来展望, 第 60 回応用物理学会春季学術講演会, 神奈川工科大学, 2013 年 3 月 27 日.
 14. 服部淳一, 宇野重康, “Isotope effect on phonon thermal transport in silicon nanowires”, 第 13 回関西コロキウム電子デバイスワークショップ, 大阪, 2013 年 10 月 25 日
 15. 植松真司, “2013 SISPAD レビュー ～ 併設ワークショップ 1 ～”, Si テクノロジー研究集会, 機械振興会館, 2013 年 11 月 14 日.
 16. 森伸也, “2013 SISPAD レビュー ～ 輸送, 信頼性 ～”, Si テクノロジー研究集会, 機械振興会館, 2013 年 11 月 14 日.
 17. 木場隼介, “モンテカルロシミュレーションによる nMOSFET の量子輸送解析”, 応用物理学会関西セミナー「半導体デバイスにおける電子熱輸送の物理」, 大阪, 2014 年 3 月 14 日.
 18. 久木田健太郎, “モンテカルロ法による半導体中の熱輸送シミュレーション”, 応用物理学会関西支部セミナー「半導体デバイスにおける電子熱輸送の物理」, 大阪, 2014 年 3 月 14 日.
 19. 森伸也, 美里劫夏南, 鎌倉良成, 土屋英昭, 宇野重康, 伊藤公平, 植松真司, “原子論から始まる統合シミュレータの開発”, TCAD アカデミック委員会(TAC)研究会, 慶應義塾大学, 2014 年 5 月 22 日.
 20. 森伸也, “原子論から始まる統合シミュレータの開発”, ナノシステム研究部門計算科学領域・ナノエレクトロニクス研究部門合同講演会, 産業技術総合研究所, つくば, 2014 年 10 月 31 日.
1. N. Mori, Y. Kamakura, G. Mil'nikov, and H. Minari, “Discrete Dopant Effects on Threshold Voltage Variation in Double-Gate and Gate-All-Around Metal-Oxide-Semiconductor Field-Effect-Transistors,” 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, Shanghai, Nov.1-4, 2010.
 2. Y. Kamakura, T. Zushi, T. Watanabe, N. Mori, and K. Taniguchi, “Numerical Simulation of Transient Heat Conduction in Nanoscale Si Devices,” 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, Shanghai, Nov.1-4, 2010.
 3. Y. Kamakura, H. Minari, T. Zushi, T. Watanabe, G. Mil'nikov, K. Kukita, S. Uno, and N. Mori, “Computational Simulation of Electron and Phonon Transport in Nanoscale Si Structures,” Fourth International Symposium on Atomically Controlled Fabrication Technology, Osaka, Oct. 31-Nov. 2, 2011.
 4. N. Mori, M. Uematsu, G. Mil'nikov, H. Minari, and K. M. Itoh, “Non-equilibrium Green's function simulation on effects of atomic disorder and random dopant in Si nanowire transistors,” 2013 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, Seoul, Korea, June 26-28, 2013.
 - * 5. Y. Kamakura, K. Kukita, I. N. Adisusilo, S. Koba, and H. Tsuchiya, “Simulation Study on Quasi-Ballistic Heat Transfer Effect in FinFETs,” 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka, Sep. 24-27, 2013.
 - * 6. N. Mori, G. Mil'nikov, H. Minari, Y. Kamakura, T. Zushi, T. Watanabe, M. Uematsu, K. M. Itoh, S. Uno, and H. Tsuchiya, “Nano-device simulation from an atomistic view,” 2013 IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, December 9-11, 2013.
 - * 7. N. Mori and G. Mil'nikov, “R-matrix Theory and Equivalent Model for Nanoscale Device Simulation,” International Workshop on Computational Electronics (IWCE), Paris, France, June 3-6, 2014.
 - * 8. H. Tsuchiya, “Understanding Carrier Transport in the Ultimate Physical Scaling Limit of MOSFETs,” 2014 International Meeting for Future of Electron Devices, Kansai (IMFEDK), Kyoto, June 19-20, 2014.
 9. N. Mori, G. Mil'nikov, Y. Kamakura, T. Zushi, T. Watanabe, M. Uematsu, and K. M. Itoh, “Quantum transport simulation of statistical variability in nano-scale MOSFETs,” 6th IEEE

- International Nanoelectronics Conference 2014, Hokkaido University, July 28-31, 2014.
10. N. Mori and G. Mil'nikov, "Scattering basis representation in quantum transport simulation of nanowire transistors," 9th International Conference on Computational Physics, National University of Singapore, January 7-11, 2015.

② 口頭発表 (国内会議 74 件、国際会議 47 件)

1. 三成英樹, 境田裕志, 北山達郎, 山本将央, 森 伸也, "3D フルバンド構造を考慮した非平衡グリーン関数法によるキャリア輸送シミュレーション", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 17 日.
2. 木場隼介, 青柳良, 前中章宏, 王威, 土屋英昭, 小川真人, "ナノスケールデバイスのウィグナーモンテカルロシミュレーション", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 17 日.
3. 服部淳一, 宇野重康, 森 伸也, 中里和郎, "シリコン量子細線 MOSFET における電子-変調音響フォノン相互作用のゲート電圧依存性に関する理論研究", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 18 日.
4. 鎌倉良成, 図師知文, 渡邊孝信, 森 伸也, 谷口研二, "極微細 MOSFET における発熱過程の過渡解析シミュレーション", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 18 日.
5. ミリニコフ ゲナディ, 森 伸也, 鎌倉良成, "サブバンド表現に基づいた原子論的量子輸送シミュレーション", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 18 日.
6. 沼田達宏, 宇野重康, 中里和郎, ゲナディミリニコフ, 鎌倉良成, 森 伸也, "弾道輸送 GAA-MOSFET における I-V 特性コンパクトモデル", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 18 日.
7. 北山達郎, 三成英樹, 森 伸也, "グラフェンナリボンにおける変調光学フォノン散乱", 第 57 回応用物理学関係連合講演会, 東海大学, 2010 年 3 月 19 日.
8. 服部淳一, 宇野重康, 森 伸也, 中里和郎, "被覆 Si 量子細線における電子-変調音響フォノン相互作用に与える電子波動関数染み出しの影響に関する理論研究", 秋季第 71 回応用物理学学術講演会, 長崎, 2010 年 9 月 17 日.
9. 沼田達宏, 宇野重康, 中里和郎, ゲナディミリニコフ, 鎌倉良成, 森 伸也, "ナノワイヤ MOSFET における電子エネルギー準位の伝導方向プロファイルの簡易モデル", 秋季第 71 回応用物理学学術講演会, 長崎, 2010 年 9 月 17 日.
10. 森 伸也, ミリニコフゲナディ, 鎌倉良成, 三成英樹, "DG および GAA 型 MOSFET において単一ドナーがしきい値シフトに与える影響", 秋季第 71 回応用物理学学術講演会, 長崎, 2010 年 9 月 17 日.
11. 三成英樹, 北山達郎, 山本将央, 森 伸也, "シリコンナノワイヤ FET の正孔輸送に対するひずみの効果", 秋季第 71 回応用物理学学術講演会, 長崎, 2010 年 9 月 17 日.
12. 山本将央, 三成英樹, 森伸也, "トンネルトランジスタの電流電圧特性に対するひずみの効果", 秋季第 71 回応用物理学学術講演会, 長崎, 2010 年 9 月 17 日.
13. 沼田達宏, 宇野重康, 中里和郎, ゲナディミリニコフ, 鎌倉良成, 森 伸也, "ナノワイヤ MOSFET における電子エネルギー準位の伝導方向プロファイルの簡易モデル", 秋季第 71 回応用物理学学術講演会, 長崎, 2010 年 9 月 17 日.
14. 北山達郎, 三成英樹, 森 伸也, "グラフェンナリボンにおけるエッジ変調フォノン散乱", 表面科学合同講演会, 大阪大学コンベンションセンター, 2010 年 11 月 4 日-6 日.
15. 三成英樹, 北山達郎, 山本将央, 森 伸也, "シリコンナノワイヤにおけるホール電流のひずみ依存性", 応用物理学会 シリコンテクノロジー分科会 第 128 回 研究集会, 機械振興会館, 2010 年 11 月 11 日-12 日.
16. 神岡武文, 今井裕也, 鎌倉良成, 大毛利健治, 白石賢二, 丹羽正昭, 山田啓作, 渡邊孝信, "GAA 型ナノワイヤチャネルにおける酸化膜トラップ電荷誘起の電流変動:EMC/MD シミュレーションによる検討," 応用物理学会薄膜・表面物理分科会, シリコンテクノロジー

- 分科会共催特別研究会「ゲートスタック研究会—材料・プロセス・評価の物理—」第 17 回研究会, 静岡, 2012 年 1 月 19-21 日.
17. 高橋浩樹, 三成英樹, 森 伸也, “局所的なポテンシャル変調による 3 次元超格子の電子状態調整”, 応用物理学関係連合講演会, 神奈川工科大学, 2011 年 3 月 24 日.
 18. ミリニコフゲナディ, 森 伸也, 三成英樹, 鎌倉良成, “等価モデルを用いた原子論的デバイスシミュレーション”, 応用物理学関係連合講演会, 神奈川工科大学, 2011 年 3 月 24 日.
 19. 平松佑己, 鎌倉良成, 森 伸也, 谷口研二, “NEGF および LLG 方程式ソルバの結合による磁気トンネル接合のシミュレーション”, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 25 日.
 20. 山本将央, 三成英樹, 森 伸也, “トンネルトランジスタのツェナートンネル電流に対する局所ひずみの効果”, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 26 日.
 21. 三成英樹, 函師知文, 渡邊孝信, 森 伸也, “現実的なシリコンナノワイヤにおけるキャリア輸送シミュレーション”, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 26 日.
 22. 鎌倉良成, 函師知文, 渡邊孝信, 森 伸也, 谷口研二, “モンテカルロ法によるナノスケールデバイス中の電子-フォノン伝導過渡解析”, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 26 日.
 23. 青柳良, 木場隼介, 土屋英昭, 小川真人, “ショットキー障壁 MOSFET のソース端電子輸送に及ぼす不純物偏析の影響”, 第 58 回応用物理学関係連合講演会, 神奈川工科大学, 2011 年 3 月 26 日.
 24. 沼田達宏, 宇野重康, 中里和郎, ミリニコフゲナディ, 鎌倉良成, 森 伸也, “四角形断面 GAA-MOSFET における弾道輸送電流特性コンパクトモデル”, 応用物理学関係連合講演会, 神奈川工科大学, 2011 年 3 月 26 日.
 25. 程 賀, 宇野重康, 沼田達宏, 中里和郎, “弾道・準弾道輸送 Gate-All-Around MOSFET の回路シミュレーション簡易モデル”, 第 58 回応用物理学関係連合講演会, 神奈川, 2011 年 3 月 26 日.
 26. 大見剛史, 鎌倉良成, “第一原理計算に基づく h-BCN の電子状態解析,” 第 72 回応用物理学学会学術講演会, 山形, 2011 年 8 月 30 日.
 27. 滝口直也, 澤本俊, 土屋英昭, 小川真人, “Si ナノワイヤ FET と InAs ナノワイヤ FET の極限性能比較”, 第 72 回応用物理学学会学術講演会, 山形大学, 2011 年 9 月 1 日.
 28. 渡邊龍太, 鎌倉良成, “4H-SiC MOS 反転層のサブバンド構造及および移動度の計算,” 第 72 回応用物理学学会学術講演会, 山形, 2011 年 8 月 31 日.
 29. 神岡武文, 今井裕也, 大毛利 健治, 白石 賢二, 鎌倉 良成, 渡邊 孝信, “ナノデバイスにおける電流揺らぎの EMC-MD シミュレーション,” 第 72 回応用物理学学会学術講演会, 山形, 2011 年 9 月 2 日.
 30. 久木田健太郎, 鎌倉良成, “モンテカルロ法による Si ナノ構造中のフォノン伝導過渡応答特性解析,” 第 72 回応用物理学学会学術講演会, 山形, 2011 年 9 月 2 日.
 31. 山本将央, 三成英樹, 森 伸也, “トンネルトランジスタの自己無撞着量子輸送シミュレーション”, 第 72 回応用物理学学会学術講演会, 山形大学, 2011 年 9 月 2 日.
 32. 三成英樹, 渡邊孝信, 森 伸也, “ゲルマニウムナノワイヤのキャリア輸送における原子位置乱れの影響”, 第 72 回応用物理学学会学術講演会, 山形大学, 2011 年 9 月 2 日.
 33. 滝口直也, 木場隼介, 土屋英昭, 小川真人, “第一原理バンド計算を援用した Si ナノワイヤ及び InAs ナノワイヤ FET とバリスティック性能比較”, 応用物理学分科会 シリコンテクノロジー, 機械振興会館, 2011 年 11 月 11 日.
 34. 久木田健太郎, 鎌倉良成, “モンテカルロ法による Si ナノ構造中のフォノン輸送シミュレーション,” 電子情報通信学会エレクトロニクスソサイエティシリコン材料・デバイス(SDM) 研究会, 東京, 2011 年 11 月 11 日.
 35. 程 賀, 宇野重康, 沼田達宏, 中里和郎, “摂動法的な弾道・準弾道円筒形 GAA-MOSFET 解析簡易モデルにおける回路シミュレーション”, 電子情報通信学会シリコン材料・デバイス研究会, 東京, 2011 年 11 月 11 日.

36. 神岡武文, 今井裕也, 大毛利健治, 白石賢二, 鎌倉良成, 渡邊孝信, “非対称ホーン形状チャネルにおける電流密度の向上 ~EMC-MD シミュレーションによる検討~, ” 電子情報通信学会エレクトロニクスソサイエティシリコン材料・デバイス(SDM) 研究会, 東京, 2011年11月11日.
37. 太田俊史, 辻博史, 鎌倉良成, 谷口研二, “poly-Si TFT のオーバーシュートドレイン電流の評価とモデリング,” 電子情報通信学会エレクトロニクスソサイエティシリコン材料・デバイス(SDM) 研究会, 奈良, 2011年12月16日.
38. 滝口直也, 下井田健太, 土屋英昭, 小川真人, ”バリスティック InAs ナノワイヤ FET のワイヤ方向依存性”, 第59回応用物理学関係連合講演会, 早稲田大学, 2012年3月16日.
39. 鎌倉良成, 平松佑己, 森伸也, “スピン注入型MRAMのデバイスモデリングと回路シミュレーション”, 応用物理学会シリコンテクノロジー分科会第150回研究集会, 東京, 2012年7月5日.
40. 神岡武文, 今井裕也, 鎌倉良成, 大毛利健治, 白石賢二, 丹羽正昭, 山田啓作, 渡邊孝信, “電流揺らぎによるナノデバイスの動作周波数限界ー EMC-MD シミュレーションによる検討ー”, 応用物理学会シリコンテクノロジー分科会第150回研究集会, 東京, 2012年7月5日.
41. 高橋浩樹, 森伸也, “原子配置乱れが量子ドット太陽電池の中間バンドに与える影響”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月12日.
42. 長井克之, 土屋英昭, 小川真人, “Junctionless トランジスタの高濃度チャネルドーピングの影響に関する考察”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月13日.
43. 前川容佑, 木場隼介, 土屋英昭, 小川真人, “短チャネル III-V MOSFET の量子輸送効果”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月13日, 13p-F4-14.
44. 下井田健太, 山田吉宏, 土屋英昭, 小川真人, “Si ナノワイヤ及び InAs ナノワイヤ MOSFET のワイヤ方向依存性能の比較”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月14日.
45. 服部淳一, 宇野重康, “シリコン量子細線における弾道的フォノン熱輸送に与える同位体の影響”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月14日.
46. 程 賀, 宇野重康, 沼田達宏, 中里和郎, “円筒形 GAA-MOSFET 弾道・準弾道輸送の解析コンパクトモデルにおける複数サブバンドの導入”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月14日.
47. 沼田達宏, 宇野重康, 鎌倉良成, 森 伸也, 中里和郎, “弾道輸送に基づく GAA-MOSFET の過渡解析モデル”, 第73回応用物理学会学術講演会, 愛媛大学, 2012年9月14日.
48. 今井裕也, 神岡武文, 鎌倉良成, 大毛利健治, 白石賢二, 丹羽正昭, 山田啓作, 渡邊孝信, “非対称チャネルにおけるキャリア輸送の EMC/MD シミュレーション(II)”, 第73回応用物理学学術講演会, 愛媛大学, 2012年9月14日.
49. 神岡武文, 今井裕也, 鎌倉良成, 大毛利健治, 白石賢二, 丹羽正昭, 山田啓作, 渡邊孝信, “GAA NW チャネルにおける酸化膜中単一トラップ電荷の影響調査:EMC/MD シミュレーションによる解析”, 第73回応用物理学学術講演会, 愛媛大学, 2012年9月14日.
50. 渡辺龍太, 鎌倉良成, “経験的擬ポテンシャル法による 4H-SiC MOS 反転層の2次元電子状態の計算”, 応用物理学会シリコンテクノロジー分科会・第153回研究集会, 機械振興会館, 2012年11月16日.
51. 森伸也, 植松真司, 三成英樹, ミリコフゲナディ, 伊藤公平, “離散不純物がナノワイヤトランジスタの電流電圧特性に及ぼす影響: KMC と NEGF による研究”, 応用物理学会シリコンテクノロジー分科会・第153回研究集会, 機械振興会館, 2012年11月16日.
52. 久木田健太郎, 鎌倉良成, “現実的分散モデルを用いた Si 薄膜中のフォノン輸送モンテカルロ・シミュレーション”, 応用物理学会シリコンテクノロジー分科会・第153回研究集会, 機械振興会館, 2012年11月16日.
53. 久木田健太郎, インドラヌルアディスシロ, 鎌倉良成, “フォノン準弾道輸送効果がナノスケ

- ールデバイスの熱伝導特性に与える影響”, ゲートスタック研究会, 湯河原, 神奈川県, 2013年1月26日.
54. 久木田健太郎, インドラヌルアディスシロ, 鎌倉良成, “フォノン準弾道輸送効果が FinFET の熱伝導特性に与える影響”, 第 60 回春季応用物理学関連連合講演会, 神奈川工科大学, 2013年3月28日.
 55. 鈴木晃人, 今井裕也, 神岡武文, 鎌倉良成, 渡邊孝信, “GPU 並列計算によるキャリア輸送シミュレーションの高速化”, 第 60 回応用物理学会春季学術講演会, 神奈川工科大学, 2013年3月28日.
 56. インドラヌルアディスシロ, 久木田健太郎, 鎌倉良成, “モンテカルロ法による n 型 Si のゼーベック係数の算出”, 第 60 回応用物理学会春季学術講演会, 神奈川工科大学, 2013年3月28日.
 57. 服部淳一, 宇野重康, “シリコン量子細線における弾道的フォノン熱輸送に与えるドープ濃度の影響”, 春季第 60 回応用物理学会学術講演会, 神奈川工科大学, 2013年3月29日.
 58. 服部淳一, 宇野重康, “シリコン量子細線におけるフォノン熱輸送に与える不純物濃度の影響”, 第 162 回応用物理学会シリコンテクノロジー分科会研究集会, 東京, 2013年7月12日.
 59. 大森正規, 木場隼介, 前川容佑, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “ソースドレイン直接トンネリングによる III-V MOSFET の短チャネル化限界”, 第 74 回応用物理学会秋季学術講演会, 同志社大学, 2013年9月19日.
 60. 木場隼介, 石田良馬, 久保田結子, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “MOS 界面における変位ポテンシャル上昇が超薄膜チャネル MOSFET のドレイン電流に与える影響”, 第 74 回応用物理学会秋季学術講演会, 同志社大学, 2013年9月19日.
 61. 石田良馬, 木場隼介, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “短チャネル Si MOSFET の準バリスティック輸送パラメータの抽出”, 第 74 回応用物理学会秋季学術講演会, 同志社大学, 2013年9月19日.
 62. Indra Nur Adisusilo, 久木田健太郎, 鎌倉良成, “Monte Carlo Simulation of Seebeck Coefficient of Si Nanostructure with Barrier Layers,” 第 74 回応用物理学会秋季学術講演会, 同志社大学, 2013年9月19日.
 63. 大森正規, 木場隼介, 前川容佑, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “ウイグナーモンテカルロ法を用いた極微細 III-V MOSFET の量子輸送解析”, 応用物理学会分科会シリコンテクノロジー, 2013年11月15日, 機械振興会館.
 64. 程賀, 宇野重康, 中里和郎, “DIBL 効果を取り入れた弾道・準弾道 GAA-MOSFET のコンパクトモデル”, シリコン材料・デバイス研究会 (SDM), 東京, 2013年11月15日.
 65. 大森正規, 木場隼介, 前川容佑, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “ウイグナーモンテカルロ法を用いた極微細 III-V MOSFET の量子輸送解析”, 応用物理学会シリコンテクノロジー分科会・第 166 回研究集会, 機械振興会館, 2013年11月15日.
 66. インドラヌルアディスシロ, 久木田健太郎, 鎌倉良成, “モンテカルロ法を用いた Si ナノ構造の熱電変換性能に関する解析,” 電子情報通信学会シリコン材料・デバイス研究会 (SDM), 東京, 2013年11月15日.
 67. インドラヌルアディスシロ, 久木田健太郎, 鎌倉良成, “Si ナノ構造の熱電変換性能に関するシミュレーション解析,” ゲートスタック研究会「材料・プロセス・評価の物理」第 19 回研究会, 熱海, 2014年1月25日.
 68. 下井田健太, 森規泰, 土屋英昭, 鎌倉良成, 森伸也, 宇野重康, 小川真人, “原子論的アプローチに基づく Ge ナノワイヤの電子移動度解析”, 第 61 回応用物理学会春季学術講演会, 青山学院大学, 2014年3月18日.
 69. Indra Nur Adisusilo, 久木田健太郎, 鎌倉良成, “Si ナノ構造の熱電変換性能に関するシミュレーション解析,” 第 61 回応用物理学会春季学術講演会, 神奈川, 2014年3月19日.
 70. 土屋英昭, 兼古志郎, 平井秀樹, 森規泰, “シリセン/ゲルマネン/グラフェン FET の電子

- 輸送モデリング”, 応用物理学会分科会 シリコンテクノロジー, 2014年7月4日, 機械振興会館.
71. 程賀, 宇野重康, 中里和郎, “円筒系 GAA-MOSFET におけるソース・ドレイン間トンネル電流の解析コンパクトモデル”, 第 75 回応用物理学会秋季学術講演会, 北海道大学, 2014年9月18日.
 72. 鈴木晃人, 神岡武文, 鎌倉良成, 渡邊孝信, “酸化膜トラップ電荷による Si ナノワイヤトランジスタの電流ばらつきの統計的解析”, 第 75 回応用物理学会秋季学術講演会, 北海道大学, 2014年9月18日.
 73. 服部淳一, 宇野重康, “シリコン量子細線における弾道的フォノン熱輸送に与えるヒ素ドーピングの影響”, 第 75 回応用物理学会秋季学術講演会, 北海道大学, 2014年9月18日.
 74. 土屋英昭, 石田良馬, 鎌倉良成, 森伸也, 宇野重康, 小川真人, “モンテカルロ法を用いた Si ダブルゲート構造 MOSFET の準バリスティック輸送係数の抽出”, 応用物理学会分科会 シリコンテクノロジー, 2014年11月7日, 機械振興会館.
1. Y. Kamakura, T. Zushi, T. Watanabe, N. Mori, and K. Taniguchi, “Impact of self-heating effect on the electrical characteristics of nanoscale devices,” International Symposium on Technology Evolution for Silicon Nano-Electronics, Tokyo, June 3-5, 2010.
 2. T. Watanabe, T. Zushi, Y. Kamakura, K. Taniguchi, I. Ohdomari, “Molecular dynamics simulation on phonon dynamics and heat transport in nanoscale silicon,” International Symposium on Technology Evolution for Silicon Nano-Electronics, Tokyo, Japan, June 3-5, 2010.
 3. H. Minari, T. Kitayama, M. Yamamoto, and N. Mori, “Strain Effects on Hole Current in Silicon Nanowire FETs,” 2010 International Conference on Simulation of Semiconductor Processes and Devices, Bologna, Italy, September 6-8, 2010.
 4. Y. Kamakura, N. Mori, K. Taniguchi, T. Zushi, T. Watanabe, “Coupled Monte Carlo Simulation of Transient Electron-Phonon Transport in Nanoscale Devices,” 2010 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Bologna, Italy, September 6-8, 2010.
 5. J. Hattori, S. Uno, N. Mori, K. Nakazato, “A Theoretical Study of Effect of Gate Voltage on Electron-Modulated-Acoustic-Phonon Interactions in Silicon Nanowire MOSFETs,” 2010 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Bologna, Italy, September 6-8, 2010.
 6. T. Zushi, Y. Kamakura, K. Taniguchi, I. Ohdomari, and T. Watanabe, “Molecular Dynamics Simulation on LO Phonon Mode Decay in Si Nano-Structure Covered with Oxide Films,” 2010 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Bologna, Italy, September 6-8, 2010.
 7. S. Koba, R. Aoyagi, and H. Tsuchiya, “Fully quantum study of silicon devices with scattering based on Wigner Monte Carlo approach,” International Conference on Solid State Devices and Materials (SSDM), Tokyo, pp. 705-706, 22-24 Sep., 2010.
 8. J. Hattori, S. Uno, N. Mori and K. Nakazato, “A Theoretical Study of Electron Wave Function Penetration Effects on Electron-Modulated-Acoustic-Phonon Interactions in Silicon Nanowire MOSFETs,” International Conference on Solid State Devices and Materials (SSDM), Tokyo, Japan, September 22-24 2010.
 9. J. Hattori, S. Uno, N. Mori, and K. Nakazato, “A Theoretical Study of Acoustic Phonon Modulation Effects on Electron-Phonon Interactions in Silicon Nanowire MOSFETs,” 2010 Workshop on Innovative Devices and Systems, Hawaii, USA, December 5-10, 2010.
 10. T. Numata, S. Uno, Anna Sawicka, G. Mil'nikov, Y. Kamakura, N. Mori, and K. Nakazato, “Simplified Method of Electron Subband Profile Calculation in Ballistic Gate-All-Around MOSFET,” 2010 Workshop on Innovative Devices and Systems, Hawaii, USA, December 5-10, 2010.

11. R. Sako, H. Tsuchiya, and M. Ogawa, "Performance projections of ballistic graphene FETs with bilayer graphene and graphene nanoribbon semiconducting channels," 2011 Silicon Nanoelectronics Workshop, Kyoto, pp. 31–32, 12–13 June, 2011.
12. H. Minari, T. Zushi, T. Watanabe, Y. Kamakura, S. Uno, N. Mori, "Impact of oxidation induced atomic disorder in narrow Si nanowires on transistor performance," 2011 Symposium on VLSI Technology (VLSI Symposium), Kyoto, Japan, pp. 122–123, June 13–17, 2011.
13. H. Minari, T. Zushi, T. Watanabe, Y. Kamakura, and N. Mori, "Effects of atomic disorder on carrier transport in Si nanowire transistors," 2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, Japan, pp. 27–30, September 8–10, 2011.
14. G. Mil'nikov, N. Mori, Y. Kamakura, "Low-dimensional quantum transport models in atomistic device simulations," 2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, Japan, pp. 315–318, September 8–10, 2011.
15. S. Koba, H. Tsuchiya, and M. Ogawa, "Wigner Monte Carlo approach to quantum and dissipative transport in Si-MOSFETs," Extended Abstracts of the 2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, pp. 79–82, 8–10 Sep., 2011.
16. T. Numata, S. Uno, Y. Kamakura, N. Mori, and K. Nakazato, "Fully analytic compact model of ballistic gate-all-around MOSFET with rectangular cross section," 2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, Japan, pp. 39–42, September 8–10, 2011.
17. T. Kamioka, H. Imai, T. Watanabe, K. Ohmori, K. Shiraishi, and Y. Kamakura, "Impact of Channel Shape on Carrier Transport Investigated by Ensemble Monte Carlo/Molecular Dynamics Simulation," 2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, Japan, September 8–11, 2011.
18. T. Ota, H. Tsuji, Y. Kamakura, and K. Taniguchi, "Characterization and Modeling of Self-Heating Effect on Transient Current Overshoot in Poly-Si TFTs Fabricated on Glass Substrate," 2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, Japan, September 8–11, 2011.
19. Y. Yamada, H. Tsuchiya, and M. Ogawa, "Electron mobility calculations of free-standing Si-nanowires with atomistic electron-phonon interactions," Extended Abstracts of International Conference on Solid State Devices and Materials (SSDM), Nagoya, pp. 1274–1275, 28–30 Sep., 2011.
20. Y. Kamakura, H. Himukashi, H. Tsuji, and K. Taniguchi, "Characteristics of hot hole injection, trapping, and detrapping in gate oxide of poly-Si TFTs" 2011 International Conference on Solid State Devices and Materials (SSDM), Nagoya, Japan, September 28–30, 2011.
21. K. Kukita and Y. Kamakura, "Monte Carlo Simulation of Phonon Transport in Silicon Thin films Including Realistic Dispersion Relation," 15th International Workshop on Computational Electronics (IWCE), Madison, USA, May 22–25, 2012.
22. N. Mori, M. Uematsu, H. Minari, G. Mil'nikov, and K. M. Itoh, "Impact of discrete dopant in source and drain extensions on characteristics of nanowire transistors: KMC and NEGF study," 15th International Workshop on Computational Electronics (IWCE), Madison, USA, May 22–25, 2012.
23. Y. Isagi, Y. Yamauchi, and Y. Kamakura, "Monte Carlo Simulation of Program Disturb in Contact-Less Virtual Ground NOR Flash Memory," The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Denver, Sep. 5–7.

24. R. Watanabe and Y. Kamakura, "Empirical Pseudopotential Calculations of Two-dimensional Electronic States in 4H-SiC Inversion Layers," The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Denver, September. 5-7, 2012.
25. J. Hattori, and S. Uno, "Isotope Effect on Phonon Thermal Transport in Silicon Nanowires" International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 26 2012.
26. T. Numata, S. Uno, Y. Kamakura, N. Mori and K. Nakazato "An Analytic Circuit Model of Ballistic Nanowire MOSFET for Transient Analysis" International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 26 2012.
27. H. Cheng, S. Uno, T. Numata, and K. Nakazato "Analytic Compact Model of Ballistic and Quasi-ballistic Cylindrical Gate-All-Around MOSFET Including Two Subbands," International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 26 2012.
28. N. Mori, "Inelastic acoustic phonon scattering in ultra-thin SOI and nanowire structures," 2012 International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 25-27, 2012.
29. N. Mori, M. Tomita, H. Minari, T. Watanabe, and N. Koshida, "Disorder-induced enhancement of avalanche multiplication in a silicon nanodot array," 2012 International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 25-27, 2012.
30. J. Hattori, and S. Uno, "Isotope Effect on Phonon Thermal Transport in Silicon Nanowires," International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 26, 2012.
31. M. Uematsu, K. M. Itoh, G. Milnikov, H. Minari, and N. Mori, "Simulation of the Effect of Arsenic Discrete Distribution on Device Characteristics in Silicon Nanowire Transistors," 2012 International Electron Devices Meeting (IEDM), San Francisco, USA, December 10-12, 2012.
32. T. Kamioka, H. Imai, Y. Kamakura, K. Ohmori, K. Shiraishi, M. Niwa, K. Yamada, T. Watanabe, "Current fluctuation in sub-nano second regime in gate-all-around nanowire channels studied with ensemble Monte Carlo/molecular dynamics simulation," 2012 International Electron Devices Meeting (IEDM), San Francisco, USA, December 10-12, 2012.
33. K. Kukita, I. N. Adisusilo, and Y. Kamakura, "Impact of Quasi-Ballistic Phonon Transport on Thermal Properties in Nanoscale Device: A Monte Carlo Approach," 2012 International Electron Devices Meeting (IEDM), San Francisco, USA, December 10-12, 2012.
34. K. Kukita, I.N. Adisusilo, and Y. Kamakura, "Influence of Phonon Dispersion Relation on Thermal Resistance in Silicon Nanostructures," 16th International Workshop on Computational Electronics (IWCE), Nara, June 4-7, 2013.
35. J. Hattori and S. Uno, "Impact of impurity mass on ballistic phonon thermal transport in silicon nanowires," 16th International Workshop on Computational Electronics (IWCE), Nara, June 4-7, 2013.
36. M. Uematsu, K. M. Itoh, G. Milnikov, H. Minari, and N. Mori, "Width dependence of RDD-induced current fluctuation in silicon nanowire transistors", 16th International Workshop on Computational Electronics (IWCE), Nara, June 4-7, 2013.
37. S. Koba, M. Ohmori, Y. Maegawa, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, "Channel length scaling limits of III-V channel MOSFETs governed by source-drain direct tunneling," International Conference on Solid State Devices and Materials (SSDM), Fukuoka, pp. 716-717, 25-27 Sep., 2013.

38. K. Shimoida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, "Performance projections of III-V channel nanowire nMOSFETs in the ballistic transport limit," Solid State Devices and Materials (SSDM), Fukuoka, September 25-27, 2013.
39. N. Mori, T. Edagawa, Y. Kamakura, and L. Eaves, "Effects of acoustic phonon scattering on current-voltage characteristics in graphene-nanoribbon resonant-tunneling transistors," 18th International Conference on Electron Dynamics in Semiconductors, Optoelectronics and Nanostructures, Matsue, Japan, July 22-26, 2013.
40. N. Mori, M. Uematsu, G. Mil'nikov, H. Minari, and K. M. Itoh, "Effects of phonon scattering on discrete-impurity-induced current fluctuation in silicon nanowire transistors," 2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Glasgow, UK, September 3-5, 2013
41. S. Koba, R. Ishida, Y. Kubota, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, "The impact of increased deformation potential at MOS interface on quasi-ballistic transport in ultrathin channel MOSFETs scaled down to sub-10nm channel length," 2013 IEEE International Electron Devices Meeting (IEDM), Washington DC, USA, December 9-11, 2013.
42. C. Clendennen, N. Mori, and H. Tsuchiya, "Performance Comparison of Graphene, Silicene, and Germanene Nanoribbon Field-Effect Transistors," 4th International Symposium on Terahertz Nanoscience, Osaka, March 13-14, 2014.
43. H. Cheng, S. Uno, K. Nakazato, "Analytic Compact Model of Ballistic and Quasi-ballistic Cylindrical Gate-All-Around MOSFET Incorporating Drain-Induced Barrier Lowering Effect", TechConnect World 2014 Workshop on Compact Modeling, Washington DC, USA, June 18, 2014.
44. I. N. Adisusilo, K. Kukita, and Y. Kamakura, "Analysis of Heat Conduction Property in FinFETs Using Phonon Monte Carlo Simulation," The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Yokohama, Sep. 9-11, 2014.
45. G. Mil'nikov and N. Mori, "Electron-phonon interaction in Si nanowire devices: Low field mobility and self-consistent EM NEGF simulations," The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Yokohama, Sep. 9-11, 2014.
46. A. Suzuki, T. Kamioka, Y. Kamakura, and T. Watanabe, "Full-Scale Whole Device EMC/MD Simulation of Si Nanowire Transistor Including Source and Drain Regions by Utilizing Graphic Processing Units," The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Yokohama, Sep. 9-11, 2014.
47. Y. Kamakura, Indra Nur Adisusilo, K. Kukita, G. Wakimura, S. Koba, H. Tsuchiya, and N. Mori, "Coupled Monte Carlo Simulation of Transient Electron-Phonon Transport in Small FETs," International Electron Devices Meeting (IEDM), San Francisco, Dec. 15-17, 2014.

③ ポスター発表 (国内会議 21 件、国際会議 44 件)

1. 平松 佑己, 鎌倉 良成, 森 伸也, "NEGF 計算に基づいたスピントルク磁化反転の時間発展シミュレーション", 飯綱・サイエンスサマー道場, 長野県長野市, 2011 年 8 月 18 日.
2. 高橋浩樹, 三成英樹, 森 伸也, "局所ポテンシャルによる量子ドット超格子の基底ミニバンド低エネルギー化", 飯綱・サイエンスサマー道場, 長野県長野市, 2011 年 8 月 18 日.
3. 平松佑己, 鎌倉良成, 森 伸也, "NEGF 計算に基づいたスピントルク磁化反転の時間発展シミュレーション", 第 72 回応用物理学会学術講演会, 山形大学, 2011 年 8 月 31 日.
4. 滝口直也, 澤本俊, 土屋英昭, 小川真人, "Si ナノワイヤ FET と InAs ナノワイヤ FET の極限性能比較", 第 72 回応用物理学会学術講演会, 山形大学, 2011 年 9 月 1 日.
5. 久木田健太郎, 鎌倉良成, "モンテカルロ法による Si ナノ構造中のフォノン輸送解析," 応用物理学会薄膜・表面物理分科会, シリコンテクノロジー分科会共催特別研究会「ゲートスタック研究会」第 17 回研究会, 静岡, 2012 年 1 月 19-21 日.

6. 森伸也, “極薄シリコン平板およびナノワイヤにおける非弾性音響フォノン散乱, 第 73 回応用物理学学会学術講演会”, 愛媛大学, 2012 年 9 月 13 日.
7. 平松佑己, 森伸也, 鎌倉良成, “MTJ の絶縁膜ゆらぎが素子特性ばらつきに与える影響に関するシミュレーション検討”, 第 73 回応用物理学学会学術講演会, 愛媛大学, 2012 年 9 月 11 日.
8. 服部淳一, 宇野重康, “シリコン量子細線における弾道的フォノン熱輸送に与えるドーパント質量の影響”, 第 60 回応用物理学学会学術講演会, 神奈川工科大学, 2013 年 3 月 29 日.
9. 鎌倉良成, インドラヌルアディスシロ, 久木田 健太郎, “高濃度ドーパ Si のゼーベック係数の計算”, 第 60 回応用物理学学会春季学術講演会, 神奈川工科大学, 2013 年 3 月 29 日.
10. 久木田 健太郎, インドラヌルアディスシロ, 鎌倉良成, “モンテカルロ法によるシリコンナノワイヤのフォノン輸送シミュレーション,” ゲートスタック研究会 第 19 回研究会, 熱海, 2014 年 1 月 24 日.
11. 兼古志郎, 長谷川直実, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “シリセン/ゲルマネン/グラフェンナリボン FET のバリスティック性能評価”, 第 61 回応用物理学学会春季学術講演会, 青山学院大学, 2014 年 3 月 17 日.
12. 下井田健太, 森規泰, 土屋英昭, 鎌倉良成, 森伸也, 宇野重康, 小川真人, “原子論的アプローチに基づく Ge ナノワイヤの電子移動度解析”, 第 61 回応用物理学学会春季学術講演会, 青山学院大学, 2014 年 3 月 18 日.
13. 森伸也, 越田信義, “ナノ結晶シリコンの光起電力特性に対する雪崩増倍効果,” 第 61 回応用物理学学会春季学術講演会, 神奈川, 2014 年 3 月 18 日.
14. 鎌倉良成, 久木田 健太郎, Indra Nur Adisusilo, 脇村 豪, 木場 隼介, 土屋 英昭, 森伸也, “極微細 FET における自己発熱効果の過渡応答シミュレーション,” 第 61 回応用物理学学会春季学術講演会, 神奈川, 2014 年 3 月 18 日.
15. 一居雅人, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “ジャンクションレスタランジスタの表面ラフネス散乱及び不純物散乱の影響”, 第 75 回応用物理学学会秋季学術講演会, 北海道大学, 2014 年 9 月 17 日.
16. クレンデネン啓示, 森伸也, 土屋英昭, “グラフェン/シリセン/ゲルマネンナリボン FET の性能比較”, 第 75 回応用物理学学会秋季学術講演会, 北海道大学, 2014 年 9 月 18 日.
17. 森規泰, 下井田健太, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “単原子層 Ge ナリボンの電子移動度解析”, 第 75 回応用物理学学会秋季学術講演会, 北海道大学, 2014 年 9 月 18 日.
18. 平井秀樹, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “絶縁基板上グラフェンの電子移動度解析”, 第 75 回応用物理学学会秋季学術講演会, 北海道大学, 2014 年 9 月 18 日.
19. 脇村豪, 鎌倉良成, “ダイヤモンドのバンド計算に基づくホットキャリア輸送特性の考察”, 第 75 回応用物理学学会秋季学術講演会, 北海道大学, 2014 年 9 月 19 日.
20. Indra Nur Adisusilo, 久木田健太郎, 脇村豪, 鎌倉良成, “Analysis of Heat Escape Paths in FinFETs Using Phonon Monte Carlo Simulation”, 第 75 回応用物理学学会秋季学術講演会, 北海道大学, 2014 年 9 月 20 日.
21. Indra Nur Adisusilo, 久木田健太郎, 鎌倉良成, “フォノンのモンテカルロ法を用いた FinFET の排熱機構の解析”, 応用物理学学会関西支部平成 26 年度第 2 回講演会, 神戸大学, 2014 年 11 月 12 日.
22. クレンデネン啓示, 森伸也, 土屋英昭, “平坦型 2 次元結晶ナリボン FET の性能比較”, 応用物理学学会関西支部平成 26 年度第 2 回講演会, 神戸大学, 2014 年 11 月 12 日.
23. 石田良馬, 木場隼介, 土屋英昭, 鎌倉良成, 森伸也, 宇野重康, 小川真人, “モンテカルロ法を用いた Si ダブルゲート構造 MOSFET の準バリスティック輸送係数の抽出”, 応用物理学学会関西支部平成 26 年度第 2 回講演会, 神戸大学, 2014 年 11 月 12 日.
24. 平井秀樹, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, “絶縁基板上グラフェンの電子輸送シミュレーション”, 応用物理学学会関西支部平成 26 年度第 2 回講演会, 神戸大学, 2014 年 11 月 12 日.

1. A. Tam, T. Kitayama, and N. Mori, "Numerical Simulation of Electron Motion in Graphene with Vacancies," 2010 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 13-14, 2010.
2. T. Kitayama, H. Minari, and N. Mori, "Modulated Phonon Scattering in Graphene Nano-ribbons," 2010 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 13-14, 2010.
3. N. Mori, Y. Kamakura, G. Mil'nikov, and H. Minari, "Discrete Dopant Effects on Threshold Voltage Variation in Double-Gate and Gate-All-Around MOSFETs," International Symposium on Technology Evolution for Silicon Nano-Electronics, Tokyo, Japan, June 3-5, 2010.
4. T. Watanabe, T. Zushi, Y. Kamakura, K. Taniguchi, I. Ohdomari, "Molecular dynamics simulation on phonon dynamics and heat transport in nanoscale silicon," International Symposium on Technology Evolution for Silicon Nano-Electronics, Tokyo, Japan, June 3-5, 2010.
5. T. Kitayama, H. Minari, N. Mori, "Phonon Modulation Effects on Scattering Rate in Graphene Nano-Ribbons," 2nd Global COE Student Conference on Innovative Electronic Topics, Osaka, Japan, July 28-29, 2010.
6. N. Mori, H. Minari, S. Uno, and J. Hattori, "Ellipsoidal Band Structure Effects on Maximum Ballistic Current in Silicon Nanowires," 2010 International Conference on Solid State Devices and Materials (SSDM), Tokyo, Japan, September 22-24, 2010.
7. T. Numata, S. Uno, A. Sawicka, K. Nakazato, G. Mil'nikov, Y. Kamakura, N. Mori, "Simplified Calculation Method of Electron Subband Profile in Ballistic Nanowire MOSFET," 14th International Workshop on Computational Electronics (IWCE), Pisa, Italy, October 26-29 2010.
8. G. V. Mil'nikov, N. Mori, Y. Kamakura, and H. Minari, "Subband Representation in Atomistic Transport Simulation of Nanowire Transistors," 14th International Workshop on Computational Electronics (IWCE), Pisa, Italy, October 27th-29th, 2010.
9. M. Yamamoto, T. Kitayama, H. Minari, and N. Mori, "Effects of a strained layer on transport characteristics of tunnel transistor," 2011 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 19-20, 2011.
10. H. Takahashi, H. Minari, and N. Mori, "Tailoring the electronic properties of vertically stacked quantum-dots by local potential modulation," 2011 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 19-20, 2011.
11. Y. Hiramatsu, Y. Kamakura, N. Mori, and K. Taniguchi, "NEGF Simulation of Spin-Transfer Torque in Magnetic Tunnel Junctions," 2011 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 19-20, 2011.
12. T. Ota, Y. Kamakura, and K. Taniguchi, "Characterization of Transient Drain Current Overshoot in Poly-Si TFTs," The 2011 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 19-20, 2011.
13. R. Watanabe, Y. Kamakura, and K. Taniguchi, "Effect of Higher Conduction Band on Electron Mobility in 4H-SiC Inversion Layers," The 2011 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 19-20, 2011.
14. Y. Maegawa, S. Koba, H. Tsuchiya, and M. Ogawa, "Simulation of electron transport in source and drain electrodes of ultrathin body III-V channel MOSFETs," International Conference on Solid State Devices and Materials (SSDM), Nagoya, 28-30 Sep., 2011.
15. K. Kukita and Y. Kamakura, "Monte Carlo Simulation of Transient Phonon Transport in Silicon Nanostructures," International Symposium on Materials Science and Innovation for Sustainable Society -Eco-materials and Eco-innovation for Global Sustainability-, Osaka, Nov. 28-30, 2011.

16. K. Kukita and Y. Kamakura, "Monte Carlo Simulation of Transient Phonon Transport in Silicon Nanostructures" 15th International Conference on Thin Films, 2011, Kyoto, Japan, November 8–11, 2011.
17. M. Yamamoto, H. Minari, and N. Mori, "Simplified Potential Model for Space Charge Effects in Tunnel Transistors," International Symposium on Advanced Nanodevices and Nanotechnology, Hawaii, USA, December 4–9, 2011.
18. H. Takahashi, H. Minari, and N. Mori, "Impact of Atomic Disorder on Electronic States in Vertically Stacked Quantum Dots," International Symposium on Advanced Nanodevices and Nanotechnology, Hawaii, USA, December 4–9, 2011.
19. K. Shimoida, Y. Yamada, R. Sako, H. Tsuchiya, and M. Ogawa, "A comparative study on drive currents and consumption powers of Si and InAs nanowire MOSFETs based on atomistic ballistic simulation," 8th International Nanotechnology Conference on communication and cooperation (INC8), Tsukuba, 8–11 May, 2012.
20. T. Ohmi and Y. Kamakura, "Band Structure Calculation of Strained Graphene on Hexagonal Boron Nitride," The 2012 International Meeting for Future of Electron Devices, Kansai, Osaka, May 9–11, 2012.
21. K. Nakamura and N. Mori, "Monte Carlo simulation of photoexcited carriers in InAs thin films," 2012 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 9–11, 2012.
22. H. Takahashi and N. Mori, "Atomic disorder effects on electronic states in InAs/slash GaAs intermediate-band solar cells," 2012 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 9–11, 2012.
23. Y. Yan and N. Mori, "Ellipsoidal band structure effects on current-voltage characteristics in silicon nanowire transistors," 2012 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 9–11, 2012.
24. Y. Maegawa, S. Koba, H. Tsuchiya, and M. Ogawa, Quantum transport simulation of III–V MOSFETs based on Wigner Monte Carlo approach, 2012 IEEE Silicon Nanoelectronics Workshop, Honolulu, June 10–11, 2012.
25. G. Mil'nikov, N. Mori, and Y. Kamakura, Universal transport properties of random nanowires, 15th International Workshop on Computational Electronics (IWCE), Madison, USA, May 22–25, 2012.
26. M. Uematsu, K. M. Itoh, G. Milnikov, H. Minari, and N. Mori, "Discrete distribution of implanted and annealed arsenic atoms in silicon nanowires and its effect on device performance," European Materials Research Society 2012 Fall Meeting, Warsaw, Poland, 4–17, September 17–21, 2012.
27. K. Shimoida, Y. Yamada, H. Tsuchiya, and M. Ogawa, "Wire-orientation dependence in device performances of Si and InAs nanowire MOSFETs under ballistic transport," International Conference on Solid State Devices and Materials (SSDM), Kyoto, pp. 86–87, 25–27 Sep., 2012.
28. K. Nagai, S. Koba, H. Tsuchiya, and M. Ogawa, "Monte Carlo study on the role of high channel doping in junctionless transistors," International Conference on Solid State Devices and Materials (SSDM), Kyoto, 25–27 Sep., 2012.
29. T. Numata, S. Uno, Y. Kamakura, N. Mori and K. Nakazato "An Analytic Circuit Model of Ballistic Nanowire MOSFET for Transient Analysis" International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 26, 2012.
30. H. Cheng, S. Uno, T. Numata, and K. Nakazato "Analytic Compact Model of Ballistic and Quasi-ballistic Cylindrical Gate-All-Around MOSFET Including Two Subbands" International Conference on Solid State Devices and Materials (SSDM), Kyoto, Japan, September 26, 2012.

31. Y. Hiramatsu, N. Mori, and Y. Kamakura, "Device Modeling and Circuit Simulation of Spin-Transfer-Torque MRAM Considering Variability," Workshop on Innovative Nanoscale Devices and Systems, Hawaii, Dec. 2-7, 2012.
32. H. Takahashi and N. Mori, "Atomic disorder effects on optical absorption spectra of vertically stacked InAs/GaAs quantum dots," Workshop on Innovative Nanoscale Devices and Systems, Hawaii, Dec. 2-7, 2012.
33. I. N. Adisusilo, K. Kukita, and Y. Kamakura, "Monte Carlo simulation of Seebeck coefficient of Si nanostructure with barrier layers," 2013 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, Jun. 5-6, 2013.
34. R. Watanabe and Y. Kamakura, "Effect of non-parabolic band structure on quantum confined electronic states in 4H-SiC inversion layers," 2013 International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, June 5-6, 2013.
35. Y. Hiramatsu, N. Mori, and Y. Kamakura, "Modeling of current distribution through metal-insulator-metal diodes with tunnel barrier roughness," 16th International Workshop on Computational Electronics (IWCE), Nara, Japan, June 4-7, 2013.
36. K. Shimoida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, "Performance projections of III-V channel nanowire nMOSFETs in the ballistic transport limit," International Conference on Solid State Devices and Materials (SSDM), Fukuoka, pp. 422-423, 25-27 Sep., 2013.
37. K. Kukita, Y. Kamakura, and I. N. Adisusilo, "The Effect of Realistic Dispersion Relation on Thermal Conduction in Silicon Nanowire," 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka, 2013.
38. N. Mori, T. Edagawa, Y. Kamakura, and L. Eaves, "Nonequilibrium Green function simulations of graphene-nanoribbon resonant-tunneling transistors," 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka, Japan, September 25-27, 2013.
39. T. Yamana and N. Mori, "Quantum Transport Simulation of Ultra-small V-groove Junctionless Transistors," 2014 International Meeting for Future of Electron Devices, Kansai, Kyoto, Japan, June 19-20, 2014.
40. I. N. Adisusilo, K. Kukita, and Y. Kamakura, "Monte Carlo Simulation of Thermoelectric Properties in Si Nanostructures," 17th International Workshop on Computational Electronics (IWCE), Paris, June 3-5, 2014).
41. R. Ishida, S. Koba, H. Tsuchiya, Y. Kamakura, N. Mori, S. Uno, and M. Ogawa, "Extraction of quasi-ballistic transport parameters in Si double-gate MOSFETs based on Monte Carlo method," Extended Abstracts of the 2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Yokohama, pp. 153-156, 9-11 Sep., 2014.

(4)知財出願

①国内出願 (2件)

1. 発明の名称 デバイス・シミュレータ、デバイス・シミュレーションの方法、および、デバイス・シミュレーション・プログラム
 発明者 森 伸也, 美里劫 夏南
 出願人 独立行政法人科学技術振興機構
 出願日 平成26年7月18日
 出願番号 2014-148055

2. 発明の名称 電界効果トランジスタのソース・ドレイン形成
発明者 植松 真司, 伊藤 公平, 森 伸也
出願人 独立行政法人科学技術振興機構
出願日 平成26年10月下旬予定
出願番号 未定

②海外出願 (0件)

(5)受賞・報道等

①受賞

1. 山田 吉宏, 2010年IEEE EDS Kansai Chapter MSFK Award (Student Award), “Quantum Transport Simulation of Silicon-Nanowire Transistors Based on Direct Solution Approach of the Wigner Transport Equation” (2010年10月22日).
2. 久木田 健太郎, IWCE2012 Student Travel Award, “Monte Carlo Simulation of Phonon Transport in Silicon Thin films Including Realistic Dispersion Relation” (2012年5月25日)
3. 久木田 健太郎, 応用物理学会 薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会「ゲートスタック研究会 —材料・プロセス・評価の物理—」(第18回) 服部賞(若手奨励賞), 「フォノン準弾道輸送効果がナノスケールデバイスの熱伝導特性に与える影響」(2013年1月25日).
4. 久木田 健太郎, 第11回 2012年IEEE EDS Student Award (IEDM), “Impact of Quasi-Ballistic Phonon Transport on Thermal Properties in Nanoscale Devices: A Monte Carlo Approach” (2013年2月4日).
5. Indra Nur Adisusilo, IEEE EDS Kansai Chapter IMFEDK Student Paper Award, “Monte Carlo Simulation of Seebeck Coefficient of Si Nanostructure with Barrier Layers” (2013年6月6日).
6. 木場 隼介, 第12回 2013年IEEE EDS Student Award (IEDM), “The Impact of Increased Deformation Potential at MOS Interface on Quasi-Ballistic Transport in Ultrathin Channel MOSFETs Scaled down to Sub-10 nm Channel Length” (2014年2月3日).
- * 7. 森 伸也, 英国ノッティンガム大学名誉教授 (2014年8月1日)
- * 8. 木場 隼介, 2014年SSDM Young Researcher Award, “Channel Length Scaling Limits of III-V Channel MOSFETs Governed by Source-Drain Direct Tunneling,”(2014年9月8日).

②マスコミ(新聞・TV等)報道

1. 日刊工業新聞, 半導体デバイスの性能予測・シミュレート高速化, 2013年12月11日.
2. 日本経済新聞, 半導体素子設計1000倍以上速く, 2013年12月24日.

プレス発表(2013年12月9日)概要

- ・ 極めて微細な半導体ナノデバイスの電気的な特性を予測するには, 量子力学的な効果を取り入れた複雑な計算に多くの時間がかかるため, 回路設計に応用することは困難であった.
- ・ 今回開発した新方式のシミュレータでは, 計算量を従来の1000分の1以下に削減し, 従来1年以上かかるような量子論的效果を含んだ計算を, 通常のパソコン1台により数日で計算可能.
- ・ ナノワイヤやナノピラーなどの新しいデバイスの回路設計に応用できると期待される.

③その他

(6)成果展開事例

①社会還元的な展開活動

原子論から始めて回路モデルまでというコンセプトで研究を行ってきたが、この方向性をさらに進めまた普及させるため、JST-CREST 国際強化支援策の援助を受けて、2014年9月8日に、「ナノランジスタにおけるキャリア輸送」と「コンパクトモデル」と題した2つのワークショップを主催し、国内外から119名の出席者を集めた。

§ 5 研究期間中の活動

5. 1 主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
2009年 12月15日	チーム内ミーティング (非公開)	大阪大学	11人	研究進捗報告のためのミーティング
2010年 5月27日	チーム内ミーティング (非公開)	大阪大学	13人	研究進捗報告のためのミーティング
2010年 8月27日	チーム内ミーティング (非公開)	名古屋大学	14人	研究進捗報告のためのミーティング
2010年12月 10日-11日	チーム内ミーティング (非公開)	かんぼの宿 有馬	13人	研究進捗報告のためのミーティング
2011年 7月29日	チーム内ミーティング (非公開)	大阪大学	19人	研究進捗報告のためのミーティング
2011年 11月15日	チーム内ミーティング (非公開)	大阪大学	20人	研究進捗報告のためのミーティング
2013年 3月14日	応用物理学会関西支部 セミナー「先端半導体デ バイスのシミュレーショ ン」	大阪大学	23人	学術交流
2013年6月 4-7日	第16回計算電子工学 に関するワークショップ (IWCE)	奈良県 新公会堂	132人	学術交流
2014年3月 14日	応用物理学会関西支部 セミナー「半導体デバイ スにおける電子熱輸送 の物理」	大阪大学	11人	学術交流
2014年 9月8日	SISPAD2014 JST-CREST ワークショ ップ「コンパクトモデル」	メルパルク 横浜	55人	学術交流
2014年 9月8日	SISPAD2014 JST-CREST ワークショ ップ「ナノトランジスタに おけるキャリア輸送」	メルパルク 横浜	64人	学術交流
2014年9月 9-11日	2014年半導体のプロセ ス、デバイスのシミュレ ーションに関する国際会 議(SISPAD)	メルパルク 横浜	189人	学術交流

§6 最後に

当初考えていた項目については可能な形で研究をまとめることができた。しかし、シミュレータというものの性格として、精度向上や新たな物理モデルの導入など、さらなる拡張が可能であり、現在のチームを元に、なんらかの形で、今後も共同で研究を続けたいと考えている。その際、現在のチーム構成は、原子論から始めて回路モデルまでの理論をもれなくカバーすることができる構成となっているが、実測との比較において若干欠けている点は否めない。今後は、そのような面を補えるような、より大きな枠組みの中で研究を続けることができると考えている。