

# 研究報告書

## 「階層融合型機能的冗長化による次世代低電力デバイス向け高信頼化設計」

研究タイプ: 通常型

研究期間: 平成 25 年 10 月～平成 29 年 3 月

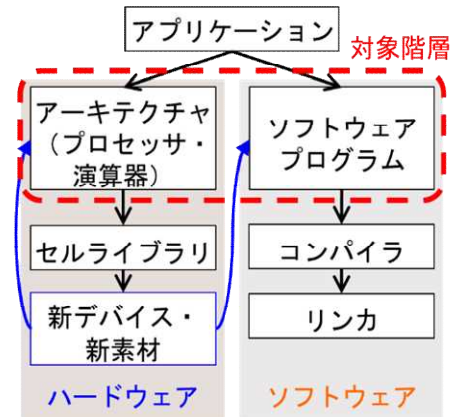
研究者: 原 祐子

### 1. 研究のねらい

近年、様々な IoT アプリケーションやサービスが創出されている。今後は、センシングのみではなく、クラウドを介さずエッジ端末のみでリアルタイムにアプリケーションを処理する要求が高まる。IoT アプリケーションの多くを支えるエッジ端末は大量配布されるため、エネルギー消費量、高信頼性(サービス・メンテナンスコスト)が大きな課題である。

一方、CMOS の微細化・低電力化のみでなく、新デバイス・新材料を用いたポストシリコンデバイスなど様々な低電力デバイスの研究開発が進んでいる。エネルギー消費量などの観点から、これらの低電力デバイス(以後、次世代低電力デバイス)をIoTアプリケーションへ積極的に活用することが期待される。しかし、製造時故障・経年劣化への脆弱性が回路の寿命(MTTF; Mean Time To Failure)へ大きな影響を与える点が、実用化への大きなボトルネックとなっている。

本研究のねらいは、(1)エッジ端末への演算回路搭載によるIoTアプリケーション・サービスの充実、(2)次世代低電力デバイスの積極的な利活用、(3)エッジ端末回路の高信頼設計、という 3 点の課題をすべて解決する上流(ソフトウェア、プロセッサ、演算器)設計技術を実現することである。特に、課題(3)では、図1に示す通り、次世代低電力デバイスの脆弱性を上流(ソフトウェア、プロセッサ、演算器)設計で考慮・補完する耐故障化設計手法を構築することで、新デバイス・新材料の早期実用化を促進、および、設計生産性の改善が期待される。デバイスの故障の種類・時期に応じて種々の耐故障化技術を開発し、それらを統合することで、入力(使用するデバイス、対象アプリケーション、設計制約)に対して最適な高信頼ハードウェア・ソフトウェアを自動設計するフレームワークを開発し、次世代低電力デバイスの実用化加速を狙う。



次世代デバイスの短所を補う上流自動設計(CAD)技術で積極的活用を促進  
【図1：研究対象の階層】

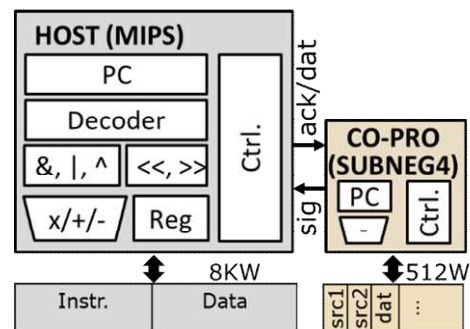
### 2. 研究成果

#### (1)概要

演算処理を行う回路の故障は、いつ起きるか(製造時と経年劣化)とどのような故障か(永久故障と遅延故障)で各々二種に大別される。製造時故障については、製造後テストで故障を検出した場合、回路を部分再構成して故障回避する演算器設計手法(研究テーマ A)を考案した。経年劣化については、故障検出・回避専用のソフトウェア(研究テーマ B・C)およびプロ

セッサ(研究テーマ C)を用いる手法を考案した。研究期間内では、経年劣化による故障の検出・回避に絞って提案手法の有用性を評価した。

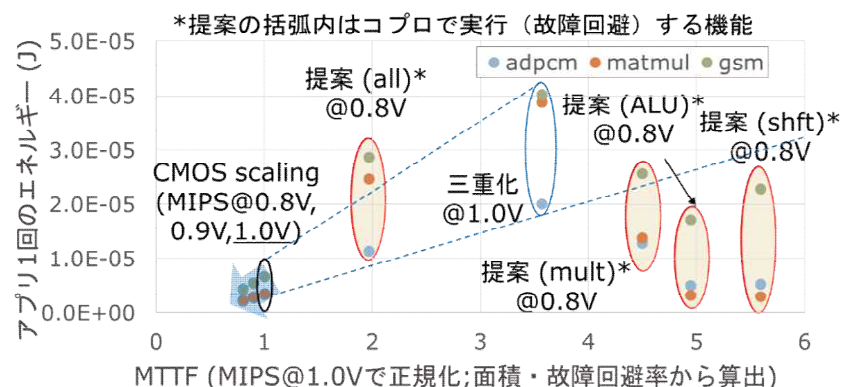
本提案手法では、耐故障化対象回路(評価では MIPS プロセッサ)に対して単一命令セットコンピュータ(OISC; One Instruction Set Computer)の subneg4 を用いる(図2)。OISC は、一種類の命令であらゆる演算を実行可能である。命令が一種であるため回路規模が小さい反面、MIPS の 1 命令と同等の処理を完了するために複数命令実行する必要がある。本研究では、OISC は MIPS と並列動作させ、可能な限り MIPS と等価な処理を行い、結果を比較することで故障検出する。全ての演算を検査せずに、従来手法(二重化)以上の故障検出率を実現した。さらに、故障演算器を使用する演算を全て OISC で代替処理することで、故障回避も行。実アプリケーション 3 種に対して、MIPS の故障回避を行った結果を図3に示す。横軸は MTTF(現在の CMOS デバイスの結果で正規化)、縦軸は故障回避時のアプリケーション 1 回分のエネルギー消費を示す。CMOS 微細化は、エネルギー消費量だけでなく MTTF まで低下させる。従来手法(三重化)は、冗長設計によりエネルギー消費が肥大化する。すなわち、従来は図 3 の青点線内の MTTF・エネルギーのトレードオフしか実現できない。本提案手法により、アプリケーションや故障によって差はあるものの、多くの場合で従来手法より MTTF 改善(高信頼化)とエネルギー削減を両立できている。



【図 2 : 提案手法概略図】

結果を比較することで故障検出する。全ての演算を検査せずに、従来手法(二重化)以上の故障検出率を実現した。さらに、故障演算器を使用する演算を全て OISC で代替処理することで、故障回避も行。実アプリケーション 3 種に対して、MIPS の故障回避を行った結果を図3に示す。横軸は MTTF(現在の CMOS デバイスの結果で正規化)、縦軸は故障回避時のアプリケーション 1 回分のエネルギー消費を示す。CMOS 微細化は、エネルギー消費量だけでなく MTTF まで低下させる。従来手法(三重化)は、冗長設計によりエネルギー消費が肥大化する。すなわち、従来は図 3 の青点線内の MTTF・エネルギーのトレードオフしか実現できない。

本提案手法により、アプリケーションや故障によって差はあるものの、多くの場合で従来手法より MTTF 改善(高信頼化)とエネルギー削減を両立できている。



【図 3 : 故障回避時の信頼性・エネルギー消費量】

その他、経年劣化による遅延故障

発生を抑制するソフトウェア・プロセッサ設計手法(研究テーマ D)を考案した。また、乗算器の故障回避オーバーヘッドを削減するため、故障が乗算結果に与える影響を調査した(研究テーマ E)。これらを併用することで、故障数および故障回避オーバーヘッドを抑え、図 3 の結果をさらに改善できると考えられる。

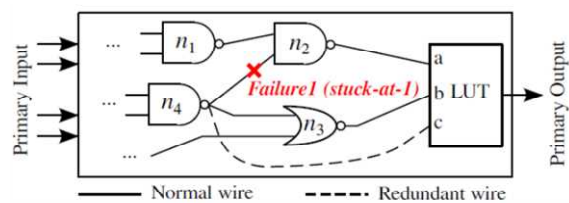
## (2) 詳細

### ●研究テーマ A「部分的再構成可能な演算器設計による製造時故障回避」[論文 2]

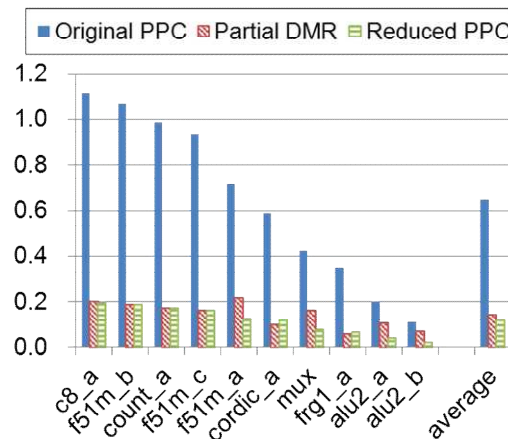
研究成果:回路設計では、製造後に動作検証・テストを行う。これまでは、回路の二重化でしかテストによって検出された故障を回避できなかった。本研究では、回路中に予め再構成可能な論理ブロック (LUT; Look-Up Table) を埋め込み、故障に応じて柔軟に論理を変更(再構

成)する手法を考案した(図 4(a))。回路中のどの程度(入力数)の LUT をどこに埋め込むかが重要な課題である。本研究では、LUT のサイズと挿入位置を効率良く探索するアルゴリズムを考案した。永久故障を対象に、同等の故障回避を実現するために要する面積オーバーヘッドを評価した(図 4(b))。提案手法(Reduced PPC)は既存手法(二重化)より少ない面積オーバーヘッドで等価な故障回避を実現できる。

達成状況: 演算器設計に本手法を適用することを想定している。演算器が大規模になるほど、最適な LUT のサイズと挿入位置を決定するのは非常に困難であるが、本研究は現実的な時間内で探索・決定する指針を示した。設計手法・環境構築は達成した。



【図4(a) : Partially Programmable Circuit (PPC)】



【図4(b) : 故障回避に要する面積オーバーヘッド】

#### ●研究テーマ B「経年劣化による故障を回避するソフトウェア手法」[論文 3]

研究成果: プロセッサ中に故障が起こった場合でも、その故障箇所を使わずにアプリケーションを実行することができれば故障を回避することができる。本手法では、故障確率は面積に比例するものとして、EX ステージ内の演算器に着目し、それぞれの演算器に対する故障回避プログラムとそれを実行可能な小規模回路を予め付加することで故障回避する手法を提案した。本手法の成果は図3に示した通りである。

達成状況: 本研究の主たる成果である研究テーマ C のシーズになった。エネルギー削減のための改良の余地はあるものの、故障回避の効果としては概ね期待した成果を得られた。

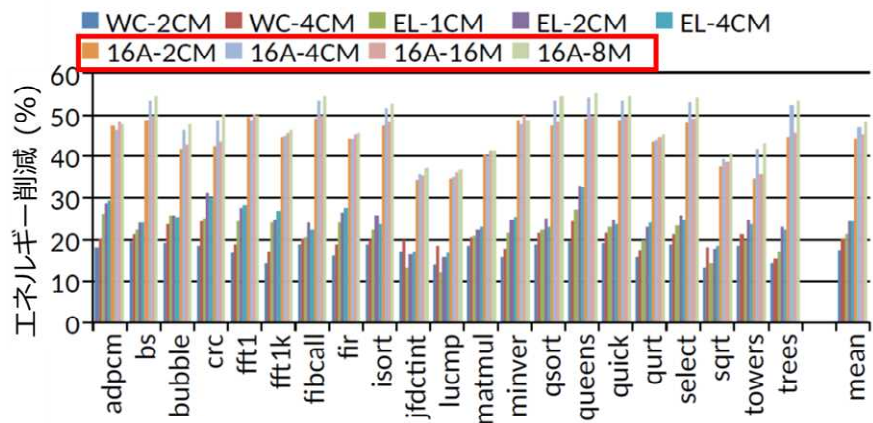
#### ●研究テーマ C「経年劣化による故障を検出・回避するプロセッサとその設計環境」[論文4、論文6]

研究成果: 研究テーマ B で考案した故障回避するソフトウェア手法を拡張・改良し、故障検出およびさらに効率的な故障回避を実現した(論文4)。故障検出・回避用ソフトウェアを実行する回路(subleq 0(論文6)または subneg4)を開発し、故障検出率および故障回避時のエネルギー効率を改善した。アーキテクチャ全体の概略図および成果は、それぞれ図2および図3に示した通りである(図2および図3では、subleq 0を更に改良した subneg4 を使用)。

達成状況: 経年劣化によって起こる永久故障と遅延故障の両者を対象にしている。永久故障の評価は完了し、期待する効果を達成したことを確認した。遅延故障も同様に検出可能であることは確認済みだが、評価は未完了であり引き続き評価を行い実証する。

## ●研究テーマ D「遅延故障発生を抑制するソフトウェア・プロセッサ設計手法」[論文 1]

研究成果：経年劣化による遅延故障は、まず乗算器や ALU のような大きな演算器から発生する。従来は遅延故障を起こさないように周波数や電源電圧にマージンを設定し



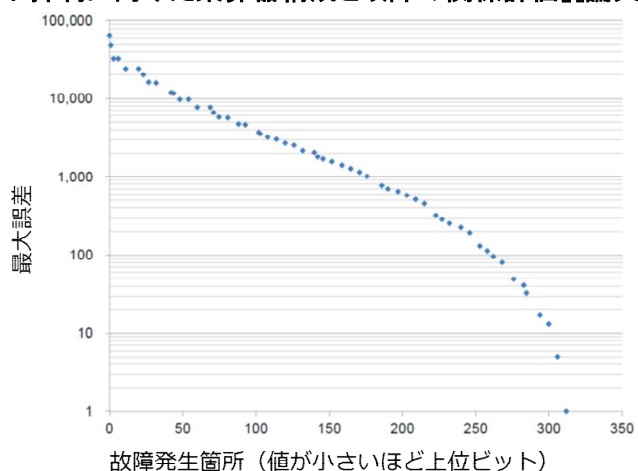
【図 5：エネルギー削減効果（提案手法は赤枠）】

て動作させるが、性能改善やエネルギー削減のボトルネックになる。代替案としては、小さい演算器を複数回使用する手法があるが（例：32 ビット乗算器 1 回使用する代わりに 16 ビット乗算器を 4 回使用）、実行サイクル数とのトレードオフであり、最適設計は困難である。さらに、従来手法は乗算器を主眼にしており、2 番目のボトルネックである ALU の対策手法が欠けている。本研究では、乗算器および ALU に着目して、上述の命令分解の粒度とその命令セット・プロセッサ拡張を定量的に評価した。図 5 は、遅延故障を起こさないように命令セット・プロセッサ拡張を行った場合のエネルギー削減率を示している。回路面積および周波数改善により、大幅なエネルギー削減を実現できた。本手法によって探索した命令セット・プロセッサ拡張を適用することで、図 3 の結果をさらに改善できる。

達成状況：本手法の効果は十分検証できたと考えられる。本手法を適用すると MIPS の演算実行に複数サイクル要するため、研究テーマ C と併用するには図 3 のアーキテクチャの拡張が必要である。引き続き、統合に向けて拡張・改良を進める。

## ●研究テーマ E「故障回避オーバーヘッド抑制に向けた乗算器構成と故障の関係評価」[論文 5、論文 7]

研究成果：図 3 に示した通り、乗算器の故障回避はエネルギーオーバーヘッドが大きい。アプリケーションと故障箇所によっては故障の影響はないあるいは無視できるため、検出後も回避せずそのまま MIPS の乗算器を使用できる可能性がある。本研究ではまず 8 ビットの乗算器を対象に、故障箇所と故障の影響（最大誤差）の関係を調査した。網羅的な実験評価により、上述の通り、故障の影響をほとんど無視できる場合が十分あることを確認した（図 6）。本知見を 32 ビット乗算器に反映することで、図 3 の結果をさらに改善できることが期待される。



【図 6：8 ビット乗算器における故障の影響】



達成状況:本研究は、研究テーマCの評価から着想を得た。まだ8ビット乗算器のみでしか評価できておらず達成度は高くないが十分な手応えを感じているため、今後は 32 ビット乗算器への適用およびアプリケーションの特徴(許容誤差)抽出を行い、他の手法と併用・評価したいと考えている。

### 3. 今後の展開

#### ●本研究の拡張・改善

本研究では FPGA を用いて、次世代低電力デバイスを想定した見積もり評価を行った。更なる拡張・改良の後、実際の次世代低電力デバイス実機での評価を検討・展開していく。さきがけ研究などを通して意見交換しているデバイス・材料の研究者と、密な議論を重ねていきたい。

また、近年、処理性能・エネルギー効率の観点からヘテロジニアス・マルチコアプロセッサの需要が高まっており、本研究のアーキテクチャもそれに相当する。開発済みの自動設計環境を活用しつつ、IoT・ビッグデータアプリケーションに向けた応用・拡張を展開する。

#### ●OISC の拡張・応用

本研究で故障検出・回避に用いた小型プロセッサ subneg4 を拡張・改善する。2016 年 12 月から開始している ACT-「情報と未来」において、IoT・ビッグデータのストリームデータ処理に特化したメニーコアプロセッサに応用する。小型・省エネルギーを両立するメニーコアプロセッサとその設計環境構築に展開する。

### 4. 評価

#### (1) 自己評価

##### (研究者)

#### ●研究目標の達成状況

本研究課題は、分野縦断型融合(上流のアプリケーション・回路設計から下流のデバイス・材料までの研究・技術統合)を目指し、それを目標に設定して取り組んできた。当初は「次世代低電力デバイスをすぐに実用可能な自動設計技術の確立」を目指し、開発段階のデバイスのパラメータや抽象モデルをすぐに得られると期待していたが、非常に困難であるということを経験し、さきがけ研究者との交流を通して感じ取った。しかし同時に、上流自動設計で確立すべき技術、すなわち、次世代低電力デバイスの製造技術ができればすぐに必要になる技術が何かという視点から、改めて本研究の価値・位置づけを考え直し、下流技術(デバイス・材料)への一定の貢献ができたと考えている。具体的には、次世代低電力デバイスで回路を実現できるようになった際に、まずは回路中の故障検出・回避による高信頼化設計は不可欠な技術であり、その技術の実現という目標は達成できた。ただし、各々のデバイスの特徴を考慮して、上流設計で回路の故障を救済する点は課題として残っている。デバイス・材料技術の発展とともに、今後も検討していく必要があると考えている。

一方、上流設計者に対しても、対象デバイスによらず今すぐに利用できる高信頼設計の新たな選択肢を提供できた点は、当初の目標以上の成果であったと考えている。

#### ●研究の進め方

本研究開始直後に異動があったことから、最初に軌道に乗るまでに時間を要した。特に、新たな環境で研究・評価環境を揃えるまで、当初の想定以上の時間を要した。2 年度目後半頃から、徐々に研究実施体制が整い、新たなアイデアや課題を創出することができた。

当初の想定通り、回路設計用のソフトウェアを使用するためにハイパフォーマンスな計算機環境(サーバ等)を充実させる必要があり、本研究費を有効に執行できたと考えている。

#### ●研究成果の科学技術及び社会・経済への波及効果

技術面については上記「研究目標の達成状況」で述べた通り、上流設計からの回路の効率的な高信頼化(故障検出・回避)を実現したことによって、デバイス・材料に起因する MTTF(寿命)の課題を改善できた。すなわち、デバイス・材料レベルで解決すべき課題の閾値を下げ、実用化までの時間を短縮する効果がある。上流設計技術に対しても、高信頼化技術の新たな選択肢と、その技術を含めた自動設計環境を実現したことによる技術的貢献は大きい。

また、IoT アプリケーション・サービスの高度化・複雑化に伴い、社会・経済への貢献も増すと期待される。本技術によって実現可能な IoT アプリケーション、提供可能なサービスを拡充することができ、特に社会の安全・安心、市場経済の拡大などへの波及効果は高い。これらの効果は、従来の CMOS デバイスにおいても期待できるが、最終的に次世代低電力デバイスと融合することによりその効果は更に高まることが期待される。

#### ●その他

新デバイス・材料を実用化するためには、分野縦断の技術融合・協力がなければ成し得ない。さがけ領域内の研究者や本研究が切欠になり生まれた領域外の研究者との交流を通じて、各レイヤーの研究・技術の現状・課題・目標を相互に理解することができた。また、相互理解のために、領域内研究者らとの勉強会を発案・発起できたことは、大きな貢献であったと考えている。

(2) 研究総括評価(本研究課題について、研究期間中に実施された、年2回の領域会議での評価フィードバックを踏まえつつ、以下の通り、事後評価を行った)。

#### (研究総括)

次世代低電力デバイス(超微細 CMOS、CNT、グラフェン、有機デバイス等)で顕著になると考えられる遅延故障や永久故障などの経年劣化の課題を、CAD レイヤーの上位設計の立場から改善することを目標とし、高信頼 CAD 設計技術を構築することを目指した。多様化する IoT に活用される端末への適用をターゲットとし、端末単体での故障診断・検出・回復を目的とした。既存手法の多重化(三重化)と比較して、少ない面積オーバーヘッド(低コスト)、データパスの規模によらない利用(汎用性)を実現した。

次世代デバイスの経年劣化について上位設計からの耐故障設計については、極めて重要な視点である。今後次世代デバイスの特性や再現性等のデータが共有されるような状況になれば、本研究成果の波及効果が出てくると思われる。また、FPGA ではなく ASIC や SoC による評価、更には低電圧動作 CMOS や次世代デバイスによる有用性が示されれば、産業的にインパクトが出てくると考える。

さがけ期間中に奈良先端大助教から東工大准教授に昇進、学会での受賞もあり、さが

がけ研究者のイメージアップにも貢献した。

今後、本研究が起爆剤となって、故障メカニズム、プロセス設計、生産、評価解析、テストなどの専門家が集い、それらに立脚した設計が行われ、さらに上位からの自己診断、故障回避・回復設計へと深化していく体系的な高信頼 CAD 設計技術が構築されることを期待する。

## 5. 主な研究成果リスト

### (1) 論文(原著論文)発表

1. Y. Hara-Azumi et al., "Emulator-Oriented Tiny Processors for Unreliable Post-Silicon Devices: A Case Study", Asia and South Pacific Design Automation Conf., pp.85-90, 2014.
2. S. Sanae et al., "Better-than-DMR Techniques for Yield Improvement", Intl. Symp. on Field-Programmable Custom Computing Machines, p.34, 2014.
3. Y. Hara-Azumi et al., "Instruction-Set Extension of Embedded Microprocessor for Timing Speculation," Intl. Conf. on Integrated Circuits, Design, and Verification, pp. 67-72, 2015.
4. T. Ahmed et al., "Synthesizable-from-C Embedded Processor Based on MIPS-ISA and OISC", Intl. Conf. on Embedded and Ubiquitous Computing, pp. 114-123, 2015.
5. T. Yamamoto et al., "A Systematic Methodology for Design and Analysis of Approximate Array Multipliers", Asia Pacific Conf. on Circuits and Systems, pp. 352-354, 2016.
6. N. Sakamoto et al., "Subleq $\Theta$ : An Area-Efficient Two-Instruction-Set Computer", IEEE Embedded Systems Letters (採択決定).
7. T. Yamamoto et al., "A Systematic Methodology for Design and Worst-Case Error Analysis of Approximate Array Multipliers," IEICE Transactions on Information and Systems (採択決定).

### (2) 特許出願

研究期間累積件数:0件

### (3) その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)

#### ●研究成果物

研究テーマ C のフレームワークおよび拡張した小型プロセッサのプログラム一式をオープンソースとして公開し、学術研究の発展・促進に貢献した。

- ・研究テーマ C : <https://github.com/Hara-Laboratory/Hirundo>
- ・小型プロセッサ : <https://github.com/Hara-Laboratory/subleq-toolchain>