

戦略的創造研究推進事業 ACCEL

研究開発課題

「縦型 BC-MOSFET による三次元集積工学と応用展開」

研究開発終了報告書

研究代表者 氏名 遠藤 哲郎

プログラムマネージャー 氏名 政岡 徹

1. 研究開発成果

1-1. 実施概要

本研究開発の最終目標は、飛躍的な高集積化と省エネ性を同時に実現する縦型ボディチャネル (BC-) MOSFET による新しい三次元集積回路とそれを実現する技術プラットフォームの創出であり、さらにメモリとロジックの融合、集積回路の三次元構造化を起点に、ブレインウェアなどの価値観を一新させる新規情報処理基盤の創出を目指す (図 1)。

まず、電子機器に不可欠な DRAM を代表とするワーキングメモリの技術限界を突破すべく、①DRAM のメモリセル以外の周辺回路へ縦型 BC-MOSFET を導入する基盤技術、および②縦型 BC-MOSFET による STT-MRAM セルを形成する基盤技術を開発する (図 2)。次に、このワーキングメモリの新規技術をコアとして、③ロジック LSI を中心に、アナログ LSI やパワー LSI などへの応用展開、さらに、新概念集積回路として AI・脳型 LSI 等の探索を実施する。

本研究開発の主な成果をまとめると次のとおりである。

① DRAM 周辺回路向け縦型 BC-MOSFET の基盤技術

低電力化の指標となる性能指数を MOSFET の動作原理上の最小値でほぼ実現できた。また、既存構造と比較して大幅なノイズ削減に成功し、世界最高の低ノイズ特性を有する縦型 BC-MOSFET の開発に成功した。さらに、メモリセル以外の周辺回路を縦型 BC-MOSFET で構成した Gbit 級大規模 DRAM を大口径 300mm ウェハにて試作することにより、電源電圧を従来標準から大幅に低電圧化した場合の良好な動作実証に世界で初めて成功し、動作時消費電力の削減およびチップサイズの削減については、所定の性能を得て、当初設定の POC を達成し、また、実用のメモリテスト全仕様を満足するといった目標以上の大きな進展も得られた。加えて、Si ミッシング (縦型 BC-MOSFET を形成するナノメートルサイズの Si 柱が熱酸化時の Si 原子移動によって柱を維持できなくなる現象) のメカニズム解明では、理論と実験両面から 3 つの大学等との共同研究によるモデル化が進展し、その抑制プロセス技術開発に繋がった。また、界面原子制御のための計算科学およびナノ計測からのアプローチによって、将来のスケーリングに向けた知見が得られた。

② 縦型 BC-MOSFET に基づく STT-MRAM 技術

縦型 BC-MOSFET の STT-MRAM への応用においては、究極の面積縮小が図れるクロスポイント型メモリ構造化に向け、MTJ (磁気トンネル接合) と縦型 BC-MOSFET の接続部の平坦化・微細化プロセス技術の開発によって、縦型 BC-MOSFET 直上に MTJ を形成することができる STT-MRAM の技術成立性を実証することができた。これにより、データアクセス時間の高速化および待機電力の削減については、所定の性能を得て、当初設定の POC を達成した。加えて、この技術を使って大口径 300mm ウェハにて 128Mbit STT-MRAM を試作した結果、世界最高書き込み速度性能の実証にも成功し、AI 応用等のハイエンドメモリで STT-MRAM 活用への道を拓くことができた。

③ 縦型 BC-MOSFET の応用展開および新概念集積回路の探索

縦型 BC-MOSFET の応用展開として、ロジック LSI で重要な SRAM について、平面型 MOSFET に比したレイアウト面積の縮小およびリーク電流の削減にて、所定の性能を得ることができ、当初設定の POC を達成した。さらに、電源系アナログ回路用のレベルシフタ、パワー用の CMOS DC-DC コンバータ等、多岐にわたる回路開発にも成功した。新概念集積回路としては、不揮発性ニューロン回路および不揮発性連想メモリシステムの研究開発により、低電力・高密

度・高速化にて、揮発性回路に比べ桁違いの極めて高い優位性を示すことができた。

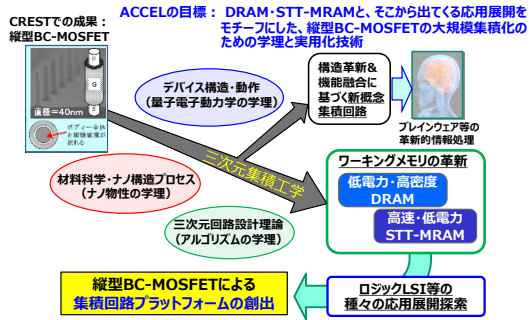


図1 新規概念の実証 (POC) のスキーム

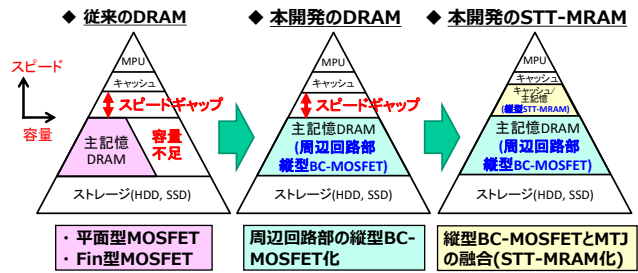


図2 電子機器のメモリ階層と課題の克服

2. 社会実装／実用化に向けた取組

2-1. 実施概要

- (1) 当初半導体メーカーとの共同開発を行っていた DRAM 基盤技術において、縦型 BC-MOSFET の各種回路 TEG 群および規模実証チップを搭載した 300mm ウェハの 1 次試作の結果、Gbit 級 DRAM チップについて、従来標準から大幅低電圧化した電源電圧での動作、及び JEDEC の全仕様を満足した動作電圧時の消費電力の大幅な低減により、開発の前倒しで POC の達成を確認した。DRAM 周辺回路はロジック回路の一部であり、縦型 BC-MOSFET のロジック応用展開という中間評価会での新たな要望もあり、DRAM の 2 次試作を取り止め、そのリソースをロジックデバイス開発に向ける判断を行った。
- (2) STT-MRAM 基盤技術の研究開発の骨子は MTJ を搭載した集積化プロセスの開発であり、具体的には MTJ 直下の平坦化技術、MTJ の RIE 加工技術の開発により、世界最高レベルの狭ピッチ MTJ を実現することにある。そこで、縦型 BC-MOSFET による STT-MRAM の技術成立性を明らかにするために、性能実証用テストチップの 1 次試作を行い、データアクセス時間などの高性能化指標である POC を達成した。この成果の波及効果は大きく、他プロジェクトの研究開発へ適用されている。
- (3) ロジック LSI の課題は、混載メモリの大容量化によるチップ面積の増大と消費電力の増加である。縦型 BC-MOSFET をロジック LSI へ適用する場合、チップ面積の低減化と低消費電力化が期待できるため、SRAM および I/O バッファ回路の面積縮小化と消費電力削減を新たな POC として設定し、ロジック企業のヒアリングより数値目標を提示した。SRAM や I/O バッファ回路を含む TEG マスクの設計・試作検証の準備を進めると共に、技術の受け取り手となる企業の獲得を研究代表者と共に探索した結果、国内半導体メーカーの参画を得ることができた。当該半導体企業から東北大学への研究員の派遣と共同開発契約の締結を経て、縦型 BC-MOSFET のロジック開発の加速と体制の強化を進め、現在企業サイドの生産ラインでの試作開始を急いでいる。
- (4) STT-MRAM による新規な不揮発性回路構造を用いた AI・脳型 LSI への応用展開を検討した結果、不揮発性ニューロン回路、不揮発性連想メモリシステムの設計および試作を経て、評価・解析を進めている。企業等との具体的な応用検討は、次のステップに向けて評価を進めている。
- (5) 縦型 BC-MOSFET の微細化には、Si ピラーの形状が重要な鍵を握っているが、酸化工程中にピラーの形状が変わる Si ミッシングについて取組み、その原因解明と抑制プロセスの開発が行わ

れた。

また、実用化への取り組みの前提として、知的財産権の取得に関してはプロジェクト開発当初から注力し、東北大学を中心に特許出願戦略や特許マップの策定、随時見直しやフォロー、さらに共同研究パートナーへの技術の特許化を促進してきた。その結果、縦型 BC-MOSFET の基本特許を始め、DRAM 基盤技術や STT-MRAM のプロセス加工技術など国内出願で 37 件、海外出願で 50 件の成果が得られ、今後、特許の活用化を期待している。