

研究報告書

「定性的モデリングに基づいたシリコン神経ネットワークプラットフォーム」

研究タイプ: 通常型

研究期間: 平成27年4月～平成30年3月

研究者: 河野 崇

1. 研究のねらい

近年、エネルギー環境問題や、社会システムの複雑化、高齢化などを含む様々な社会情勢により、情報化社会基盤に対して、エネルギー消費量の削減、急増・多様化する情報の高速で柔軟な処理、知能化等による生活支援などが求められている。特に、急速に複雑化が進む情報システムは、複雑な情報を低電力で処理する必要性に加え、人手によるプログラミングの信頼性の限界、可用性とメンテナンス性の限界という問題を抱えている。さらに、半導体プロセス微細化に支えられてきた逐次計算モデルも限界を迎えつつあり、超並列アーキテクチャへの転換が求められている。

これに対し脳神経系は、デジタルコンピュータの不得意とする複雑な情報処理を適応的に、かつ、省エネルギーで実行できる超並列システムであり、情報処理能力が自律的に獲得され、長期間自己修復により機能が維持される。従って、脳神経系を模倣した新しい情報処理システムの基盤技術確立することで、現代の情報システムの抱える限界、問題を解決できると期待されている。

そこで本研究課題では、超低消費電力シリコン神経ネットワークシステムを構築するための基礎技術を開発し、次世代情報処理システムの基板技術確立に寄与する。シリコン神経ネットワークは、現行の人工知能の技術基盤である人工ニューラルネットワークと異なり、脳神経系の電気生理学的活動をリアルタイムあるいは高速に再現する電子回路であり、脳神経系と同等の機能を実現できる新しい技術として期待されている。脳神経系に匹敵する情報処理システムを実現するためには、脳神経系に存在する多種多様な神経細胞の複雑な活動が情報処理に寄与する原理を知る必要があるが、これは脳科学上の難題の一つであり、工学的立場からは「構築による解析」のアプローチによる解明に貢献する必要がある。そこで本研究課題では、脳神経系の様々な神経活動を模倣できる超低消費電力ニューロン回路(シリコンニューロン)及びシナプス回路(シリコンシナプス)を開発する共に、多種多様な神経活動がどのような情報処理に寄与しているかについて理論的考察を加え、シリコン神経ネットワークの基盤技術を開発する。

2. 研究成果

(1) 概要

本研究課題では、非線形動力学システムの解析手法を応用した独自の回路設計手法を開発させ、安価なプロセスを用い超低消費電力で動作するシリコンニューロン及びシナプスを開発した。MOSFETのサブスレッショルド領域における特性曲線を組み合わせて様々な神経活動を定性的に再現できる3変数の微分方程式を設計、回路実装することでシリコンニューロンを構築した。神経生理学実験の一つである電圧固定実験の原理を応用したフィードバックアンプを内蔵しており、これを用いて特性評価しながらバイアス電圧を調整し、製造誤差やトランジスタの二次効果等の影響を補償し、目的の神経活動を再現できる。本回路はTSMC 25 μ mプロセスにより製造され、平均消費電力5ナノワット未満で動作し、大脳皮質や視床、脳幹にある6種類の神経細胞の活動を再現できる。他研究グループでは、2ナノワット程度の消費電力で動作する回路は1、2種類に限定された神経活動のみ再現可能であり、本回路と同等以上の神経活動を再現するためには100マイクロワット以上の消費電力が必要である。本研究課題で構築したシリコンシナプスは、神経細胞の膜容量とシナプス電流のスケールを考慮して設計することで、定常消費電力2ピコワット、スパイクあたり消費電



図1 シリコンニューロン回路の代表的動作例(左よりFS・クラスIモード、FS・クラスIIモード、EBモード、RSモード)

力0.5～1.5ピコワット程度の消費電力で4種類のアミノ酸シナプスの特性の再現に成功した。他研究グループの代表的シリコンシナプスでは定常消費電力が評価されておらず比較できないが、スパイクあたりの消費電力が7ピコワット以上と大きい上、本回路で再現可能なシャuntingインヒビションを再現できない。

理論面から、脳神経系に存在する2種類の神経スパイクが情報処理に寄与するメカニズムについて明らかにした。再帰結合のある神経ネットワークにおける自己想起型連想記憶など神経スパイク間の同期が重要な情報処理ではFSのクラス2が有利であることを既に指摘していたが、そのメカニズムが位相応答曲線に由来することを明らかにするとともに、フィードフォワードネットワークにおけるパターン認識ではFSのクラス1が有利であることも指摘することで、これまでの研究で軽視されてきた神経スパイクの生成メカニズムが情報処理に重要な役割を担っていることを示し、シリコン神経ネットワークで情報処理システムを構築する基礎理論及び理論脳科学の進歩に貢献した。

(2) 詳細

研究テーマA「シリコン神経ネットワークのハードウェア基盤技術開発」

当初の研究目標は、様々な神経細胞クラスを再現できる超低消費電力シリコンニューロン回路と化学シナプスのキネティックモデルに基づいた超低消費電力シリコンシナプス回路の開発、単一チップ上にシリコンニューロン1回路あたり1000シリコンシナプスを接続し、10ミリ角程度のチップ上に10ニューロン程度集積すること、10チップ程度を相互接続するインターフェースの開発であった。

超低消費電力シリコンニューロン回路に関しては、レギュラースパイキング(RS)、ファーストスパイキング(FS)クラスI及びII、ロースレッシュولدスパイキング(LTS)、エリプティックバースティング(EB)、スクエアウェーブバースティング(SWB)の6種類の神経細胞クラスの神経活動を再現できる回路をTSMC 25 μ mプロセスを用いて実装した。フットプリントは約170 \times 620 μ m²、消費電力5nW未満であった。この回路には、神経細胞膜のイオン透過性を評価する神経生理学実験の手法であるボルテージクランプの原理を参考にしたフィードバックアンプが内蔵されている。これを用いて、シリコンニューロン回路モデルを記述する微分方程式の各変数のナルクライン、及び、様々なパラメータに対する分岐図を描くことができ、各回路インスタンスの動的特性の推定に利用することができる。これにより、各回路ブロックの特性を制御するバイアス電圧を調整し、製造ばらつきやトランジスタの2次効果の影響を補償、目的の動的特性を実現することができる。他の主要研究グループでは、2から3nWで動作するシリコンニューロン回路ではせいぜい2種類の神経細胞クラスのみサポートし、本回路以上の神経細胞クラスをサポートできる回路の消費電力は100マイクロワットを超えている。図1にFS・クラスI、FS・クラスII、RS、EBモードの実験波形を示す。

超低消費電力シリコンシナプス回路に関しては、ウェット脳科学で、学習などに大きな役割をになっているとして、特性の明らかにされている4種類のアミノ酸シナプスの特性を再現できる回路を開発した。本回路は、これらのシナプスの特徴であるシナプス電流の素早い立ち上がりりと時定数の長い減衰と、反転電位を再現するため、ログドメインインテグレータと呼ばれる積分回路を改良し、5ビット精度でシナプス伝達効率を保持できるデジタルメモリ回路、DAC回路を組み合わせて実現した。シリコンニューロン回路と同じプロセスで実装し、フットプリントは26 \times 140 μ m²、定常消費電力は2pW未満、神経スパイク入力あたりの消費電力

は0.5～1.5pJであった。他の主要研究グループの回路では定常消費電力は評価されておらず比較できないが、神経スパイクあたりの消費電力は7～10pJと大きく、また、反転電位を再現していない。

上記のシリコンニューロン回路に対しシリコンシナプス回路128回路を接続したシリコンニューロンユニットを設計、試作した。シナプス入力に関して、32回路分ごとの入力をグループ化し、神経スパイクの立ち上がり立ち下りのタイミングでアドレスを指定してアクセスする拡張アドレス・イベント・リプレゼンテーション(AER)方式を開発、採用した。本方式では、ルータ回路によってシリコンニューロン回路の出力を接続先シナプスのアドレスに変換し、シナプス回路へ入力することを想定しているが、ルータ回路はフルデジタル回路であり、10チップ程度の接続では小規模FPGAなどで実現できる。本回路は、シナプス伝達効率値を保持するデジタルメモリ回路が大きく、 $1 \times 4\text{mm}^2$ 程度のフットプリントとなった。

シリコンニューロン回路、シリコンシナプス回路及びシナプス入力回路については当初目標を達成したが、集積度に関してデジタル回路部分のフットプリントが予想よりも大きく、達成不可能であった。デジタル回路部分のフットプリントを抑えるためにより微細なプロセスを用いる必要があった。また、シナプス回路も改良によりフットプリント縮小が可能である。

研究テーマB「シリコン神経ネットワーク上で実現可能な情報処理の探求」

シリコン神経ネットワークは、脳神経系の電気生理学的挙動を模倣することによって、脳神経系と互換性のある情報処理を行おうとするシステムであり、現行のデジタルコンピュータや人工ニューラルネットワークと同じ原理での情報処理は期待できない。しかし、脳神経系における神経スパイクを用いた情報処理原理は未解明であるため、本研究テーマでは、研究テーマAで開発したシリコン神経ネットワークの応用を探ることで、脳神経系における情報処理原理の解明にも寄与することを目標とした。

当初計画では、比較的神経ネットワークのトポロジ、神経細胞の特性が明らかになっている末梢神経系を模倣し、ドローンやロボットなどの制御を行うことを想定していた。

研究を進める中で、昆虫の聴覚系の神経ネットワークの情報処理についてウェット脳神経科学の研究者と討論する機会があり、共同でモデル構築を開始した。昆虫の聴覚系では、ヒゲに接続された数百の神経細胞が、ヒゲの振動のみから音、風、重力を検知する優れた情報処理を行っているため、安価なセンサからマルチモーダルな情報を検出する情報処理が可能になることが期待された。しかし、研究を進める過程で、モデル構築には生物実験が必要であるという結論に達し、別途プロジェクトを立ち上げ、科研費を獲得、研究を進めることとなった。

一方、共同研究グループより、脳の学習モデルの一つであるSTDP学習則を用いたスパイク時空間パターン認識に関する論文を紹介され、これを元に研究テーマAで開発したシリコン神経ネットワークと同等の動力学的構造を持つシリコン神経ネットワークモデルを用い拡張を行ったところ、神経細胞クラスを適切に選択(FS・クラスI及びLTS)することにより、認識率を向上させることができることが明らかになった。スパイク時空間パターンをスパイクソーティングなどのタスクに応用する手法は既に関連されており、このようなタスクを低電力で効率よく処理できる可能性が示された。

また、全結合シリコン神経ネットワークにおいて自己想起型連想記憶メモリが実現できると、神経細胞クラスを適切に選択(FS・クラスII)することにより想起性能を向上させることができることを本研究プロジェクト開始前に明らかにしていたが、性能向上のメカニズムが位相応答曲線と呼ばれる特性によって説明できることを明らかにした。

当初計画で想定した末梢神経系ではなく、より複雑な中枢神経系に類似した情報処理について、シリコン神経ネットワークでの実装可能性を検証すること、及び、メカニズムの解明に寄与することができた。

3. 今後の展開

シリコン神経ネットワークのハードウェア基盤技術に関して、今後は集積度の向上を目指す。具体的には、シリコンシナプスの小型化に加え、バイアス電圧及びシナプス伝達効率を保持するメモリ回路をデジタルメモリから低電力不揮発性メモリへの置き換え、チップ間接続バスファブリックのニューロチップへの統合を目指す。チップ間接続バスファブリックは複雑なデジタル回路であり、フットプリント及び消費電力を抑えるために微細プロセスを使用し電源電圧を下げる必要がある。

シリコン神経ネットワーク上で実行可能な情報処理の探求に関して、本研究課題で注目したスパイク時空間認識のメカニズムを解明し、ノイズやゆらぎによってランダムに神経スパイクが発生してしまう環境下での効率的な計算原理の確立を目指す。これにより、脳神経系における情報処理原理の解明と、神経模倣コンピューティングの基盤確立が期待できる。

4. 評価

(1) 自己評価

(研究者)

本プロジェクトでは、非線形動力学理論と電子回路回路設計とを融合させて研究を進めることにより、これまで不可能であった、複雑な神経活動の本質を再現できる超低消費電力シリコン神経ネットワーク回路を実現することができた。また、脳神経系との接続のためのシリコン神経ネットワークを研究しているボルドー大学の研究グループと共同研究を行うことにより、脳神経系における情報処理原理に関する研究を進め、脳神経系内で観測されるようなランダムに近い神経スパイクの存在下での情報処理原理について手がかりを得た。シリコン神経ネットワークの集積度の面では当初研究目標に届かなかったが、本プロジェクトで用いたものより微細な半導体プロセスを用いることなどによってこの問題を解決できると考えている。脳神経系における情報処理原理に関しては予想外の発見であり、これまでは末梢神経系の解析から徐々に中枢神経系へ進んでいく必要があると予想していたが、中枢神経系の高度な情報処理機能へ直接アプローチできる可能性が出てきた。

これらの成果により、脳神経系と同様の情報処理原理をもつ「脳互換人工知能」の実現に向けて大きく進展した。脳互換人工知能は、脳に匹敵する学習能力を持ち、脳と直接的にコミュニケーションでき、脳の損傷部位を補完することができる低消費電力人工知能システムであり、エネルギー問題、情報爆発問題、高齢化問題などに対応した次世代知能化情報処理基盤技術となることが期待されている。本プロジェクトの研究成果を基に、今後10年程度の間、ロボットなどの制御技術に末梢神経系と互換性のあるシリコン神経ネットワークが搭載され、消費電力低減や知能化に大きく貢献すると見込まれる。

(2) 研究総括評価(本研究課題について、研究期間中に実施された、年2回の領域会議での評価フィードバックを踏まえつつ、以下の通り、事後評価を行った)。

(研究総括)

シリコン集積回路による神経ネットワーク(SNN)を実現するため、従来の人工ニューラルネットワークとは異なる脳神経系との互換性を意識したニューロモルフィックによる脳に近いAIの基盤技術確立を目指した。具体的には、複雑な神経活動と消費電力・集積度のトレードオフの課題を解決するため、イオンコンダクタンスモデルの数理構造を少数の多項式で記述した定性的神経モデリングをシリコンハードウェアに実現することをターゲットとした。その結果、単一チップSNNの構築: 1000シナプス/ニューロン(次回試作で達成予定)、チップ間インタコネクト技術: 10チップ結合(次回試作で達成予定)、メモリ回路: SRAM+DACベースを達成し、STDP(Spike-timing dependent synaptic plasticity)によるノイズに埋もれたパターン抽出に成功した。

当初目標はほぼ達成(予定)したが、デジタルメモリの集積度が課題となり10ニューロン/チップは未達だった。ただし、新しい課題を見つけたことは1つの成果ともいえる。当初目標にはなかったSNNの超低電力動作5nWと定常電力2pWを達成した事は高く評価できる。実行可能な情報処理タスクは、当初ショウジョウバエの聴覚系の模倣システムを想定したが、

STDPによるノイズに埋もれたパターン抽出に変更した。設計・シミュレーションなど基本的な検討の進め方は適切であったが、研究室の付随業務等に追われて、試作評価が思うように進められなかったため、回路設計のところでCREST等の専門家の助言をもらい検討が加速された点は、CRESTさきがけ連携の効果であった。ニューラルネットワークに代表される非ノイマン型情報処理技術は、今後大きなブレイクスルーとなる可能性を秘めており、神経系を模倣した回路の機械学習応用は、エレクトロニクス分野における、今後のメインテーマの1つになる可能性が高い。

このような分野で様々な方式が検討される中で、本研究は、定性的神経モデリングをシリコン半導体技術と回路により実現することで、他方式では実現困難な小型で超低電力な情報処理を実現する可能性がある。特にロボットなどの HW デバイスでの波及効果が期待される。そのような背景の中、本研究は多数の招待講演などもあり、さきがけとして大きな注目とインパクトを与えたと言える。今後も、本研究が目指す神経ネットワークのプラットフォーム構築は、社会への大きなインパクトを与えると期待される。

医学的知見・アルゴリズムを軸に回路・デバイス分野までカバーする本研究者が、デバイスや材料を専門とする研究者と議論できたことは、今後の研究に新たな視点を与えたと考える。また、他研究者に大きな刺激を与えた役割は大きく、大きな信頼も得られたと思われる。今後もっと積極的に他の研究者と交流することにより更なる飛躍が期待できる。さきがけ期間中に多数の招待講演など、さきがけ研究者のイメージアップにも貢献した。医療の現場とエレクトロニクスを結ぶ稀有の人材として、今後の活躍を期待したい。

5. 主な研究成果リスト

(1)論文(原著論文)発表

1. F. Grassia, T. Levi, E. Doukkali, T. Kohno. Spike pattern recognition using artificial neuron and Spike-Timing-Dependent Plasticity implemented on a multi-core embedded platform. *Journal of Artificial Life and Robotics*. 2017. <https://doi.org/10.1007/s10015-017-0421-y>. pp. 1-5.
2. E. Green, T. Kohno. A Multistage Heuristic Tuning Algorithm for an Analog Silicon Neuron Circuit. *Journal of Robotics, Networking and Artificial Life*. 2017. Vol. 4. No. 1. pp. 25-37.
3. T. Kohno, M. Sekikawa, K. Aihara. A configurable qualitative-modeling-based silicon neuron circuit. *Nonlinear Theory and Its Applications*. 2017. Vol.8. No.1. pp. 25-37.
4. T. Kohno, M. Sekikawa, J. Li, T. Nanami, K. Aihara. Qualitative-Modeling-Based Silicon Neurons and Their Networks. 2016. *Frontiers in Neuroscience*. 2016. Vol.2. No.4. pp.209-212.
5. E. Green, T. Kohno. Compensating Temperature-Dependent Characteristics of a Subthreshold-MOSFET Analog Silicon Neuron. *Journal of Robotics, Networking and Artificial Life*. 2016. Vol.2. No.4. pp.209-212.

(2)特許出願

なし。

(3)その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)

1. 河野 崇.「第4章 脳型コンピュータの可能性」. 人工知能はこうして創られる. 合原一幸 編著. ウェッジ. 2017.
2. 河野 崇.「シリコン神経ネットワークとその課題」. 2017 年第 64 会応用物理学会春季学術講演会, 16p-301「次世代ニューロモルフィックハードウェアにおける機能性酸化物の役割」, 16p-301-5 シリコン神経ネットワーク -神経系を模倣する-. LSI とシステムのワークショップ 2017.
3. T. Kohno, K. Aihara. A three-variable ultralow-power analog silicon neuron circuit. 2016 *International Symposium on Nonlinear Theory and Its Applications*. 2016. pp. 190-193.

4. T. Kohno. Qualitative-Modeling-Based Design for Silicon Neuronal Networks. The 20th Workshop on Synthesis and System Integration of Mixed Information Technologies. 2016. 14-1.
5. E. Green, T. Kohno. Compensating Temperature-Dependent Characteristics of a Subthreshold-MOSFET Analog Silicon Neuron. International Conference on Artificial Life and Robotics 2016. pp. 116-119.