

## 研 究 報 告 書

### 「超低消費電力動作に向けたゲート絶縁膜の負性容量による急峻スロープトランジスタ技術の開発とナノワイヤ構造への応用」

研究タイプ: 通常型

研究期間: 2015 年 10 月～2019 年 3 月

研 究 者: 小林 正治

#### 1. 研究のねらい(1000 字未満)

IoT 時代においてはクラウドにおけるハイエンドサーバからエッジにおけるセンサノードデバイスにいたるまで増々多くのコンピューティングデバイスが必要となる。特にエッジデバイスの数は今後数兆個になるとも試算されており必然的に低消費電力であることが求められる。究極的に環境発電で動作させるのであればエッジデバイスの消費電力は  $1\mu\text{W}$  以下であることが求められ、今後 10 倍～100 倍の低消費電力化が必要となる。デバイス研究者として将来の IoT 応用に向けた超低消費電力デバイスを新しい機能性ナノ材料で開拓することをねらう。

エッジデバイスは基本的に間欠動作でありほとんどの時間待機状態である。待機時の消費電力はトランジスタおよびメモリにおけるリーク電力が支配的となる。このリーク電力を抑えるための方針として大きく2つ考えられる。一つ目は、オン特性を保ちながらオフ電流を削減できる急峻サブスレショルド係数トランジスタである。特に強誘電体をゲート絶縁膜とする負性容量トランジスタは高いオン電流と CMOS プロセスとの高い整合性から注目されている。二つ目は、待機時には電源を切り復帰時には素早くデータを戻して通常動作にするノーマリーオフコンピューティングを不揮発性メモリで実現することである。

最近、強誘電性が  $\text{HfO}_2$  で発見された。この新しい機能性材料は CMOS でよく使われる  $\text{TiN}$ 、 $\text{TaN}$  や  $\text{W}$  といった配線材料と組み合わせ、わずか数 nm でも強誘電性を示す革新的なナノ薄膜材料である。強誘電体  $\text{HfO}_2$  を用いることで、負性容量トランジスタの実現が極めて現実的なものとなるとともに、高速・低消費電力という特徴をもっている強誘電体メモリの復権の兆しが見える。強誘電体  $\text{HfO}_2$  によって超低消費電力トランジスタおよびメモリは新展開をむかえている。

本研究では、強誘電体  $\text{HfO}_2$  を用いた負性容量トランジスタのデバイス物理を解明し、デバイス設計や回路・システム設計のためのデバイスモデリングを行う。さらに強誘電体  $\text{HfO}_2$  薄膜プロセスを開発しトランジスタを試作、デバイス物理の実験的検証を行う。強誘電体メモリに関しては IoT デバイスの電源管理技術として有望な強誘電体  $\text{HfO}_2$  不揮発性 SRAM の設計と試作・実証を行う。さらにこれまでの強誘電体メモリにはない大容量を実現する強誘電体トンネル接合メモリのデバイス物理を解明し、高性能動作の実証を行う。

## 2. 研究成果

### (1) 概要

本研究のテーマは大きく分けて2つあり、CMOS プロセスと整合性の高い新機能性材料である強誘電体  $\text{HfO}_2$  を用いて、①強誘電体ナノ薄膜をゲート絶縁膜とする負性容量トランジスタ(NCFET)のデバイス物理の解明とデバイス動作実証、②電源管理または低消費電力・大容量ストレージメモリに向けた強誘電体不揮発性メモリの提案と実証、である。

#### ①負性容量トランジスタに関する研究成果

- ・ 強誘電体  $\text{HfO}_2$  薄膜形成技術を確立した。さがけ研究費によって所有する ALD 装置を大幅に改良することができ、また新たに導入したアニール装置によって、多様でかつ安定な成膜プロセスが可能となった。
- ・ 先端 CMOS 技術であるフィン FET やナノワイヤ FET を用いた NCFET のモデリング・シミュレーションを行い、微細化でサイズ制約の厳しい条件でも急峻スロープを有する NCFET として設計できることを明らかにした。
- ・ NCFET の動作速度は強誘電体分極反転のダイナミクスによって律速されうることを提唱、NCFET のデバイス高速化のための材料開発の指針を提案した。
- ・ これまで別々に研究が進められてきた NCFET とトンネル FET を融合させることで超急峻スロープトランジスタが実現可能であることを提案・検証した。
- ・ 強誘電体  $\text{HfO}_2$  ゲート絶縁膜トランジスタの試作プロセスを開発、電流オンオフ比が通常の MOS トランジスタに比べて 10 倍以上向上した。
- ・ これまでの NCFET の実験結果報告を総合して、NCFET における急峻スロープ発現のメカニズムとして分極反転のダイナミクスとサブスレシールド領域における空乏層の形成が重要であることを提唱、実験によって裏付けた。

#### ②強誘電体不揮発性メモリに関する研究成果

- ・ 従来の CMOS SRAM 上に強誘電体  $\text{HfO}_2$  キャパシタを集積する不揮発性 SRAM を提案した。実際に設計・試作を行い、電源オンオフ前後のデータの待機・復帰動作を実証した。
- ・ 強誘電体  $\text{HfO}_2$  を用いた強誘電体トンネル接合(FTJ)メモリの設計指針を明らかにし、設計を実現するための FTJ 試作プロセスを開発、電流オンオフ比 30 以上でかつ多値動作する FTJ メモリセルの動作実証をおこなった。さらに自己整合ポテンシャルと非平衡グリーン関数法による電流計算のフレームワークを構築、20nm 径まで良好な特性を有したまま微細化可能であることを明らかにした。

### (2) 詳細

本研究のテーマは大きく分けて2つあり、CMOS プロセスと整合性の高い新機能性材料である強誘電体  $\text{HfO}_2$  を用いて、①強誘電体ナノ薄膜をゲート絶縁膜とする負性容量トランジスタ(NCFET)のデバイス物理の解明とデバイス動作実証、②電源管理または低消費電力・大容量ストレージメモリに向けた強誘電体不揮発性メモリの提案と実証、である。さがけ応募および研究開始時点では①のみを研究テーマとしており、かつ最終的には NCFET をナノワイヤ型で動作実証することをねらっていた。しかし研究を進めるにつれて、NCFET の動作原理は完全に解明されていないことがわかり、サイトビジットで議論した結果、NCFET のデバイス物理の解明をねらう研究へ方針を変更した。また強誘電体  $\text{HfO}_2$  のメモリ応用の可能性が高く期

待も大きいことから、NCFET の研究と並行して②の新しい強誘電体不揮発性メモリの研究もテーマとして研究を進める方針となった。

## 研究テーマ A「強誘電体ナノ薄膜をゲート絶縁膜とする負性容量トランジスタ(NCFET)のデバイス物理の解明とデバイス動作実証」

### (1) NCFET のデバイスシミュレータの構築と設計手法の確立

目標: ヒステリシスなし,  $>1\text{MHz}$  動作,  $I_{\text{on}}/I_{\text{off}}$  の 10 倍向上に向けた設計

本研究では先端 CMOS 技術であるフィン FET およびナノワイヤ FET で NCFET において、微細化でサイズ制約の厳しい条件でも急峻スロープを有する NCFET として設計できることを明らかにした(論文 1、3、発表 2、4)。具体的にはゲート長が 10nm 以下でナノワイヤピッチが 15nm 以下でも設計スペースが存在することを明らかにした(図1)。

次にモデルを動特性がシミュレーションできるよう拡張した。その結果動作速度は強誘電体分極反転のダイナミクスによって律速されることがわかり、NCFET のデバイス高速化のための材料開発の指針を提案した(論文 3、発表 1)。

以上により、静特性と動特性において NCFET のモデリングを行うことで目標を達成できた。

想定外の成果として、これまで別々に研究が進められた NCFET とトンネル FET を融合させることで超急峻スロープトランジスタが実現可能であることを提案・検証した(論文 2、発表 2)。

### (2) 強誘電性 $\text{HfO}_2$ 薄膜およびプレーナ型 NCFET プロセスの開発

目標: 10nm 以下のナノ薄膜強誘電性  $\text{HfO}_2$  の開発,  $I_{\text{on}}/I_{\text{off}}$  の 10 倍向上実証

本研究ではまず、強誘電体  $\text{HfO}_2$  薄膜形成技術を確立することに専念した。さきがけ研究費によって所有する ALD 装置を大幅に改良することができ、また新たに導入したアニール装置によって、多様でかつ安定な成膜プロセスが可能となった(論文 3)。

続いて強誘電体  $\text{HfO}_2$  ゲート絶縁膜トランジスタの試作プロセスを開発した。本研究では強誘電体部と FET 部を独立に設計し作りこめる金属-強誘電体-金属-ゲート絶縁膜-半導体(MFMIS)型 FET をゲートラストプロセスで試作した。評価の結果、サブスレショルド係数が  $20\text{mV}/\text{dec}$  で電流オンオフ比が通常の MOS トランジスタに比べて 10 倍以上向上した(図2)。この急峻スロープ発現のメカニズムとしては強誘電体の分極反転のダイナミクスと電荷注入によって FET チャネルの表面ポテンシャルが増幅されたことによる(発表 5)。

以上により、高品質な強誘電体  $\text{HfO}_2$  プロセスを開発、ゲートラストプロセスで作製した NCFET において  $I_{\text{on}}/I_{\text{off}}$  の 10 倍向上を実現、そのメカニズムを明らかにし、目標を達成した。

### (3) 深いサブスレショルド領域での急峻スロープ化のメカニズムの解明

目標: 実測を再現するモデルの構築および設計指針の確立

本研究での実験結果とこれまで報告されてきた NCFET の実験結果を総合した結果、NCFET の急峻スロープの発現の起源としては従来理論による静的な負性容量の効果のほか、強誘電体の自発分極反転のダイナミクスを伴う動的・過渡的な負性容量の効果が大きな

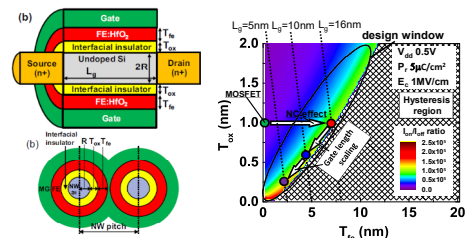


図1 ナノワイヤ NCFET の構造と電流オンオフ比のゲート絶縁膜に対する等高線図。ゲート長制約を点線で示している。

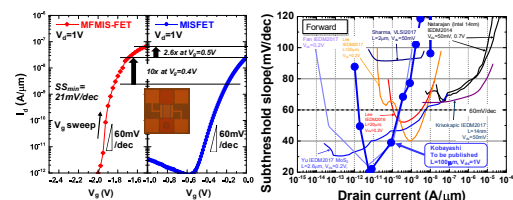


図2 左: 試作した NCFET と MOSFET の  $I_d$ - $V_g$  特性比較。右: 代表的なデータとのベンチマーク結果。

影響を及ぼす可能性があり得る(図3)。具体的には分極反転が起こることで分極反転電流を自由電荷電流が十分速やかにスクリーニングできない場合、脱分極場が生じ実効的に表面ポテンシャルが増幅するというモデルである。この時重要であるのはサブスレシヨルド領域での空乏層領域の形成であることを提唱した(論文 4、5、発表 3、4)。従来の静的な理論では空乏層容量が小さすぎて容量マッチングがとれず理論と実験が乖離していたが、動的な理論では空乏層容量が小さいことで脱分極場を誘起し急峻スロープが深いサブスレシヨルド領域で起こりうる。この動的なモデルを検証すべく、強誘電体に加えて反強誘電体をゲート絶縁膜とするトランジスタを試作、電荷注入の効果を考慮しながら自発分極の反転を高精度なゲート電流のその場測定することによって、自発分極反転と空乏層容量の形成によってサブスレシヨルド係数が急峻になることを実験的に明らかにした(発表 5)。

以上により、これまでの実測を再現する動的な NCFET のデバイスモデルを提案、さらに基礎的な実験によってモデルの検証を行い、目標を達成した。

## 研究テーマ B「電源管理または低消費電力・大容量ストレージメモリに向けた強誘電体不揮発性メモリ」の提案と実証

### (1) IoT デバイスの電源管理技術としての強誘電体 $\text{HfO}_2$ 不揮発性 SRAM の開発

不揮発性 SRAM 自体は 20 年ほど前に研究開発が行われていたが、当時と比べて IoT というアプリケーションと強誘電体  $\text{HfO}_2$  の発見により、不揮発性 SRAM が見直される兆しがある。本研究では強誘電体  $\text{HfO}_2$  キャパシタを CMOS SRAM 上に集積した不揮発性 SRAM を提案。実際に設計と試作を行い、最も重要な電源オンオフ前後のデータの待機・復帰動作の動作実証に成功した(論文 6、7、発表 6、8)。

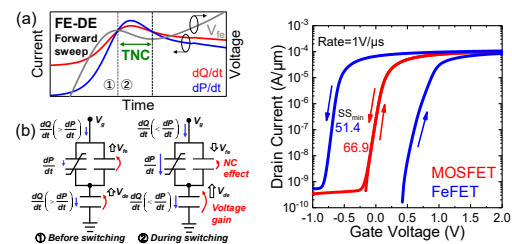


図3 左：動的なモデルで NCFET の急峻スロープ発現を説明する図。右：動的なモデルによるシミュレーション結果。

### (2) 強誘電体 $\text{HfO}_2$ トンネル接合(FTJ)メモリの設計指針の確立とデバイス動作実証

FTJ メモリは PZT などの従来の強誘電体を用いた実験は進んでいるが、強誘電体  $\text{HfO}_2$  を用いた研究は少なく、デバイス設計指針や微細化可能性は十分に明らかになっていない。本研究ではまず、高い抵抗オンオフ比を実現するためのデバイスの設計指針を明らかにし、その設計を実現するためのプロセス技術を開発、実際に 4nm の強誘電体  $\text{HfO}_2$  でこれまでの

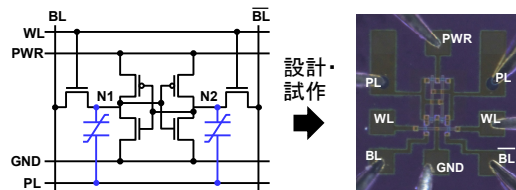


図4 左：強誘電体不揮発性 SRAM の回路図。右：強誘電体  $\text{HfO}_2$  キャパシタを実際に集積して試作した不揮発性 SRAM の顕微鏡写真。

の報告よりも低電圧書き込み可能で抵抗オンオフ比 30 以上、多値動作する FTJ の実証に成功した(論文 8、9、発表 7、9)。さらに、自己整合ポテンシャルと非平衡グリーン関数法による電流計算フレームワークを構築、読み出し電流・抵抗オンオフ比・保持特性のトレードオフを考慮しながら 20nm 径まで強誘電体  $\text{HfO}_2$  FTJ メモリが微細化可能であることを明らかにした

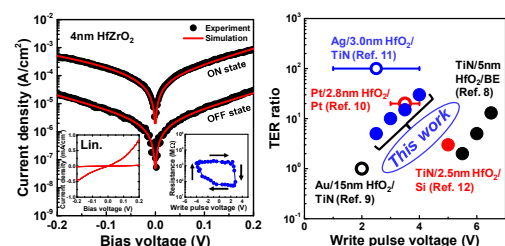


図5 左：試作した強誘電体  $\text{HfO}_2$  FTJ メモリの読み出し電流。右：代表的なデータとのベンチマーク結果。



(発表 10)。

### 3. 今後の展開

今後の展開を下の線表にまとめた。

2019年度	2020年度	2021年度	2022年度	2023年度
宮田CREST2次元材料				
NCFETモデルの検証および2次元＋強誘電体で3次元集積のための新デバイス創出		微細化・Moore則以降に半導体で価値を創出するための多材料・多次元集積化による材料・デバイス・システム融合		
小林科研費 強誘電体デバイスとシステム応用				
NCFETおよびFeFETとFTJなどのメモリデバイスに関する基礎研究の継続とシステム応用検討		革新的医療技術に貢献する集積デバイス技術の研究開発		
藤枝科研費 生体適合薄膜による神経活動システムの無線技術化				
神経活動測定系の無線システム構築、および集積デバイスと生体適合ナノ薄膜の融合可能性を検討。		河野先生とシリコン神経ネットワークに関する共同研究を始める。		
河野科研費（申請中）シリコン神経ネットワーク強誘電体デバイスとシステム応用				
河野先生の脳の数理モデルに基づくシリコン神経ネットワークに新規の不揮発性メモリを導入し、高エネルギー効率かつ小フットプリントのシステム実現を目指す。基礎研究からプロトタイプ実現まで行い、現在のDNNとは一線を画すコンピューティング技術の創出を目指す。				

NCFET が本当に CMOS 技術のパフォーマンスブースターとなりうるかを見極める必要がある。そのためにも NCFET の新たなモデルについて、実験データに基づくさらなる検証が必要である。具体例としては、MFIS 型 + Si チャネルで界面準位を低減することで電荷注入と分極反転の影響を切り分ける実験を行う。酸化物チャネル材料、2 次元材料での検討も進め、宮田 CREST では微細化・Moore 則以降の半導体デバイスによる価値創出を目指した研究も行っていく。

研究室の戦略とリソースの関係上 FeFET メモリへの取り組みが遅れてしまった。FeFET の需要は混載メモリ応用で高い。フロントエンド集積化プロセスと高温信頼性の観点で研究を継続していく。日本の半導体産業に向けて出口が見いだせるようヒヤリングを続けながら進めていく。

FTJ は大容量化が期待できるが、本研究でのデバイス構造は高い読出し電流とオンオフ比を実現できる反面、セレクトが必要になる。また信頼性の観点では書き込み耐性が悪い。今回構築したフレームワークを用いて改めてセレクトレスの構造がとれないか検討する。また信頼性劣化のメカニズム解明と改善手法を検討する。

強誘電体  $\text{HfO}_2$  メモリの新しいコンピューティング技術への応用に向けて、さがけ 2 期生の河野先生とシリコン神経ネットワークに関する共同研究を始める。

### 4. 自己評価

#### ・ 研究目的の達成状況

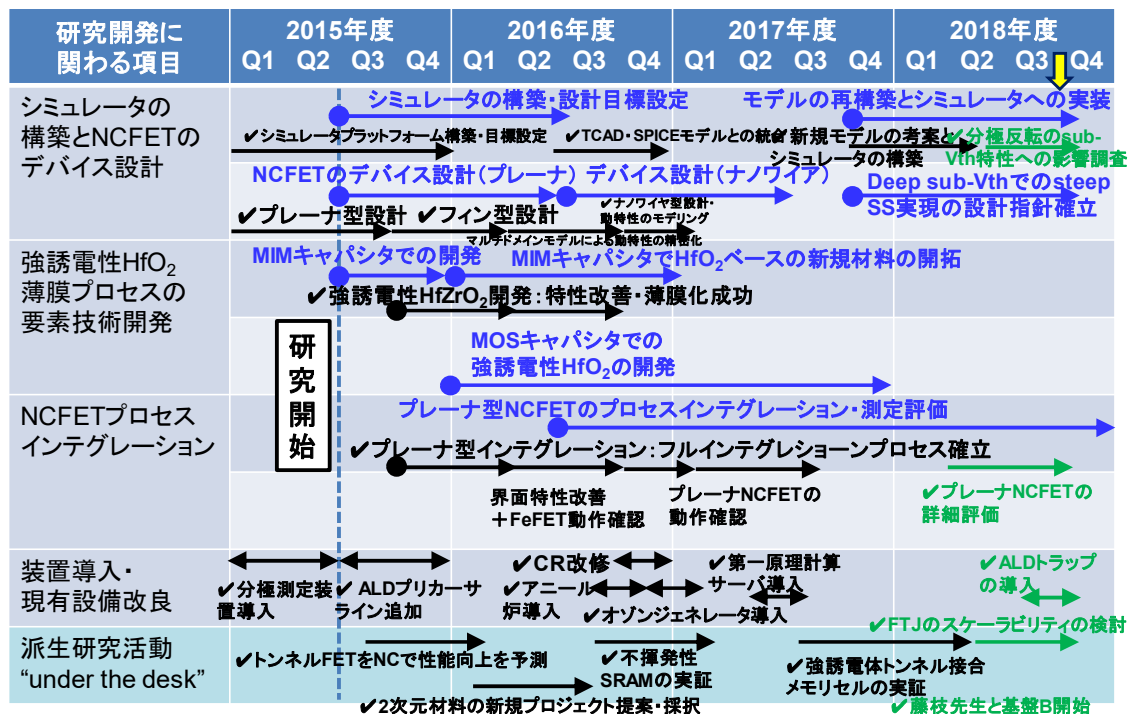
2. の研究詳細で説明したように、当初の研究目的から変更を行った。この判断は正しかったと考える。現在でも NCFET のデバイス物理に関する議論は続いており、ナノワイヤへ応用する前にしっかりとデバイス物理を解明することが重要である。変更後の研究目的に対する目標は概ね達成できたといえる。それぞれの研究項目で論文・発表を行い、十分な対外発表ができた。負性容量トランジスタに関しては特に電子デバイスで最も権威のある IEDM で 2 件発表を行うことができた研究成果が大いに評価されたものと思われる。

想定外の研究成果もあげることができた。特にNCFETとTFETの融合技術に関する発表論文はIEEEのBest paper awardを受賞した。メモリに関する研究成果も当初の目的からすると想定外ではあったが、強誘電体HfO<sub>2</sub>メモリの重要性をいち早く認識して研究に取り組んだことは正しかったと考える。強誘電体HfO<sub>2</sub>メモリに関してもVLSI symposiumおよびIEDMでそれぞれ1件ずつ発表を行うことができた。研究成果が評価され、2018年よりIEDMのMemory Technologyのsub-committeeメンバーとして活動する機会に恵まれた。

#### ・ 研究の進め方(実施体制・研究費執行状況)

さきがけには小林が企業から大学に移ってまもなく参加したこともあり、それ以前の私の研究開発テーマとはほとんど連続性がなく、特に実験に関しては一から立ち上げたといえる。

本さきがけ研究で作成してきた線表を下図に示す。青が計画、黒が実施、緑が進捗である。



本研究期間中にデバイス試作の環境を整備することに尽力した。東大生研のクリーンルームではシリコン系と非シリコン系で別れているが、本研究では2つを同時に利用することが必要である。クロスコンタミネーションを防ぎかつ柔軟に作業ができるようプロトコルを作成した。

本研究は小林と研究室の学生を中心にした研究体制をとってきた。東大生研では学生は大学院生からしか入学できないため、集積デバイスの研究方法については基本的に一から指導する必要がある。幸い大変優秀でやる気のある学生が研究室に入ってきてくれたおかげで、小林がモデリングの基礎やデバイス試作方法を直接指導することで、彼らが独立して研究できるようになった。反省点としては、少ない人数に対して本研究のテーマが広いため、各学生へ複数のテーマを割り当てることになってしまい負担が大きかったことが挙げられる。

研究費は備品、消耗品、旅費、その他必要経費に関して概ね過不足なく実施できたといえる。ただし想定外にクリーンルーム自体の整備に時間がかかってしまい、装置によっては購入を翌年に先送りすることになってしまった。さきがけで研究費を柔軟に運用させていただいたことを大変感謝している。増額申請を受理していただいたおかげでALDトラップを導入することができ、現

在 ALD 装置を安定かつ安全に運用できている。SciFos 活動を現在行っており旅費分を増額していただき大変助かった。

・ **研究成果の科学技術および社会経済への波及効果(今後の見込み)**

CMOS トランジスタの集積度は着実に上がっているものの、性能向上が頭打ちになっているのは周知の事実である。今後も微細化の恩恵を受けるためにはオン電流の向上とオフ電流の低減を実現する急峻サブスレショルド係数トランジスタの実現が望まれている。実際に IRDS ロードマップの 2017 年版では 2030 年までにシステムの要請としてサブスレショルド係数が 60mV/dec を切る必要があることが示されている。NCFET は現時点で最も有望な急峻スロープトランジスタ技術であり、さきがけ研究申請当初に比べて飛躍的に注目度が上がった。NCFET は、輸送特性は拡散・ドリフト電流であるがゲートによる表面ポテンシャルの変調効果が従来と大きく異なり、デバイス物理および設計の指針が大きく異なる。さきがけでの研究成果である、強誘電体の材料特性を考慮したデバイス物理とモデルそしてデバイス設計指針は、NCFET の CMOS パフォーマンスブースターとしての可能性を評価する上で極めて重要である。今後 IoT デバイスは数兆個を超える普及が試算されており低消費電力 CMOS トランジスタとして NCFET が実際に導入された場合の社会経済への波及効果は極めて大きい。

メモリ技術に関しても更なる大容量化・低消費電力化を目指した研究開発がメモリーメカを中心に進められている。メモリギャップを埋めるストレージクラスメモリは特にデータスループットが要求されるハイエンドサーバで重要であり、低消費電力メモリはエッジデバイスにおいても重要となる。強誘電体  $\text{HfO}_2$  メモリは CMOS プロセスと整合性が高く、2 端子・3 端子、容量型・抵抗型と、選択肢が広く、今後爆発的に普及する可能性が高い。さきがけの研究成果である、強誘電体  $\text{HfO}_2$  不揮発性メモリの提案・設計・プロトタイプ実証は特に電源管理技術としての有用性を示すものであり、強誘電体  $\text{HfO}_2$  FTJ メモリの設計・実証および微細化に向けた指針は強誘電体メモリの大容量化の可能性を示すものであり、両者とも今後の強誘電体メモリの研究開発を促進する重要な成果といえる。本研究成果をもとにインメモリコンピューティングという形で新しいコンピューティング技術が発展し、アクセラレーターのイノベーションにつながる可能性がある。

・ **レイヤー間の研究者の連携**

- レイヤー間勉強会に積極的に参加した。実際に 2016 年 11 月 1 日と 2017 年の 12 月 15 日の 2 回講演を行い有意義な議論を行うことができた。
- さきがけのメンバーに依頼され学会・研究会で講演した。2018 年 1 月 20 日には 2 期生の長田さんの依頼で電子デバイス界面テクノロジー研究会で講演した。また 2018 年 11 月 21 日には 3 期生の服部先生の依頼で日本表面学会で講演した。これまで参加したことのない学会で講演・議論することで新たな知見を得ることができた。
- 1 期生の宮田先生・岡田さんとともに CREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」領域への応募に際して企画立案に参画。無事に「原子層ヘテロ構造の完全制御成長と超低消費電力・3次元集積デバイスの創出」テーマとして採択された。さきがけ終了後にこちらの CREST で、2 次元材料と強誘電体の組み合わせで新しいデバイス技術の創出に向けて研究を行う。
- 3 期生藤枝先生とともに科研費で「神経活動電位・伝達物質を多重同時計測可能なナノ薄膜状ワイヤレスプローブの創製」というテーマで応募し、無事採択された。現在藤

枝先生の生体適合ナノシートを基礎として脳神経活動の計測とその無線化を目指す研究を行っている。将来的には集積化技術をいかに生体計測・医療技術に生かせるかを化学・医学分野と議論していく。

- 2 期生河野先生とともに科研費で「次世代脳互換AIのためのシリコン神経ネットワークプラットフォーム」というテーマで応募し、結果を待っているところである。河野先生の脳神経模倣シリコン神経ネットワーク技術と小林のメモリ技術との融合により、より柔軟に数理モデルの実装でき高エネルギー効率なハードウェアプラットフォームの創生に向けた研究を行う。

## 5. 主な研究成果リスト

### (1)論文(原著論文)発表

#### 研究テーマA「強誘電体ナノ薄膜をゲート絶縁膜とする負性容量トランジスタ(NCFET)のデバイス物理の解明とデバイス動作実証」

1. M. Kobayashi and T. Hiramoto, “On device design for steep-slope negative-capacitance field-effect-transistor operating at sub-0.2V supply voltage with ferroelectric HfO<sub>2</sub> thin film”, AIP Advances, 2016, 6(2), 025113.
2. M. Kobayashi, K. Jang, N. Ueyama, and T. Hiramoto, “Negative Capacitance for Boosting Tunnel FET Performance”, IEEE Transactions on Nanotechnology, 2017, 16(2), pp. 253-258.
3. (Invited) M. Kobayashi, “A perspective on steep-subthreshold-slope negative-capacitance field-effect transistor”, Applied Physics Express, 2018, 11, 110101.

#### 研究テーマB「電源管理または低消費電力・大容量ストレージメモリに向けた強誘電体不揮発性メモリの提案と実証」

4. M. Kobayashi, N. Ueyama, K. Jang, and T. Hiramoto, “Experimental Demonstration of a Nonvolatile SRAM With Ferroelectric HfO<sub>2</sub> Capacitor for Normally Off Application”, IEEE Journal of Electron Device Society, 2018, 6(1), pp. 280-285.
5. M. Kobayashi, Y. Tagawa, F. Mo, T. Saraya and T. Hiramoto, “Ferroelectric HfO<sub>2</sub> Tunnel Junction Memory with High TER and Multi-level Operation Featuring Metal Replacement Process”, IEEE Journal of Electron Device Society, published online on Dec.11 2018.

### (2)特許出願

研究期間累積件数:0 件(公開前の出願件名については件数のみ記載)

### (3)その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)

#### 学会発表

#### 研究テーマA「強誘電体ナノ薄膜をゲート絶縁膜とする負性容量トランジスタ(NCFET)のデバイス物理の解明とデバイス動作実証」



1. M. Kobayashi, N. Ueyama, K. Jang, and T. Hiramoto, “Experimental Study on Polarization-Limited Operation Speed of Negative Capacitance FET with Ferroelectric HfO<sub>2</sub>”, IEEE International Electron Device Meeting (IEDM) 2016, 2016, pp. 314–317.
2. C. Jin, K. Jang, T. Saraya, T. Hiramoto, and M. Kobayashi, “Experimental Study on the Role of Polarization Switching in Subthreshold Characteristics of HfO<sub>2</sub>-based Ferroelectric and Anti-ferroelectric FET”, IEEE International Electron Device Meeting 2018, pp. 723–726 (2018).

## 研究テーマB「電源管理または低消費電力・大容量ストレージメモリに向けた強誘電体不揮発性メモリの提案と実証」

3. M. Kobayashi, N. Ueyama, and T. Hiramoto, “A Nonvolatile SRAM Integrated with Ferroelectric HfO<sub>2</sub> Capacitor for Normally-Off and Ultralow Power IoT Application”, IEEE VLSI Symposium 2017, 2017, pp. 156–157.
4. M. Kobayashi, Y. Tagawa, M. Fei, T. Saraya, T. Hiramoto, “Device and Process Design for HfO<sub>2</sub>-Based Ferroelectric Tunnel Junction Memory with Large Tunneling Electroresistance Effect and Multi-level Cell”, IEEE Silicon Nano Workshop 2018, pp. 29–30.
5. F. Mo, Y. Tagawa, T. Saraya, T. Hiramoto, and M. Kobayashi, “Scalability Study on Ferroelectric-HfO<sub>2</sub> Tunnel Junction Memory Based on Non-equilibrium Green Function Method with Self-consistent Potential”, IEEE International Electron Device Meeting 2018, pp. 372–375 (2018).

## 受賞

1. M. Kobayashi, N. Ueyama, K. Jang, and T. Hiramoto, IEEE Nanotechnology Council Best paper award, “Negative Capacitance for Booting Tunnel FET Performance”

## プレスリリース

1. 強誘電体二酸化ハフニウムを用いたトランジスターとメモリーの動作メカニズムを解明  
～微細化と超低消費電力化へ前進～ (2018/12/3)