

戦略的創造研究推進事業 CREST
研究領域「量子状態の高度な制御に基づく革新的
量子技術基盤の創出」
研究課題「シリコン技術に立脚した室温動作スピン
量子ビット」

研究終了報告書

研究期間 2018年10月～2024年03月

研究代表者:大野 圭司
(理化学研究所 開拓研究本部
専任研究員)

§1 研究実施の概要

(1)実施概要

2018 年度を試作準備期間、2019-2020 年度を実証期間と位置付けて研究を進め、研究開始3年までに中間目標“意図的に導入した2種の不純物を有するTFETによる量子ビット素子”を達成する。ここまでは高温動作へ繋がる原理実証に主眼をおいている。その後2021-2022年度を性能向上期間と位置づけ、この期間に動作温度や磁場感度等のスペック向上を図り、2023年度を展開期間と位置づけ、計画終了時までに最終目標“2種の深い不純物を有するTFETによる室温動作量子ビット素子とその磁気センサー応用”を実現する。以下で各年度の実施内容の概要を示す。

2018年度:プロセスラインおよび素子評価系の整備を行った。

2019年度:既存 Al-N 導入素子の低温(<10K)評価を継続し、1量子ビットシミュレーション実験を行った。SおよびZnの導入の準備を開始、DLTS評価により深い準位の存在を確認した。

2020年度:既存 Al-N 導入素子の低温(<10K)評価を継続し、スピン閉鎖によるゼロ磁場付近の急峻な電流変化を用い、地磁気レベルの微小磁場の検出に成功した。SおよびZnを導入したTFET素子について150Kまでの温度でスピン閉鎖を確認した。

2021年度:継続してS, Zn導入素子の評価を行い、室温までの温度でスピン閉鎖を達成した。また50Kまでの単一電子スピン共鳴、10Kでの明瞭な量子ビット特性、および10Kでの地磁気以下の微小磁場検出に成功した。これにより研究開始3年までの中間目標である“意図的に導入した2種の不純物を有するTFETによる量子ビット素子”を達成しただけでなく、性能向上期間にふさわしい、各種素子性能の大幅な向上に成功した。

2022年度:室温磁場感度の向上に注力した。2021年度までに室温で観測された電流ディップの半値全幅は100mTと大きく、従って室温での磁場分解能は10mT程度に留まっていた。ゼロ磁場付近の電流ディップを説明するスピン閉鎖理論によると、半値全幅は不純物と電極とのトンネル結合で決まり、より弱いトンネル結合、すなわちより小さなリーク電流を示すスピン閉鎖条件ではより小さな半値全幅となる。そこで、S・Zn素子の室温での磁気伝導測定において、よりリーク電流の小さなスピン閉鎖条件を探索し、多重測定による積算で小さな電流を精度よく測定したところ、半値線幅1mTまでの急峻な電流ディップ構造を観測した。得られた磁場分解能は約20μTであり、2021年度で得られていた値10mTを大幅に向上した。室温での地磁気レベル(44-50μT)の磁場計測に成功したといえる。またSにかわりSeを導入する条件を確認したうえで、Se・Zn導入素子を実現した。一部のSe・Zn導入素子において、室温においてゼロ磁場ディップ構造が観測され、室温スピン閉鎖を確認した。スピン閉鎖はソースドレイン電圧0.1Vで観測され、電流ディップ構造のシグナル比は約9%であり、S・Zn導入素子のシグナル比約1%より大きく向上した。電流ノイズ、および磁場感度に関しても一定の向上がみられた。

2023年度:S, Zn導入素子およびSe, Zn導入素子の室温歩留まり評価を継続した。これまでに7個のS, Zn導入素子、および2個のSe, Zn導入素子においてスピン閉鎖(ゼロ磁場ディップ構造)を観測した。スピン閉鎖背景電流の大きさとディップの幅との相関が見出されており、理論との定性的一致が得られている。また室温スピン閉鎖を示す素子の最適設計条件についても一定の知見が得られた。

(2)顕著な成果

<優れた基礎研究としての成果>

1. 1. S・Zn導入TFETにおける50Kまでの単一電子スピン共鳴

概要:上記素子の異なる動作条件、10Kにおいてソースドレイン電流の磁場依存性がゼロ磁場付近でピーク構造が観測された。ピーク構造は不純物周辺に核スピンの存在する場合、あるいは核スピンとスピン軌道相互作用の両者が存在する場合のスピン閉鎖として過去に理論的実験的に研究されている。この動作条件での単一電子スピン共鳴は30Kまで明瞭に観測され、40Kにおいて共鳴ピークの低下が始まるものの、50Kにおいても観測された。プロジェクト開始時点において、既存素子で観測された単一電子スピン共鳴は最大で12Kであったため、単一電子スピン共鳴動作温度の大幅な向上を達成したといえる。

2. S・Zn 導入 TFET における 10K での量子ビット動作

概要:S と Zn の両者を導入した素子においても、深い不純物準位と浅い不純物準位の組み合わせによるスピン閉鎖が生じる。このようなスピン閉鎖は 10K 以下の低温でのみ観測される。このようなスピン閉鎖条件において明瞭な量子ビット動作(ラビ振動)を観測した。この成果は高温動作へむけた原理実証としての意義がある。

3. S・Zn 導入 TFET におけるスピン軌道相互作用の異方性変化

概要:S・Zn 導入 TFET において温度 10-30K での磁気電流特性を評価したところ、単一電子磁気共鳴の消失と同時にゼロ磁場ディップ構造の先鋭化が起こることが観測された。スピン軌道相互作用の異方性がこの温度域で異方的なものから等方的なものへと変化したことを示しており、深い不純物の軌道異方性、すなわち格子歪(ヤーンテラー効果)が変化したことを示唆している。この結果は単一の深い不純物の格子歪を電気伝導でプローブするための新たな手段を与える可能性がある。

< 科学技術イノベーションに大きく寄与する成果 >

1. S・Zn 導入 TFET における室温スピン閉鎖の観測

概要:S・Zn 導入 TFET の磁気電流特性がゼロ磁場付近において急峻なディップ構造を示した。この構造は温度 10K から室温まで明瞭に観測された。このディップ構造は強いスピン軌道相互作用のもとでのスピン閉鎖として過去に理論的実験的に研究されたものと一致しており、S と Zn の両者を介した電気伝導におけるスピン閉鎖を室温において観測したものと考える。スピン閉鎖を動作原理とする室温動作素子の実現により、これまでにはない磁気センサー応用が期待できる。

2. 室温スピン閉鎖を利用した地磁気レベルの磁場計測

概要:室温スピン閉鎖による電流ディップ構造を利用した磁気センサー動作は 2021 年に成功しているが、その磁場感度は 10mT 程度に留まっていた。ゼロ磁場付近の電流ディップを説明するスピン閉鎖理論によると、半値全幅は不純物と電極とのトンネル結合で決まり、より弱いトンネル結合、すなわちより小さなリーク電流を示すスピン閉鎖条件ではより小さな半値全幅となる。そこで、S・Zn 素子の室温での磁気伝導測定において、よりリーク電流の小さなスピン閉鎖条件を探索し、多重測定による積算で小さな電流を精度よく測定したところ、半値線幅 1mT までの急峻な電流ディップ構造と約 20uT までの磁場感度向上に成功した。室温での地磁気レベル(44-50uT)の磁場計測に成功したといえる。

3. Se・Zn 導入 TFET におけるスピン閉鎖の低ソースドレイン電圧化と高シグナル比の実現

概要:Se および Zn を導入した TFET 素子を作成した。Se・Zn 導入素子において、従来素子同様の大きな単一電子帯電エネルギーを示すクーロンダイヤモンド構造を観測した。また一部の素子において、60K までの温度で S・Zn 導入素子と同様なゼロ磁場ディップ構造が観測され、スピン閉鎖を確認した。スピン閉鎖が観測されるソースドレイン電圧 0.05-0.1V であり、S・Zn 素子においてスピン閉鎖が観測されるソースドレイン電圧(0.4-0.6V 程度)とくらべて顕著な減少が確認された。また一部の Se・Zn 導入素子において、室温においてゼロ磁場ディップ構造が観測され、室温スピン閉鎖を確認した。スピン閉鎖はソースドレイン電圧 0.1V で観測され、電流ディップ構造のシグナル比は約 9%であり、S・Zn 素子のシグナル比約 1%より大きく向上した。電流ノイズ、および磁場感度に関しても一定の向上がみられた。

< 代表的な論文 >

1. K. Ono, T. Mori, S. Moriyama, High-temperature operation of a silicon qubit, Scientific reports 9, 469 (2019)

概要:プロジェクト初期、既存 Al-N 導入素子の成果をまとめている。深い不純物準位を形成する Al-N 対を導入した TFET 素子において、室温までの単一電子伝導、16K までの単一電子

スピン共鳴、および 10K までの量子ビット動作(ラビ振動)を報告した。単一電子スピン共鳴と量子ビット動作はスピン閉鎖による。素子チャンネル中に存在する深い不純物準位は Al-N 対によるものしか存在しないため、スピン閉鎖に必要な 2 重量子ドットの伝導を起こすためには Al-N 対による深い準位と、チャンネル中に意図せず導入された浅い準位との組み合わせが必要となり、この浅い準位の熱励起が素子動作温度を律測している。この成果を踏まえ、より高温での動作には“意図的に導入された 2 種の深い不純物”が必要となることが示唆される。

2. Y. Ban, K. Kato, S. Iizuka, S. Moriyama, K. Ishibashi, K. Ono, T. Mori, ON current enhancement and variability suppression in tunnel FETs by the isoelectronic trap impurity of beryllium, *Jpn. J. Appl. Phys* 60, SBBA01 (2021).

概要: 当プロジェクトで雇用された伴氏が主導した成果。プロジェクト 2 年目で作製した Be 導入素子について、室温での TFET 素子としての性能向上を議論している。既存の Al-N 導入 TFET 素子と同様に、トランジスターの On 状態の電流が増大し、結果 On/Off 比の向上が得られている。なお同素子においては低温 1.5K で単一電子スピン共鳴と量子ビット動作も観測されており、この話題については別途論文を作製中である。

3. Y. Ban, K. Kato, S. Iizuka, S. Murakami, K. Ishibashi, S. Moriyama, T. Mori and K. Ono, Introduction of deep level impurities, S, Se, and Zn, into Si for high-temperature operation of a Si qubit, *Jpn. J. Appl. Phys.* 62 SC1054 (2023).

概要: 当プロジェクトで雇用された伴氏が主導した成果。プロジェクト 2 年目から 3 年目にかけて行った、Si への S および Zn の導入についてまとめている。S および Zn のイオン注入条件、および注入後のアニール条件を議論した。SIMS 分析による不純物濃度プロファイル、DLTS 分析による不純物の活性化エネルギー(シリコンバンドギャップ内の不純物準位の位置)、TEM 分析によるイオン注入由来の格子欠陥の有無が議論されている。導入条件の最適化により、既存の既存 Al-N 導入素子と同様な不純物濃度プロファイル、先行研究と一致する活性化エネルギー、オン注入由来の格子欠陥が無いことを確認した。S や Zn の導入は 80 年代からなされているが、イオン注入により FET の MOS 界面近傍にこれらの深い不純物を導入した例はない。この仕事は深い不純物をシリコントランジスタ素子において機能する形で導入した初めての事例といえる。

§ 2 研究実施体制

森グループが素子の作製を、大野・森山両グループが低温を含む素子特性の評価を行った。大野グループに所属する博士研究員は理研での素子評価だけでなく、産総研において森氏らの指導のもと、素子の設計、作製および基礎特性の評価を行うなど、密接な連携をとれる体制となっている。

2. 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

理論家グループである理研 Franco Nori グループやウクライナ科学アカデミーの Shevchenko グループとの共同研究を進めることで、本プロジェクトに欠けていた基礎物理よりの理論のサポートを得ている。また元東芝 R&D センター研究員である帝京大の棚本教授グループとの共同研究を通し、東芝や東芝とつながりの深い半導体企業との連携を模索している。