

国際科学技術協力基盤整備事業 日本－台湾研究交流
「AIシステム構成に資するナノエレクトロニクス技術」領域 事後評価報告書

1 共同研究課題名

「AI チップ技術に向けた三次元異種機能集積 hCFETs」

2 日本－相手側研究代表者名（研究機関名・職名は研究期間終了時点）：

日本側研究代表者

張 文馨（産業技術総合研究所 先端半導体研究センター・主任研究員）

台湾側研究代表者

李 耀仁（国立陽明交通大学 先端半導体イノベーション研究所・教授）

3 研究概要及び達成目標

本研究は、AI チップの技術基盤となる、異種チャネル材料を三次元的に集積した CMOS トランジスタ Heterogeneous complementary field effect transistors (hCFETs)の開発を目的とした。

産業技術総合研究所(AIST)チームはレイヤートランスファー技術を使って Si と Ge の異種半導体を積層した基板を構築し、台湾チーム(台湾半導体研究所(TSRI)、陽明交通大学(NYCU))はその異種基板を用いて hCFET デバイス作製と回路設計を実施した。

デバイス試作では、低ダメージ中性ビーム技術(東北大、TU)を導入して Ge の加工技術を開発し、hCFETs チャネル構造の作製プロセスを改善した。さらに、TSRI で作製した hCFETs の実測結果をもとに、AIST 開発のシミュレータ Impulse TCAD により熱輸送シミュレーションモデルを構築し、三次元集積デバイス固有の熱問題を検証した。

4 事後評価結果

4.1 研究成果の評価について

4.1.1 研究成果と達成状況

台湾側で Ge 層の成長を行い、日本側で低損傷の表面平坦化とウェーハ貼り合わせを経て、再び台湾側でデバイス作製と性能評価までの一連の研究を、密な連携で行った。これにより当初の目標であった、200 mm ウェーハを用いた Si/Ge 異種集積プラットフォームの構築、hCFET デバイス作製と性能評価、トランジスタ特性や温度特性を予測できるモデルの構築を達成したことは、高い評価に値する。また、これらの成果を基に、半導体分野のトップ国際学会(IEDM、VLSI Symposium)での 4 件の発表や国際会議での 3 件の招待講演も含めて多数の連名学会発表を行い、国際的なプレゼンスを高めたことも評価できる。国際誌での原著論文発表は、連名 1 件、日本チームのみの発表 1 件を数える。

未だ高いトランジスタ性能や回路特性の実証には至っておらず、今後の成膜技術や貼り合わせ技術も含めたプロセス技術の改善が求められるが、プロジェ

クト終了後も継続する両チームの連携により、CMOS 回路の 3 次元的な構造縮小化と高速低消費電力化の実証を期待する。

4.1.2 国際共同研究による相乗効果

台湾側の優れたデバイス作製技術と日本側のレイヤートランスファーに代表される材料プロセス技術を融合することにより、これまでにない異種材料・異種面方位のチャンネルを有するトランジスタの積層構造を実現することができ、国際共同研究による大きな相乗効果が得られた。また、台湾側でのデバイス評価結果の提供により、日本側でシミュレーションデータベースを拡充してトランジスタや回路の性能予測ができるようになったことも、今後の展開につながる相乗効果である。

4.1.3 研究成果が与える社会へのインパクト、我が国の科学技術協力強化への貢献

CFET は、いわゆる 2 nm 以降の将来世代の論理回路デバイス構造として注目を集めている世界的に競争の激しいテーマである。これに対して、本研究は、台湾のデバイス作製技術と日本の材料技術およびシミュレーション技術を連携して当てることで、世界をリードする成果を創出しタイムリーに発信できることを示した。優れた固有技術を錬磨すると共に、それに基づいて適切な研究協力を行うことにより、効率的に技術集約を行って顕著な成果を挙げられることの証左である。

4.2 相手側研究機関との協力状況について

本研究の成果に基づき、日台のそれぞれのチームが大型の研究予算を獲得して、研究協力の継続を予定している。よりインパクトの大きな成果や、相互往来による人材育成を含めた研究交流の進展を期待する。

4.3 その他

コロナ禍により相互往来が行えない状況下で、台湾側でのデバイス実測データを基に日本チームはシミュレーションモデルを開発し台湾チームと共有することで、試作計画の詳細な調整を可能とした。ウェーハのやり取りを伴う半導体製造プロセスを遠隔地間で協力して行うためのモデルケースと言える。