

研究終了報告書

「革新的スピン注入技術を用いた縦型半導体スピン素子の創成」

研究期間:2020年12月～2024年3月

研究者:山田道洋

1. 研究のねらい

身の回りの様々な機器で情報処理・通信を行う IoT 社会において、電子機器の消費電力の爆発的な増加が予想され、革新的な超低消費電力デバイスの実現は不可欠である。その一方で、今後もシリコン(Si)を中心としたエレクトロニクスは重要な位置を占めることが予想され、新奇超低消費電力デバイスもシリコンエレクトロニクスと融合可能な技術であることが期待される。そこで注目されているのが、電荷のスピンを情報担体として用いたスピン電界効果トランジスタ(スピン MOSFET)である。スピン MOSFET では、従来の MOSFET のソース・ドレイン電極に強磁性体を用いることで2つの電極の磁化配置に依存した抵抗変化を用いて、不揮発メモリ機能を発現する。記憶機能(不揮発メモリ動作)と演算機能(トランジスタ動作)を1つのデバイスで実現できる超低消費電力デバイスである。この実現に向けて本研究では、強磁性体/半導体(ゲルマニウム)/強磁性体の積層構造を全エピタキシャル成長する独自技術を用いることで、原子層レベルで制御した強磁性体/半導体界面を有する縦型半導体スピン素子構造を実現し、低消費電力かつ高性能[目標:磁気抵抗比100%]な半導体スピン素子の創成を目指す。

2. 研究成果

(1) 概要

本研究では、①磁気抵抗比の最大化に向けて、スピン注入電極に高スピン偏極材料である Co 系ホイスラー合金(Co_2FeSi)の縦型半導体スピンドバイスへの導入を検討した。さらに、②スピン注入効率に大きな影響を与える界面での相互拡散を抑制するために、Ge 中間層への Sn 添加による低温エピタキシャル成長手法を新たに開発した。③熱的に安定な高スピン偏極材料に向けて探索を行った。

①については、Si 基板上に Ge と Fe_3Si の緩衝層を挿入することで、 Co_2FeSi の結晶性を向上し、それまで不可能であった Co_2FeSi を下部電極に用いた全エピタキシャル積層構造の作製に成功した。この構造を用いて縦型スピンバルブ素子を作製し、スピン伝導特性を評価したところ室温において明瞭な磁気抵抗変化を観測し、性能指標である磁気抵抗比は 1.4%となり、縦型半導体スピンドバイスにおける室温世界最高性能を達成した。

②その一方で、①で作製した積層構造の Ge/ Co_2FeSi 界面では Ge 中間層の結晶化に不可欠な基板加熱によって相互拡散が生じていた。このような相互拡散はスピン注入効率を下げってしまうことはすでに明らかになっており、拡散を抑制するために Sn 添加による Ge 中間層の低温成長を試みた。Sn 添加量と成長温度を変化させた時に、Sn 濃度 5%において表面平坦性を確保しつつ結晶化することを見出した。110°C まで成長温度を低減することができ、その時の二乗平均面粗さ(R_{ms})は ~ 0.52 nm となり、十分な平坦性を確保することができた。これらの試料に対して断面透過型電子顕微鏡や元素分布分析を行うと Sn 添加によって成長温度

を低減することで、Ge/Co₂FeSi 界面における相互拡散を極力抑えることに成功した。Sn 添加試料に対して、縦型スピバルブ作製し評価を行ったところ、磁気抵抗変化は Sn 添加なしと比べて 4 倍ほど増大していた。その一方で磁気抵抗比のもう一つ重要なパラメータである平行状態での抵抗も上昇してしまっており、磁気抵抗比としては下がってしまうことが明らかになった。平行時の抵抗上昇に関しては、プロセス中のコンタミや結晶性向上による欠陥誘起キャリアの低減などが考えられるが、引き続き検討が必要である。

③では、MOSFET 構造作製時に必須となる熱プロセス耐性向上に向けて新たな高スピン偏極材料 Co₂MnSi の検討を行った。Co₂MnSi が他のホイスラー合金同様に高いスピン偏極率を有することを示し、熱的な安定度から比較的良好な界面を有することが明らかになった。これらの特性により上部・下部に高スピン偏極ホイスラー合金を用いた縦型スピンドバイスの作製に成功した。

(2) 詳細

①. 高スピン偏極 Co₂FeSi 電極を用いた縦型スピンドバイスによる磁気抵抗比の増大

磁気抵抗比の増大に向けては、高スピン偏極材料を用いた縦型スピンドバイスの実現が不可欠である。その一方で高スピン偏極材料として注目されている Co₂FeSi 上への半導体 Ge のエピタキシャル成長の際には、結晶化に必要な基板加熱によって、Ge/Co₂FeSi 界面において相互拡散が従来の Fe₃Si よりも生じやすい。相互拡散によって Ge/Co₂FeSi 界面に非磁性層が形成されスピン注入

効率の低下、Ge 中間層の結晶性の劣化などが生じる。そこで、図1に示すように、Co₂FeSi を直接 Si 基板上に成膜するのではなく、Fe₃Si 緩衝層と格子不整合が Si よりも小さい Ge 層を挿入し、高品質 Co₂FeSi 層を形成した。さらに Ge 中間層を固相成長法と分子線エピタキシー法を組み合わせた手法で作製し、条件探索をすることで、図1右に示すように反射高速電子線回折(RHEED)パターンはすべての層でストリークパターンを示し、全エピタキシャル縦型積層構造を実現した。積層構造に対して微細加工を行い縦型スピバルブ素子を作製した。図 2(a)に示すような測定配置で強磁性電極の長手方向に対して面内磁場を印加し、磁気抵抗変化を観測した。上・下部強磁性体の磁化配置に依存した明瞭な抵抗変化が室温においても観測された。性能指標である磁気抵抗比は 1.4%となり、従来の Fe₃Si と比較して一桁向上し、縦型半導体スピン素子における世界最高性能を達成した。本手法の確立により高スピン偏極材料である Co₂FeSi の縦型半導体スピンドバイスへの応用が可能となり、飛躍的性能向上が実現した。

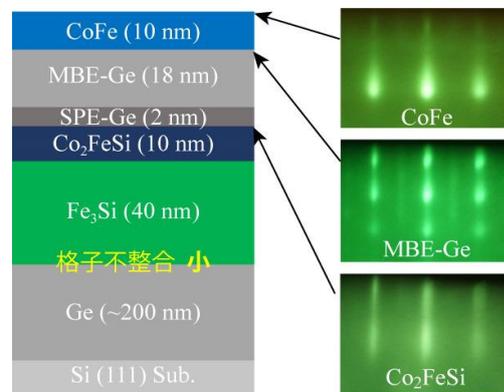


図 1 (a)高スピン偏極ホイスラー合金(Co₂FeSi)を導入した縦型構造の模式図。(b)Co₂FeSi、Ge、CoFe 表面の RHEED パターン。

②. Sn 添加による Ge 中間層の低温エピタキシャル成長

上記の高スピン偏極 Co_2FeSi 下部電極の導入によりスピン素子の特性が上がったものの、理論式から期待されるスピン信号と比較すると、さらなる増大が見込めることが明らかになった。図 4(b)に示すように、エネルギー分散 X 線分光(EDX)元素マッピングの結果から、Ge 中間層の成長時に行う基板加熱によって生じている Ge/ Co_2FeSi 界面における相互拡散が原因であると考えられる。そこで、Sn 添加によって Ge 中間層の成長温度を低減し、Ge/ Co_2FeSi 界面での相互拡散を抑制しながらも結晶性を維持することでスピン信号の増大を目指した。

図 3 に示すように Ge 中間層に 5%以上の Sn を添加することで 150°C の成長温度においても結晶化が可能である。その一方で Sn を添加しすぎると Sn 析出などによる表面平坦性が悪化する[図 3(d)]ことから、5%の Sn 添加が有効であることが明らかになった。

成長温度をさらに下げた 110°C で作製すると結晶性を維持しつつ表面平坦性は向上し、二乗平均面粗さ(R_{rms})は ~ 0.52 nm まで低減された[図 3(e)]。図 4(a), (b)に示す EDX 元素マッピングからも Sn 添加による低温成長によって、Ge/ Co_2FeSi 界面における Ge 拡散が抑えられ急峻な界面が実現できることがわかる。Sn 添加 Ge 中間層を用いた縦型スピバルブ素子を作

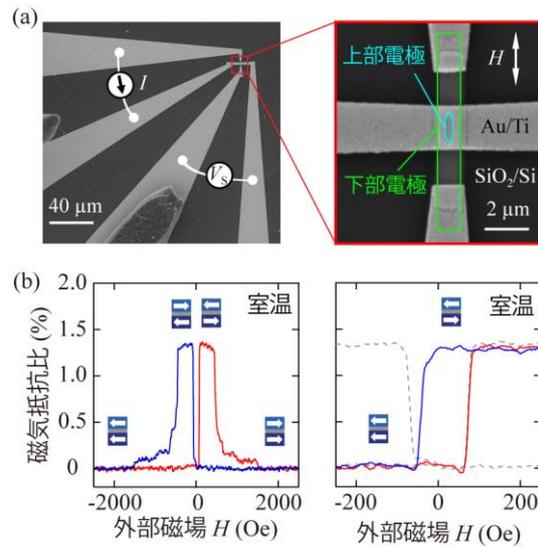


図 2 (a)作製した縦型スピバルブ素子の走査型電子顕微鏡像と測定配置。(b)半導体縦型スピデバイスにおける世界最高性能の室温磁気抵抗比。

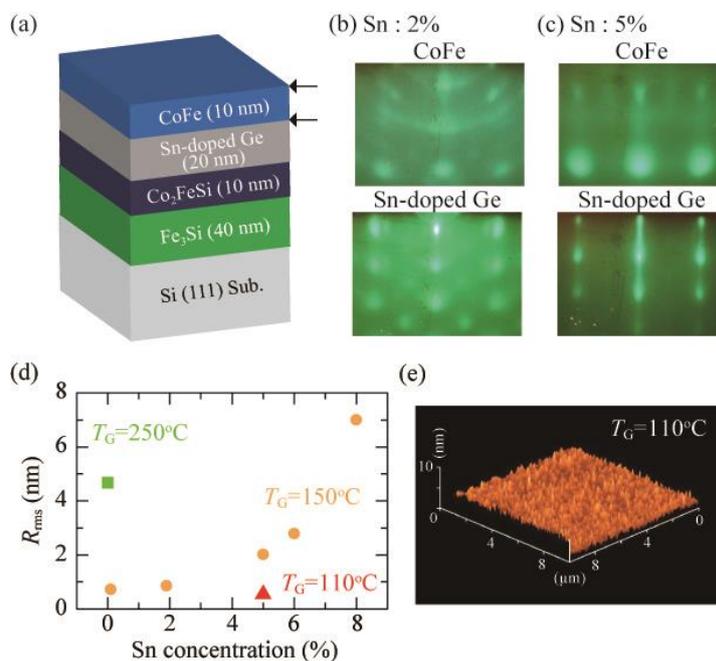


図 3 (a)作製した強磁性/半導体/強磁性体縦型積層構造の模式図。CoFe 層(上)と Sn 添加 Ge 層(下)の表面の反射高速電子線回折(RHEED)パターン。Ge 中間層の Sn 濃度は(b) 2%、(c) 5%。(d)スズ濃度に対する表面ラフネス。(e) $T_G = 110^\circ\text{C}$ で作製した積層構造の CoFe 表面の原子間力顕微鏡像。

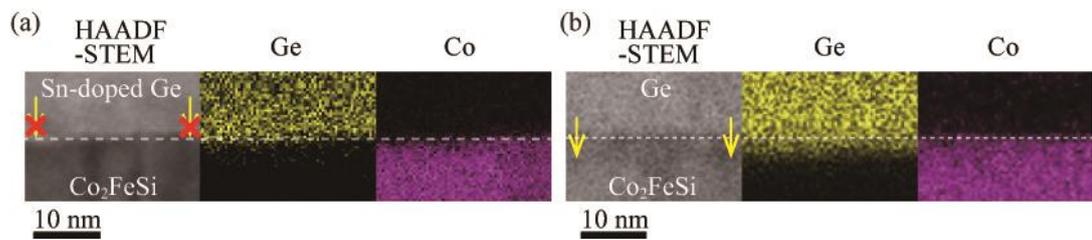


図 4 (a)Sn 添加 Ge/Co₂FeSi と(b)Ge/Co₂FeSi 界面の高角散乱環状暗視野走査透過顕微鏡法(HAADF-STEM)像とエネルギー分散型 X 線分光法(EDX)。

製し、面内に磁化を印可した際の室温での磁気抵抗変化を測定した。Sn 添加によって低温エピタキシャル成長した試料では 80 mΩ 程度となっており、Sn 添加なしの試料と比較して 4 倍以上に増大している。これは急峻な界面の実現によるスピン注入効率の増大の可能性を示している。その一方で、性能指標である磁気抵抗比は、平行状態の抵抗も同時に上昇しているため室温で 0.085%程度と前述の 1.4%には及ばなかった。この原因としては、デバイス加工時のレジスト残りによる接触抵抗の上昇や Sn 添加による強磁性体/Sn 添加 Ge 界面におけるショットキー障壁高さの変化の可能性、中間層の高品質化による欠陥由来のキャリア濃度の低下による抵抗の上昇などが考えられる。微細加工プロセスの改善やドーピングによるキャリア制御によって改善が期待される。

③. 新奇ホイスラー合金縦型積層構造の作製

上記では下部強磁性電極へ Co₂FeSi の導入を中心に検討を進めてきたが、新奇高スピン偏極材料として、磁気トンネル接合素子などでも実績のある Co₂MnSi に対して半導体スピン素子への応用の検討を行った。横型の素子を用いた検証から Co₂MnSi の場合にも高いスピン偏極率が期待され、他のホイスラー合金同様に界面の相互拡散を抑制することで界面のスピン偏極率や温度依存性の向上が示された。スピン MOSFET 実現に向けて重要なゲート作製時の強磁性体/Ge 界面の熱プロセス耐性も関しても他のホイスラ

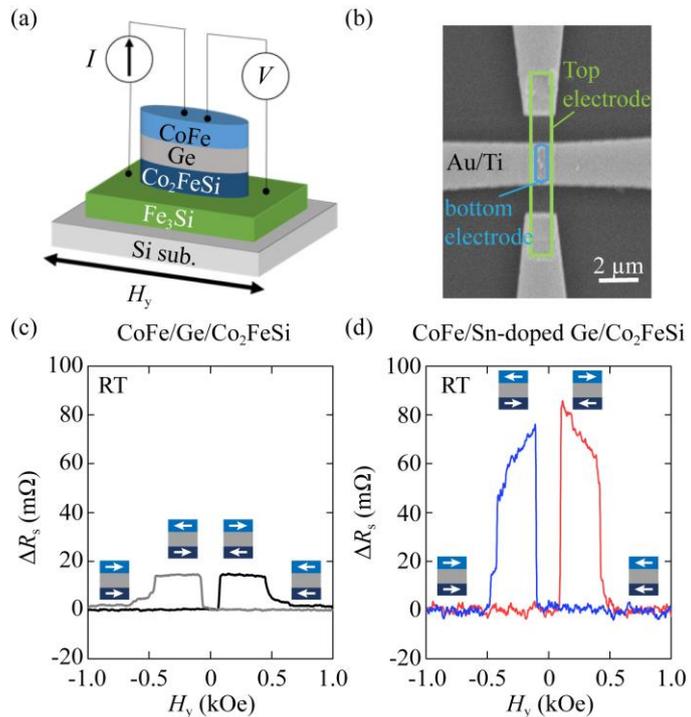


図 5 (a)スピンバルブデバイスの概略図。(b)作製したスピンバルブデバイスの走査型電子顕微鏡像。(c)Ge 中間層、(d)Sn 添加 Ge 中間層を有するスピンバルブデバイスの室温におけるスピン信号。

一合金よりも優れていることが明らかになり[国際学会 2]、重要な材料として、縦型構造への応用を目指した。

1. で用いた Fe_3Si 緩衝層を導入することで、Si 基板上に形成が困難な Co_2MnSi を高品質に形成することが可能となった。1と同様な条件で Ge 中間層の成長を行ったが、 Co_2FeSi の場合には相互拡散が生じていたが、 Co_2MnSi を用いた場合には熱耐性が向上している影響のためか、EDX マッピングの結果から相互拡散が抑制されていた[国際学会 1]。また、これまで Co_2FeSi を用いた場合には、上部電極に Co_2FeSi を成膜すると結晶性が著しく低下し、磁気特性も悪くなってしまったが、 Co_2MnSi を用いた場合には、反応層も形成されず、磁気特性も改善した(論文投稿中)。

3. 今後の展開

これまでに、縦型スピンドバイスの実現に向けて、①.高スピン偏極材料(Co_2FeSi)の縦型構造への導入、②. Sn 添加による平坦かつ低温エピタキシャル Ge 中間層の実現、③. 新奇高スピン偏極材料 Co_2MnSi の探索を行ってきた。

②については、Sn 添加による低温成長によって、平坦かつエピタキシャルな Ge 中間層が形成可能であり、最近の検討では中間層を 20 nm から 5 nm に薄膜化したところ、RHEED の観察と磁気特性からは 20 nm の試料と遜色のない結果が得られており、極短チャネル化による磁気抵抗比の増大が期待される。さらに③の構造において縦型スピン素子の熱耐性の向上が期待される。この構造において Ge 中間層へのリン(P)のドーピング量の制御技術なども確立しており、今後は p 型 Ge よりもスピン拡散長の長い n 型半導体の導入を検討する。さらに、低温ゲート技術に関する知見も蓄積してきており、縦型スピン MOSFET 作製に関する要素技術は揃っている。今後は、熱耐性の高い Co_2MnSi を下部・上部強磁性電極として用い、Sn 添加による極短チャネル化を行い、P のドーピングプロファイルを自在に操ることで On/Off 動作可能な Ge 中間層とし、低温ゲートによる全周ゲート構造を導入することで、室温高性能縦型スピン MOSFET の実証を目指す。それと同時並行してプロセスの精度向上をはかり、歩留まりを向上させて、複数の素子を連動させて動かし、論理演算の動作実証などにつなげて社会実装に向けて一步を踏み出す。

4. 自己評価

磁気抵抗比の目標値の達成には至らなかったものの、従来は縦型半導体スピンドバイスへの導入が困難であった高スピン偏極材料を導入することに成功し、縦型半導体スピンドバイスにおける世界最高性能を実現した。さらに、Sn 添加による低温エピタキシャル成長などの新奇手法を確立することで、縦型半導体スピンドバイスで最重要である強磁性体/半導体界面の相互拡散の抑制と縦型構造の利点である極短チャネル化を実現した。また、新奇の高スピン偏極材料を探索することでスピン MOSFET へ向けて不可欠な熱耐性の高い高スピン偏極材料を見出し、半導体 Ge 中間層へのドーピング技術も確立した。それらと並行して低温ゲート作製に関する知見も蓄積しており、縦型スピン MOSFET 実現に向けた基盤技術を確立できた。

本研究では、新奇高スピン偏極材料の導入やドーピングによる低温エピタキシャル成長など縦型スピンドバイスのこれまでの限界を打ち破る成果となり、本デバイス構造のポテンシャルを示せたと考えている。今後の展開により、縦型スピン MOSFET の動作実証、高性能化を積み重ねる中

で、論理演算や新動作原理デバイスへの応用などを提示することで、将来の低消費電力デバイスとして社会実装されることが期待される。

5. 主な研究成果リスト

(1) 代表的な論文(原著論文)発表

研究期間累積件数: 15 件

1. A. Yamada, M. Yamada, M. Honda, S. Yamada, K. Sawano, and K. Hamaya, "Magnetoresistance ratio of more than 1% at room temperature in germanium vertical spin-valve devices with Co_2FeSi ", <i>Applied Physics Letters</i> , (2021), 119 , 192404.
高スピン偏極材料である Co_2FeSi を縦型スピンドバイスに導入することで室温磁気抵抗比の増大を実現し、半導体縦型スピン素子において室温における世界最高性能を実現した。半導体スピン素子の社会実装に向けた足がかりとなる成果である。
2. Michihiro Yamada, Shuhei Kusumoto, Atsuya Yamada, Kentarou Sawano, Kohei Hamaya, "Effect of Sn doping on low-temperature growth of Ge epilayers on half-metallic Co_2FeSi ", <i>Materials Science in Semiconductor Processing</i> , (2024), 171 , 107987.
強磁性体/半導体/強磁性体の縦型スピン素子構造の高性能化に向けて、半導体ゲルマニウム(Ge)中間層にスズ(Sn)を添加することで、低温高品質エピタキシャル成長を実現した。低温成長により、それまで困難であった高スピン偏極材料 Co_2FeSi 上での高品質 Ge 中間層を実現し、室温スピン信号の増大を実証した。
3. M. Yamada, T. Naito, K. Sumi, K. Sawano, and K. Hamaya, "Temperature dependence of two-terminal local magnetoresistance in Co-based Heusler alloy/Ge lateral spin-valve devices", <i>IEEE Transactions on Magnetics</i> , (2022), 58 , 4100505.
磁気抵抗比の温度依存性が界面特性に大きく依存し、室温での磁気抵抗比の向上には、Co系ホイスラー合金/Ge 界面制御が重要であることを明らかにした。

(2) 特許出願

研究期間全出願件数: 0 件(特許公開前のものは件数にのみ含む)

(3) その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)

[国際学会]

1. Atsuya Yamada, Michihiro Yamada, Shuhei Kusumoto, Youya Wagatsuma, Shinya Yamada, Kentarou Sawano, and Kohei Hamaya: "Detection of magnetoresistance effect in all-epitaxial $\text{Co}_2\text{MnSi}/\text{Ge}/\text{Co}_2\text{MnSi}$ vertical spin-valve devices on Si(111)", The joint International SiGe Technology and Device Meeting-International Conference on Silicon Epitaxy and Heterostructures conference 2023 (ISTDM-ICSI-2023), Como, Italy, May 22-25, 2023.
2. Yamada Michihiro, Sumi Kazuaki, Naito Takahiro, Sawano Kentarou, Hamaya Kohei: "Room temperature spin signals improved by low-temperature annealing in $\text{Co}_2\text{MnSi}/\text{Fe}/\text{Ge}$ lateral spin-valve devices", 67th Annual Conference on Magnetism and Magnetic Materials (MMM 2022), Minneapolis, Minnesota, USA, October 31-November 4, 2022.