

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2023 年度 年次報告書	
研究課題名（和文）	神経模倣コンピュータ応用に向けた超低消費電力二次元材料不揮発性メモリの創出
研究課題名（英文）	2D materials-based ultralow-power consumption nonvolatile memory for neuromorphic computing applications
日本側研究代表者氏名	山本 真人
所属・役職	関西大学 システム理工学部 物理・応用物理学科・准教授
研究期間	2022 年 4 月 1 日～ 2025 年 3 月 31 日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
山本 真人	関西大学・システム理工学部・准教授	二次元材料電荷トラップメモリの作製と評価
中払 周	東京工科大学・工学部・教授	二次元材料への欠陥導入
若山 裕	物質・材料研究機構・ナノアーキテクトニクス材料研究センター・グループリーダー	二次元材料ファンデルワールス積層デバイスの作製と評価
岩崎 拓哉	物質・材料研究機構・ナノアーキテクトニクス材料研究センター・独立研究者	二次元材料ファンデルワールス積層デバイスの作製と評価
新ヶ谷 義隆	物質・材料研究機構・ナノアーキテクトニクス材料研究センター・主任研究員	二次元材料ファンデルワールス積層デバイスの作製と評価
上野 啓司	埼玉大学・大学院理工学研究科・教授	遷移金属ダイカルコゲナイド単結晶のバルク合成
LIM, Hong En	埼玉大学・大学院理工学研究科・助教	遷移金属ダイカルコゲナイド単結晶のバルク合成
小田 太一	関西大学・大学院理工学研究科・M2	二次元材料電荷トラップメモリの作製と評価

櫛原 快児	関西大学・大学院理工学研究科・M2	二次元材料電荷トラップメモリの作製と評価
野村 尚哉	関西大学・大学院理工学研究科・M2	二次元材料電荷トラップメモリの作製と評価

2. 日本側研究チームの研究目標及び計画概要

昨年度は、欠陥導入した六方晶窒化ホウ素(hBN)を電荷トラップ層とする二次元半導体電荷トラップメモリ、および二次元半導体二セレン化タングステン(WSe₂)とその表面酸化膜を用いた電荷トラップメモリの作製に成功した。本年度は、昨年度に引き続きそれら二次元半導体電荷トラップメモリを作製し、メモリ特性・シナプス特性の詳細な評価を行うとともに、神経模倣コンピュータ応用に資する低消費電力・高速動作の実現を目指す。具体的な到達目標は、(1)オン・オフ間の書込/消去時間:~10 μs、(2)繰り返し耐性:>10⁵回、(3)保持率:>80%/10 year、(4)パルス幅~10 ns の電圧印加に対して 100 以上の抵抗状態、(5)パルス電圧印加に対して線形かつ対称なシナプス電流変化、の5つとする。繰り返し耐性、保持特性などの基礎メモリ特性の評価は日本側チームが行う。一方、シナプス特性の評価は台湾側チームが行う。

さらに本年度は、二次元半導体電荷トラップメモリの作製・評価と並行して、二次元半導体トンネル電界効果トランジスタ(FET)の作製と低消費電力動作の実現を試みる。日本側チームは、表面電荷移動ドーピングや局所静電キャリアドーピングを利用することによって二次元半導体を局所的に縮退ドーピングする方法を確立し、キャリアのバンド間トンネリングに必要な面内 p⁺-i-n⁺構造を形成する。一方、台湾側チームはキャリアタイプの異なる異種二次元半導体をファンデルワールスヘテロ積層させることで、面直 p⁺-i-n⁺構造の形成を試みる。二次元半導体トンネル FET における動作目標は、(1)サブスレッショルドスイング: < 20 mV/decade、(2)オン・オフ比: >10⁵、(3)動作電圧: < 1 V 以下とする。

3. 日本側研究チームの実施概要

2023 年度は神経模倣コンピュータへの応用を視野に入れ、二次元半導体電荷トラップメモリを作製し、そのシナプス特性の評価を行った。また、低消費電力二次元半導体トンネル FET の実現に向けて、二次元半導体を局所的にホールドーピング、電子ドーピングする方法を開拓した。以下に、それぞれのワークパッケージにおいて得られた結果を示す。

(1)欠陥導入した六方晶窒化ホウ素をトラップ層とする電荷トラップメモリ

本年度は昨年度に引き続き、ヘリウムイオン顕微鏡を用いて欠陥導入した六方晶窒化ホウ素(hBN)を電荷トラップとする二次元 MoS₂ 電荷トラップメモリの作製を試みた。本年度は特に hBN に導入する欠陥密度を変えたときの MoS₂ 電荷トラップメモリのメモリ特性、シナプス特性の変化を詳細に調べた。その結果、ヘリウムイオンのドーズ量を 10¹⁴ cm⁻² から 10¹⁶ cm⁻² まで増加させるとトラップ密度が増加するだけでなく、トラップ準位の深さも多様化し、シナプスデバイス応用に必要な多値性が顕著になることが分かった。ドーズ量 10¹⁶ cm⁻² で欠陥導入した hBN を用いた MoS₂ 電荷トラップメモリにおいて、負のゲートパルス印加によるシナプス増強と正のゲートパルスによるシナプス抑制を実現した。この結果は、欠陥導入した hBN を用いた MoS₂ 電荷トラップメモリが神経模倣コンピュータへの応用に必要なシナプス特性を有することを示すものである。

(2)二次元半導体の局所ドーピングによる面内 p⁺-n ヘテロ構造の形成

本年度はさらに、二次元半導体である WSe₂ 原子層を用いたトンネル FET の実現を視野に入れ、WSe₂ 面内に p⁺-n ヘテロ構造の形成を試みた。具体的な方法としては、WSe₂ に電子供与性の分子を吸着させることで電子ドーピングし、その後局所的にオゾン酸化を行い WSe₂ 表面に WO_x 膜を形成することでホールドーピングを行った。その結果、局所ドーピング処理を行った WSe₂ ヘテロ構造 FET の輸送特性において高いホール伝導と電子伝導の両極性を観測し、さらに出力特性においては pn 接合の形成に由来する整流作用を示すことが分かった。以上の結果は、局所ドーピングした WSe₂ のトンネル FET への応用を期待させるものである。