



ムーンショット目標 6

2050 年までに、経済・産業・安全保障を飛躍的に発展させる
誤り耐性型汎用量子コンピュータを実現

実施状況報告書

2022 年度版

スケーラブルな高集積量子

誤り訂正システムの開発

小林 和淑

京都工芸繊維大学 電気電子工学系



研究開発プロジェクト概要

本プロジェクトでは誤り耐性汎用量子コンピュータを実現するために、エラー訂正のための古典ハードウェア向けアルゴリズムとスケーラブルバックエンド、スケーラブルな量子 - 古典間入出力フロントエンド、それらの LSI 化、量子 - 古典入出力の高帯域・低電力化のための極低温動作光集積回路の技術課題に取り組みます。それにより 2050 年にエラー訂正により汎用的に使える量子コンピュータの誤り訂正システムを実現します。

https://www.jst.go.jp/moonshot/program/goal6/6A_kobayashi.html

課題推進者一覧

課題推進者	所属	役職
佐野 健太郎	理化学研究所 計算科学研究センター	チームリーダー
門本 淳一郎	東京大学 大学院情報理工学系研究科	助教
長名 保範	琉球大学 工学部	助教
三好 健文	キエール株式会社	CTO
塩見 準	大阪大学 大学院情報科学研究科	准教授
新谷 道広	京都工芸繊維大学 電気電子工学系	准教授
佐藤 高史	京都大学 大学院情報学研究科	教授
小林 和淑	京都工芸繊維大学 電気電子工学系	教授
土谷 亮	滋賀県立大学 工学部	准教授
高井 伸和	京都工芸繊維大学 電気電子工学系	教授
宮原 正也	高エネルギー加速器研究機構 素粒子原子核研究所/量子場計測システム国際拠点	准教授

1. 当該年度における研究開発プロジェクトの実施概要

(1) 研究開発プロジェクトの概要

2050 年に真に使える量子コンピュータを実現するには、時間とともに壊れていく大量の物理 Qubit の誤り訂正を実時間でやり、エラーのない論理 Qubit を得るシステムが必須である。そのために、集積回路(LSI)で実現する制御装置で Qubit を制御、観測する量子ビット制御装置(フロントエンド)と、量子コンピュータの誤り訂正を行う多数の論理 Qubit に対応した誤り訂正システム(バックエンド)をネットワーク接続し、実課題を解く必要がある。

2050 年までのシナリオを実現するには、2030 年までに大量の物理 Qubit の誤り訂正を実時間、省電力で行うシステムが必須となる。そのために量子ビット制御の小型省電力化のための専用 SoC や光集積回路・Cryo (極低温) LSI を利用し、より大きな誤り訂正システムを専用ハードウェアで実装しなければならない。

本プロジェクトは、2030 年までのシナリオ実現を達成すべく、2025 年までに下記 4 項目の基盤技術を実証することを目標としている。

【項目1】 エラー訂正バックエンド

【項目2】 量子ビット制御フロントエンドの先鋭化

【項目3】 光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース

【項目4】 フロントエンド・バックエンドの ASIC/SoC 化

(2) 研究開発プロジェクトの実施状況

当該年度は初年度であり、研究開発の環境整備や既存技術の調査ならびに予備検討を中心に、2025 年目標の早期達成に向け、設定した研究開発項目に取り組んだ。

項目1では、ハードウェア実装に適した誤り訂正アルゴリズムとそれをスケーラブルに実現可能とするバックエンドシステムの基本設計を構築するため、シンドローム解析アルゴリズムや論理 Qubit インターフェイスの調査を行うとともに、FPGA にハードウェア開発の環境整備と ASIC 化に向けたアーキテクチャーの予備検討を実施した。また、バックエンドの高信頼性確保のための通信スタックおよび FPGA に関する調査と予備検討を実施した。

項目2では、量子ビット制御装置の小型省電力化のため、現状の量子ビット制御フロントエンドの性能評価、構成要素の洗い出し、および、既存 IP や IC 調査により、フロントエンドの性能向上と小型化に向けたデジタル化による目標を設定した。また、スケーラビリティ向上を目的に要素技術の検討を開始した。

項目3では、基礎技術として次年度から実施する極低温領域で動作する光集積回路や CMOS 検討のため、極低温環境を構築した。また、極低温環境での各種評価を見据え、光集積回路チップの試作、トランジスタアレイの試作評価、SPICE シミュレーションによるフリップフロップや標準論理ゲートの動作特性評価を実施し、次年度からの準備を整えた。

項目4では、フロントエンドの ASIC 化に向けたデジタル回路の RTL 化と SoC の基本仕様検討を実施した。また、極低温領域での RF/ADC/DAC の統合を見据えて、RF においては、高周波でのデバイスモデルの設計手法の検討、ADC においてはインターリーブ動作に適した単体や変換アーキテクチャーの検討、DAC においては、4 倍アップサンプリングに必要な要素回路の設計と性能評価などを実施した。さらに、常温で動作する ASIC を 2025 年以降に実現するため、国内のファブレスと協議を重ねることで目標達成に向けた道筋を整えた。

(3) プロジェクトマネジメントの実施状況

本年度はプロジェクト発足年度であり、管理と運営体制の整備、ならびに、課題の共有と連携を中心にマネジメントを行った。体制の整備においては、PM 支援チームの立ち上げと box や slack による情報・データ管理の運用開始により、プロジェクトの円滑な運営に努めた。また、課題の共有と連携においては、全体会議やサイトビジットの開催により、参加者全員にプロジェクトおよび各課題目標の周知を図り、課題間での意見交換を活発化することに努めた。

さらに、量子コンピュータに係る周辺情報取得を目的に、海外の学会参加やメーカ訪問などを積極的に推進し、研究の方向性や展開の確からしさを確認した。

2. 当該年度の研究開発プロジェクトの実施内容

(1) 項目1:エラー訂正バックエンド

研究開発課題1:ハードウェア向け誤り訂正アルゴリズムと FPGA によるバックエンドシステム
当該年度実施内容:

・シンドローム解析アルゴリズムの調査および基本評価

表面符号化された超伝導 Qubit のエラーシンドローム解析に関する既存のアルゴリズムについて、文献やソフトウェアによる調査を行った。スケーラブルなハードウェア向け誤り訂正アルゴリズムとして有望なアルゴリズムについて、幾つかのアルゴリズムをソフトウェアとして実装し、その複雑さやハードウェア化する際に重要となる並列性やボトルネック等の基礎評価を行った。表面符号化された超伝導 Qubit のエラーシンドローム解析を行うアルゴリズムを対象として、ソフトウェア実装の計算時間や潜在的な並列性などを調査した他、貪欲法(greedy algorithm)や Union find algorithm(UF) について、ハードウェア化の可能性などの分析を行った。UF については、Systolic array によるハードウェア実装を検討し、ソフトウェアシミュレーションによりその初期評価を行った。

・FPGA による HW 開発環境の整備

今後研究開発に使用予定の FPGA に対して、その開発ツール、回路シミュレータ、およびそれらを動作させるためのサーバの導入と設定を行った。

・FPGA SoC の試作設計

今後実施する次世代 FPGA 向けシステムオンチップ(FPGA SoC)の開発に向けた予備検討を行うために、既存の FPGA である Intel Stratix10 SX FPGA とそのシステムスタックである最新の OFS (Open FPGA Stack)に対し、想定される要件に基づき SoC を試作設計し、回路面積、動作周波数、機能等について基礎評価を行った。また、並行して、次世代 FPGA である Intel Agilex-M FPGA を搭載するボードの仕様を検討した。

・論理 Qubit インタフェースの調査

これまでに研究・開発され公開されている API 等を調査し、本バックエンドの上位層とのインタフェースとして求められる要件に対する評価検討を行った。

課題推進者:佐野 健太郎(理化学研究所)

研究開発課題2:ASIC 向けエラー訂正アルゴリズム

当該年度実施内容:

項目1を実現するために、バックエンドハードウェアの全体アーキテクチャについて検討し、主要部分の ASIC 化を含む最適化によってスケーラブルなバックエンドおよび採用する誤り訂正アルゴリズムとバックエンドハードウェアを前提とした、適切な量子アルゴリズムの実装・実行方式について検討を進めた。特に、研究開発課題1での FPGA クラスタ実装で得られた知見を適宜取り入れながら、ASIC 化バックエンドシステムアーキテクチャの初期検討を行った。

課題推進者:門本 淳一郎(東京大学)

研究開発課題3:ディペンダブルなエラー訂正バックエンドの実現

当該年度実施内容:

項目 1 を達成するため、必要な高信頼通信スタックとバックエンド FPGA クラスタの高信頼性化の実現に向けて以下の 3 点を行った。

- (1) 100 Gbit Ethernet によるテスト環境の構築およびフロー制御方式の検討
- (2) 低遅延通信コントローラの開発と高信頼化に向けたプロトコル拡張について検討
- (3) FPGA やメモリのソフトウェア発生率に関する調査

課題推進者:長名保範(琉球大学)

(2) 項目2:量子ビット制御フロントエンドの先鋭化

研究開発課題1:量子ビット制御フロントエンドの先鋭化

当該年度実施内容:

現状の量子ビット制御フロントエンドの性能評価および構成要素を洗い出し、デジタル化による性能向上の目標値、構成部品の 1 チップ/パッケージ化に向けた既存 IP や IC の調査を行った。また、スケーラビリティ向上のための光モジュールを活用した同期用クロック分配システムの評価ボードの開発と誤り訂正処理のための観測処理の実装を行なった。

課題推進者:三好 健文 (キューエル株式会社)

(3) 項目3:光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース

研究開発課題1:光集積回路の低温領域における動作可能性の探求

当該年度実施内容:

光集積回路を極低温環境で動作させることは、常温・極低温間の配線ケーブル数を削減し物理量子ビット(Qubit)のスケーラビリティを確保するための有望な解決策である。本年では、既存コンパクトモデルにおける極低温環境下において光要素回路を試作した。次に、光集積回路、および CMOS 集積回路の極低温環境下での特性測定を評価するための環境を構築した。次年度に、単体素子の評価結果をもとに、極低温環境下における光集積回路の実現可能性を探究する。

課題推進者:塩見 準 (大阪大学)

研究開発課題2:Cryo CMOS PDK の構築

当該年度実施内容:

低温環境下における CMOS 素子の動作をモデル化したコンパクトモデルは、Cryo 大規模

集積回路を設計するために不可欠な要素である。まずは、極低温環境下における測定環境を調達した。現在、65nm でトランジスタアレイを試作し、極低温環境下で電流、容量特性の測定を開始した。

課題推進者:新谷 道広(京都工芸繊維大学)

研究開発課題3:Cryo CMOS 集積回路設計基盤の構築

当該年度実施内容:

トランジスタ及び集積回路を極低温下で測定できる環境を構築するとともに、SPICE シミュレーションにおいて極低温におけるフリップフロップや標準論理ゲートの動作特性を評価した。

課題推進者:佐藤 高史(京都大学)

(4) 項目4:フロントエンド・バックエンドの ASIC/SoC 化

研究開発課題1:フロントエンドのデジタル回路の ASIC と統合 SoC 化

当該年度実施内容:

現状 FPGA と HBM で実装されているフロントエンドのデジタル回路の専用 ASIC と RF/ ADC/DAC を統合したフロントエンド向け SoC のアーキテクチャの検討を行うために、デジタル回路の RTL 化と SoC の基本仕様の検討を行った。さらに、常温で動作する SoC については、2025 年までの実現が難しいことから、項目2の課題推進者と議論の結果、SoM(System on Module)技術を用いての実装を優先することとし、項目 2 の課題とした。ただし、常温で動作する ASIC を 2025 年以降に実現するために、国内のファブレスを課題推進者とすべく協議を重ねた。デジタル回路の RTL 化については、項目 2 ですでに FPGA 実装されている RTL を入手し、ASIC 化の検討を始めた。

課題推進者:小林和淑(京都工芸繊維大学)

研究開発課題2:スケーラビリティを実現する RF フロントエンド回路技術の開発

当該年度実施内容:

極低温環境における RF フロントエンド回路実現に向けた基礎検討を行なった。当初計画では RF フロントエンドを構成する PLL およびミキサー回路の設計を予定していたが、項目 4 の研究目標を極低温環境でのフロントエンド ASIC に 変更したことに伴い、極低温かつ高周波でのデバイスモデル構築および設計手法の確立を優先して研究を実施した。

課題推進者:土谷 亮(滋賀県立大学)

研究開発課題3:フロントエンド向け高速 DAC

当該年度実施内容:

DAC を Cryo 環境で動作させるための調査、DAC を構成する低消費電力回路の設計、DAC の自動設計のための学習データ収集の環境構築およびデータ収集の妥当性の評価を実施した。

課題推進者:高井伸和(京都工芸繊維大学)

研究開発課題4:フロントエンド向け高速 ADC

当該年度実施内容:

性能スケーラブルな高速 ADC を開発するため、インターリーブ動作に適した単体 ADC の変換アーキテクチャを検討し、回路設計を行った。高速動作と低消費電力動作を両立するため、補間コンパレータを用いたマルチビット型 SAR ADC のアーキテクチャを採用した。回路シミュレーションの結果、単体 ADC として分解能 12bit, 変換速度 250MS/s の動作を確認し、4 インターリーブ動作により 1GS/s を達成した。また、令和 5 年度以降に ASIC を試作・評価するにあたり、高速 ADC の評価環境の構築を進めた。

課題推進者:宮原 正也 (高エネルギー加速器研究機構)

3. 当該年度のプロジェクトマネジメント実施内容

(1) 研究開発プロジェクトのガバナンス

進捗状況の把握

代表機関である京都工芸繊維大学内に PM 支援チームを構築し、本プロジェクトの様々な事務処理を各担当者が行うことで PM 業務効率化、本プロジェクト内外への情報伝達の円滑化、各課題目標達成に向けた連携・協業強化などの管理体制を整えた。

情報の共有化

本プロジェクトでクラウドストレージである box 上に共有ファイルシステムを準備し、各種データや成果などの一元管理、情報共有化とセキュリティ強化を図った。また、一般連絡に slack を活用し、課題を超えて研究者が会話できる環境を整えた。

研究開発プロジェクトの展開

・全体会議の開催(原則として3ヶ月に1回)

本プロジェクト発足後、2回の全体会議を開催した。会議では本プロジェクトの目標やスケジュールを共有化するとともに、各課題の進捗を報告し懸案事項については参加者全員で対策協議を行った。また、重要事項の連絡の場としてプロジェクト推進に活用した。

・サイトビジットの実施

本年度は、全体会議に合わせて課題推進者(琉球大学)の研究環境や設備の状況把握を実施した。実際の研究状況を目にすることで、課題への取り組みプロセスや具体的な対策に関し課題推進者間で議論を深掘りすることができ、プロジェクト内の一体感を醸成することができた。今後も全体会議に合わせたサイトビジットを積極的に行っていく予定である。

(2) 研究成果の展開

今年度はプロジェクト発足から6ヶ月と研究期間が短く、海外論文投稿1件に留まった。一方で、集積回路に関する国際会議や海外メーカ訪問を積極的に行い量子コンピュータに係る周辺情報の収集に努めた。今後は、成果の知財化や展示会への出展を積極的に進めるべく、全体会議等を通して事案を協議するとともに、プロジェクトメンバーのマインド育成を強化していく。

(3) 広報、アウトリーチ

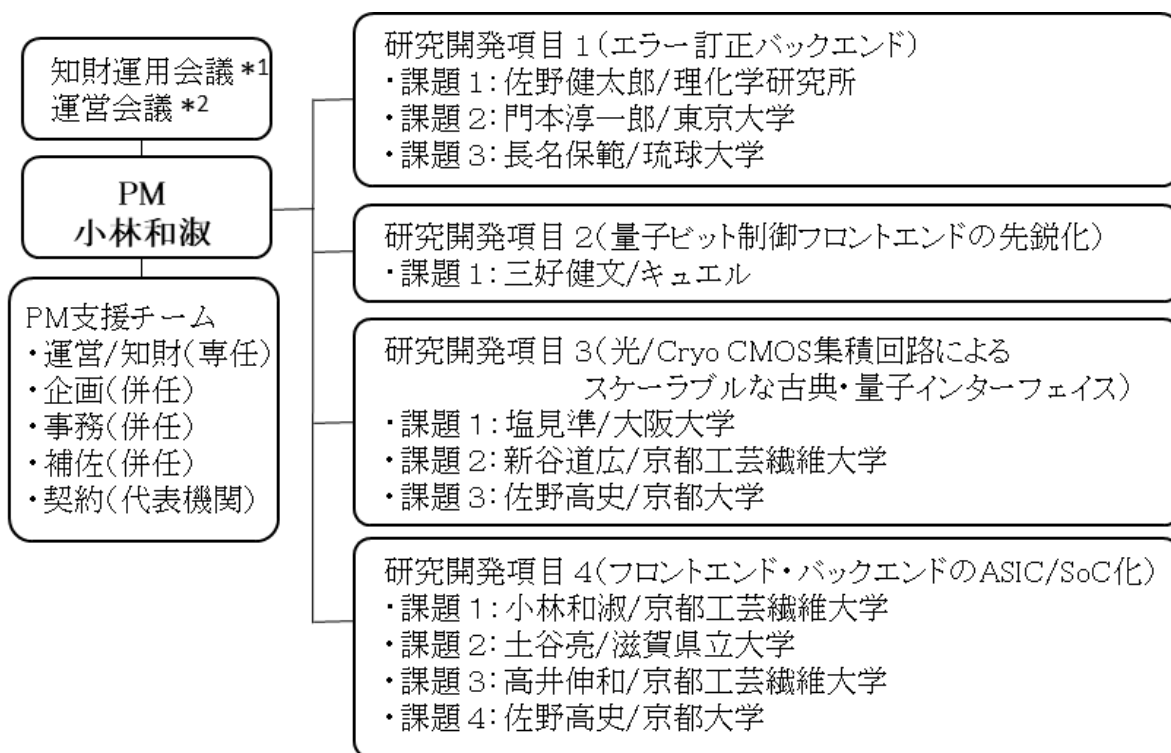
本プロジェクトのシンポジウムを 2022/11/18 に京都工芸繊維大学ならびにオンラインのハイ

ブリッドにて開催した。各課題推進者より研究概要紹介を行うとともに国内外の研究者による招待講演も3件実施した。また、ホームページを構築し随時整備を行った。ホームページ上にはシンポジウムやイベントの告知と議事を掲載するとともに、各課題推進者の研究内容を紹介することで本プロジェクトの活動周知を図った。

(4) データマネジメントに関する取り組み

データマネジメントとして box の積極的な活用を開始した。課題やデータ概要にあわせて階層を設け、データの共有と管理の両立を図った。今後、課題推進者や参加者の増加にあわせて、随時、階層や運用の見直しを進める。

4. 当該年度の研究開発プロジェクト推進体制図



*1 知財運用会議

構成機関: 京都工芸繊維大学、理化学研究所、東京大学、琉球大学、大阪大学、京都大学、滋賀県立大学、高エネルギー加速器研究所

実施内容: 特許出願の可否、複数機関にまたがる知財の調整、国内外の出願情報 等

*2 運営会議

構成機関: PM、PI、PM支援チーム

実施内容: 新規課題推進者(参加機関)の承認、実施規約の改正、重要運営事案の協議、課題間の連携推進 等

5. 当該年度の成果データ集計

知的財産権件数				
	特許		その他産業財産権	
	国内	国際 (PCT 含む)	国内	国際
未登録件数	0	0	0	0
登録件数	0	0	0	0
合計 (出願件数)	0	0	0	0

会議発表数			
	国内	国際	総数
招待講演	0	0	0
口頭発表	0	0	0
ポスター発表	0	0	0
合計	0	0	0

原著論文数 (※proceedings を含む)			
	国内	国際	総数
件数	0	1	1
(うち、査読有)	0	1	1

その他著作物数 (総説、書籍など)			
	国内	国際	総数
総説	0	0	0
書籍	0	0	0
その他	0	0	0
合計	0	0	0

受賞件数		
国内	国際	総数
0	0	0

プレスリリース件数
0

報道件数
0

ワークショップ等、アウトリーチ件数
1