



ムーンショット目標 6

2050 年までに、経済・産業・安全保障を飛躍的に発展させる
誤り耐性型汎用量子コンピュータを実現

実施状況報告書

2023 年度版

スケーラブルな高集積量子

誤り訂正システムの開発

小林 和淑

京都工芸繊維大学 電気電子工学系



1. 当該年度における研究開発プロジェクトの実施概要

(1) 研究開発プロジェクトの概要

2050 年に真に使える量子コンピュータを実現するには、時間とともに壊れていく大量の物理 Qubit^{※1} の誤り訂正を実時間でを行い、エラーのない論理 Qubit を得るシステムが必須である。そのために、集積回路で実現する制御装置で Qubit を制御、観測する量子ビット制御装置(以下「フロントエンド」)と量子コンピュータの誤り訂正を行う多数の論理 Qubit に対応した誤り訂正システム(以下「バックエンド」)をネットワーク接続し、実課題を解く必要がある。

2050 年までのシナリオを実現するには、2030 年までに大量の物理 Qubit の誤り訂正を実時間、省電力で行うシステムが必須となる。そのために量子ビット制御の小型省電力化のための専用 SoC^{※2}、光集積回路、極低温(以下「Cryo」) LSI^{※3} を利用し、より大きな誤り訂正システムを専用ハードウェアで実装しなければならない。

本プロジェクトは、2030 年までのシナリオ実現を達成すべく、2025 年までに下記 5 項目の基盤技術を実証することを目標としている。

【項目1】 エラー訂正バックエンド

【項目2】 量子ビット制御フロントエンドの先鋭化

【項目3】 光/Cryo CMOS^{※4} 集積回路によるスケーラブルな古典-量子インターフェース

【項目4】 フロントエンド・バックエンドの ASIC^{※5}/SoC 化

【項目5】 常温で動作するフロントエンドアナログ RF^{※6} 部の LSI 化

(2) 研究開発プロジェクトの実施状況

初年度で準備した研究内容を発展させて、研究目的の達成に向け課題推進者一丸となって研究開発を進めた。常温での Qubit 制御装置の小型化、低電力化に向けた SoC の実現に向けて、新たに株式会社ソシオネクスト(以下「ソシオネクスト」)を加えるとともに、Qubit の研究を行っている理化学研究所(以下「理研」)の協力も仰ぎ、研究を実施した。

項目1では、ハードウェア実装に適した誤り訂正アルゴリズムとそれをスケーラブルに実現可能とするバックエンドの基本設計を構築するため、シンドローム解析アルゴリズムとハードウェアの設計と評価、バックエンド用 FPGA^{※7} クラスタの設計、バックエンドとのインターフェースとシステムアーキテクチャの設計に取り組んだ。

項目2では、現状のフロントエンドの小型化とスケーラビリティの向上を目的とし、温度制御機構を簡略化したシステム構築やより高密度なシステム実証実験用ボードの開発を実施した。項目1と連携して誤り訂正処理のためのシステムアーキテクチャの検討とプロトコル設計を進めた。加えて、超伝導量子ビット以外への技術展開を検討するため、イオントラップ向け制御方式についての検討を開始した。

項目3では、室温と Cryo をまたぐ膨大な配線をコンパクトにしつつ、古典-量子間で通信される膨大な量のデータを効率的に伝送することを目的に、Cryo での測定環境を整備し光要素回路の試作と動作特性の評価に取り組んだ。Cryo での CMOS 向け PDK^{※8} や CMOS 回路設計にも取り組んだ。さらに、超伝導量子ビットの制御波形の包絡線を大胆に簡素化すべく、簡素な RF パルス発生回路のアーキテクチャの設計に取り組んだ。

項目4では、実施予定であった常温での Qubit 制御 SoC の実現に向けた要素回路の開発はソシオネクスト(項目5)に集約し、100 万 Qubit までスケーラブルにするには、Qubit に近い Cryo に制御

用の古典電子回路を置くのが必須であるため、Cryo での SoC 実現に舵を切り、課題推進者を2名追加しフロントエンドの ASIC 化に向けたデジタル回路の RTL^{※9} 設計や RF/ADC^{※10}/DAC^{※11} の設計を進め、22nm プロセスによるチップ試作を開始した。

項目5では、初期検討として使用プロセスの選定と PLL^{※12} 回路の設計と送受信回路の設計を並行して実施した。

(3) プロジェクトマネジメントの実施状況

本年度は、プロジェクト開始2年目となり、プロジェクト内の連絡網も整備できたことより、プロジェクト全体会議やサイトビジットを計画通り実施するとともに、予算や研究計画の管理を遅滞なく進めた。また、研究組織においては、国内ファブレスメーカーをメンバーに加え強化を図るとともに、フロントエンド開発加速のため年度途中での予算見直し(増額)を行った。さらに、APS^{※13} ビデオ放映や Nature 記事公開などによるアウトリーチ活動、および、海外との協力強化を進めるための海外学会参加や研究機関訪問を精力的に実施した。

(略号説明)

※1_Qubit:Quantum bit、※2_SoC:System on a Chip、※3_LSI:Large Scale Integration、
※4_CMOS:Complementary Metal-Oxide Semiconductor、※5_ASIC:Application Specific Integrated Circuit、※6_RF:Radio Frequency、※7_FPGA:Field Programmable Gate Array、※8_PDK:Process Design Kit、※9_RTL:Resister Transfer Level、※10_ADC:Analog to Digital Converter、※11_DAC:Digital to Analog Converter、※12_PLL:Phase Locked Loop、※13_APS:American Physical Society

2. 当該年度の研究開発プロジェクトの実施内容

(1) 項目1:エラー訂正バックエンド

研究開発課題1:ハードウェア向け誤り訂正アルゴリズムと FPGA によるバックエンドシステム

当該年度実施内容:

- ・ 量子誤り訂正アルゴリズムとして、シンδροーム部分グラフアルゴリズムを開発した。本アルゴリズムは Union find アルゴリズムにヒントを得て、より簡単に処理を分割し並列化可能な特徴を持つ。また、情報の流れが片方向で往復する通信が不要であることから、通信遅延の影響を大きく受けずにパイプライン化等による並列化が可能となる。
- ・ シンδροーム部分グラフアルゴリズムのシミュレータおよびエラーシンδροーム生成ツールを開発し、Qubit エラー訂正評価環境を構築した。エラーシンδροームデータをシミュレータに与えることにより、エラー訂正アルゴリズムの精度を評価することが可能となる。また、現実には存在しない大きさの超伝導量子デバイスに対する、より大きな符号距離の誤り訂正ハードウェアを評価することも可能となる。
- ・ FPGA 実装を見据えたハードウェアの初期設計を行い、サイクル精度のソフトウェアシミュレータの結果を用いることで、単一観測サイクルに対する2次元モデルグラフや複数観測サイクルに対する3次元のモデルグラフに対するハードウェア動作の正しさを確認した。また、FPGA 向けに、SystemVerilog を用いてシストリックアレイの RTL 実装を行い、動作検証と共に、その性能や回路面積などの特性評価を行った。さらに、今後項目(2)のフロントエンドと連携して実証を行うために、フロントエンドで得られたシンδροーム情報をバックエンドシステムに伝送するためのプロトコルおよびフォーマットと、ネットワー

クシステムについて検討を行った。

- ・ 次年度に開発予定の FPGA クラスタで使用する予定の次世代 FPGA アーキテクチャ Agilex FPGA に対し、これまでに開発してきた FPGA システムオンチップを移植した。また、次年度に計画する FPGA クラスタ開発に向けた検討を進めた。HBM^{*14}2E メモリや 400Gbps のネットワークポート搭載等の要件に対し有望な FPGA として、Intel Agilex7 M seriesFPGA が該当することを確認した。
- ・ バックエンドシステムとのその上位層のシステムアーキテクチャと共に、その間のインターフェースの設計を行った。上位層との通信に必要なインターフェースとして、レイヤ間で用いる基本プロトコルを設定インターフェース、上位層とバックエンドシステムの間でどのように作業を分担するかについて、複数選択肢があることを明らかにした。

課題推進者:佐野 健太郎(理化学研究所)

研究開発課題2:ASIC 向けエラー訂正アルゴリズム

当該年度実施内容:

- ・ QEC コアの全体アーキテクチャや具体的なハードウェア実装方法について検討した。先行研究調査を進め、各構成要素(命令デコーダ、命令スケジューラ、誤りデコーダ、パウリフレーム)の整理をおこない全体アーキテクチャを策定し、それぞれを論理合成、配置配線することでスケーラビリティ上のボトルネックについて調査した。また、翌年度以降の FPGA-ASIC 接続に向けて FPGA-ASIC 間のインターフェース回路やそれぞれのハードウェア構成の検討を進めた。
- ・ 常温環境下、先端 CMOS プロセスを利用した ASIC 実装を前提として QEC コアの性能評価を進めた。各構成要素(命令デコーダ、命令スケジューラ、誤りデコーダ、パウリフレーム)について Verilog HDL^{*17} による実装を進め、各機能ブロックについて RTL シミュレーションによってスループットやレイテンシを評価した。各種 CMOS プロセスにおけるこうした性能指標の変化についても調査し、翌年以降における全体性能評価への道筋をつけた。
- ・ CMOS テストチップを設計・開発し QEC コアの一部機能ブロックについてのテストチップによる評価を進めた。QEC コアのスケーラビリティ、性能上のボトルネックとなる誤りデコーダについて、テストチップ化に向けた Verilog HDL 実装を行った。また、22-nm CMOS 製造プロセスによるチップ設計開発環境を整備し、テストチップの製造を進めた。翌年度以降の実測評価や、異なるブロックのテストチップ設計開発に向けた基盤を整えた。

課題推進者:門本 淳一郎(東京大学)

研究開発課題3:ディペンダブルなエラー訂正バックエンドの実現

当該年度実施内容:

- ・ Linux ホストを 100 Gbit Ethernet で相互接続したシステムを構築し、RDMA によるネットワーク負荷試験とその際にやりとりされるパケットをキャプチャして観測するための実験系を実現した。RDMA の実装を行っているベンダは Intel や Mellanox など数社に限られており、ドキュメントで明確になっていない仕様も多いが、これによりスイッチとホストの協調によるフロー制御の仕組みを明らかにすることができた。並行して、FPGA への軽量の UDP/IP 通信スタックの開発を行った。また、項目 1 の佐野 PI および項目 2 の三好 PI と協議して、フロントエンドとバックエンドの通信パケットのデータフォーマットを策定し、これを想定されるデータレートで送受信する模擬システムを FPGA と 100 GbitEthernet スイッチを用いて構築、動作検証を行った。50 時間にわたる動作テストの結果、パケットはロスなくバックエ

ンド側にすべて到達することが確認できた。

- ・ 従来より開発を進めてきた、1 対 1 接続の通信コントローラである Kyokko を使ったネットワークの実現へむけて、100 Gbps でスイッチング可能な FPGA 向けオンチップルータを開発し、実機による動作検証を行った。このスイッチのバックプレッシャ機構と、Kyokko のフロー制御機構は連携可能であり、これを用いて複数の FPGA 間をデータのロスなしに低レイテンシで接続することが可能である。また、佐野 PI らの開発中の FPGA ボードへ搭載される予定のデバイスへの Kyokko の対応について検討を行った。実機が手に入るのは令和 6 年度に持ち越しとなったため、今年度はシミュレーションレベルでの検討にとどまっているが、概ね問題なく対応できる見通しである。

- ・ 現在の商用高性能 FPGA で広く使われている FinFET^{*18} プロセスや、FPGA カードに搭載されているスタック型の DRAM^{*19} はその構造上高いソフトエラー耐性を備えていることを確認した。したがって、FPGA 内外のメモリ上のデータの保護には ECC^{*20} の適用により実用上十分なソフトエラー耐性を付与することができることがわかった。また、本プロジェクトの量子フロントエンドや誤り訂正バックエンドで用いられる FPGA では、回路情報を構成するコンフィギュレーションメモリにエラー検出の仕組みが備えられているため、これを用いて回路の保護が実現可能であることも確認した。ただし、これにはエラーの検出と回路の動作状態復元のための機構を実装する必要がある、すでにこのための検討を開始している。

課題推進者:長名保範(熊本大学)

(2)項目2:量子ビット制御フロントエンドの先鋭化

研究開発課題1:量子ビット制御フロントエンドの先鋭化

当該年度実施内容:

- ・ 信号品質の安定化を目的としたデジタル信号処理による補正システムを組み込むために、出力信号のモニタリングを行うためのループバック回路を実装し装置に組み込んだ。また、ループバックで得られた信号を用いた補正処理モジュールの実装を行った。さらに、制御装置の小型化とスケーラビリティ向上を目的として既存の装置の温度制御を簡素化した制御装置を開発し、信号の安定性の評価を行った。評価を行った結果、温度制御機構を簡略化システムにおいても超伝導量子ビットの制御に求められている指標の一つである 120 秒における位相ゆらぎを ± 0.25 度以内に抑えることができることが確認できた。加えて、超伝導量子ビット以外の量子コンピュータへの技術展開を目的として、イオントラップ型量子ビットの制御方式について調査と初期検討を行った。

- ・ 昨年度得られた知見に基づき、既存装置の構成要素のコンポーネント化をすすめ、それぞれのコンポーネントを評価するための実験用ボードを開発した。

- ・ 制御装置の駆動に必要な信号を光ファイバにより安定して分配する方式を検討し、その実用性について評価ボードを用いた評価を行った。

- ・ 誤り訂正に必要なシンドローム情報を連続して取得しバックエンドに送信し続けることができるシステムアーキテクチャを検討し、初期実装を行った。検討したアーキテクチャは、量子ビットの制御と観測用の信号送信、観測信号の受信、量子ビットの状態を取得する復号処理、バックエンドへの転送を中断なく実行できるパイプライン構成である。構成を実装し所望の動作を確認した。また、バックエンドにシンドローム情報を転送するためのプロトコルの設計を行ない、項目1とのすり合わせを行った。

課題推進者:三好 健文 (キューエル株式会社)

(3)項目3:光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース

研究開発課題1:光集積回路の低温領域における動作可能性の探求

当該年度実施内容:

・ Cryo 用に光要素回路を試作・測定し、その動作特性を評価し、 -65°C 環境で電気入力に応じて、2つの光出力を変調するスイッチ回路が動作可能であることを明らかにした。また、電力制約の厳しい Cryo での稼働状況をモニタすべく、演算回路(ベクトル行列積、論理回路)、単体素子、温度モニタを追加した Cryo 動作確認用光集積回路、および、Cryo での通信データ圧縮向けの RISC-V チップを設計した。さらに、研究開発項目 3 の全メンバー、および、研究開発項目 2 メンバーの協力のもと、スケーラブルな RF パルス発生回路のアーキテクチャを策定した。

課題推進者:塩見 準 (大阪大学)

研究開発課題2:Cryo CMOS PDK の構築

当該年度実施内容:

・ 65nm トランジスタアレイを用いて、Cryo 下での電流・容量特性の測定を行い、業界標準モデルである BSIM4 (Berkeley Short-channel IGFET Model Version 4)を用いてモデル化を行った。また、機械学習アルゴリズムの1つであるガウス過程を用いて電流特性をモデル化することにも成功した。これらの結果をもとに、22nm トランジスタアレイ TEG を設計および測定を開始した。

課題推進者:新谷 道広 (京都工芸繊維大学)

研究開発課題3:Cryo CMOS 集積回路設計基盤の構築

当該年度実施内容:

- ・ 昨年度構築した評価環境を用いて、室温及び Cryo で 65nm バルク CMOS トランジスタの閾値電圧を連続測定し、閾値電圧の安定性を調査した。その結果、Cryo ではランダムテレグラフノイズ(RTN^{※21)}と呼ばれる閾値電圧の離散的な変動が観測されることを明らかにした。この結果は RTN 起因の閾値電圧変化を加味した回路設計が求められることを示唆している。
- ・ 単相クロックで動作するダイナミックフリップフロップのレイアウトを設計した。次年度には Cryo におけるフリップフロップ特性を測定できるよう、レベルシフタや VCO^{※22)}等の周辺回路を搭載したデバイスアレイを設計・試作し、スタティックフリップフロップに対して高速かつ低消費電力な動作が可能であること、さらに高い低電圧耐性を有することを実証する。
- ・ Cryo での RTN を測定によって明らかにすることの重要性が浮き彫りとなった。そこで、22nm バルクプロセスでトランジスタの閾値電圧測定に特化したデバイスアレイを設計した。

課題推進者:佐藤 高史 (京都大学)

(4)項目4:フロントエンド・バックエンドの ASIC/SoC 化

研究開発課題1:フロントエンドのデジタル回路の ASIC と統合 SoC 化

当該年度実施内容:

- ・ 現状 FPGA と HBM で実装されているフロントエンドのデジタル回路の専用 ASIC と RF/

ADC/DAC を統合したフロントエンド向け SoC のアーキテクチャの検討を行うため、ディジタル回路の RTL 化と SoC の基本仕様の検討を行った。ただし、常温で動作する SoC については、2025 年までの実現が難しいことから、項目 2 の課題推進者と議論の結果、SoM^{※23} 技術を用いての実装を優先することとし、項目 2 の課題とした。また、項目 2 よりすでに FPGA 上に実装済の RTL を入手し、それを ASIC 向けに改変するとともに 22nm バルクプロセスを用いて ASIC 化し、2024 年 4 月上旬にテープアウト(設計データの提出)を行った。

・Cryo での ASIC の動作確認を行うため、アナデジ混載 LSI テスタ(Advantest EVA100)を購入し、液体ヘリウム用デューワーに挿入可能な治具の仕様策定を行うことで Cryo での信頼性評価環境を構築した。

課題推進者:小林和淑(京都工芸繊維大学)

研究開発課題2:スケーラビリティを実現する RF フロントエンド回路技術の開発

当該年度実施内容:

- ・チップに直接針を接触させるオンウェハプロービングで測定できるよう設計した TEG と PLL の要素回路である VCO の TEG で構成した測定系を構築した。
- ・Cryo における RF フロントエンド回路実現に向け、チップの設計・試作と並行し、Cryo・高周波での特性について、理論検討を行った。チップ内の配線特性に着目し、Cryo では配線の抵抗率が配線形状に強く依存することを数値計算で明らかにした。この結果を国際会議に投稿し採択された。
- ・要素回路である PLL は RF フロントエンドでマイクロ波信号源として用いるだけでなくディジタル部のクロック源としても使用する設計を行い、22nm CMOS プロセスにて試作した。試作品について構築した測定系を用いた特性評価を開始した。

課題推進者:土谷 亮(滋賀県立大学)

研究開発課題3:フロントエンド向け高速 DAC

当該年度実施内容:

- ・DAC を Cryo で動作する低消費電力の DAC を設計し 65nmCMOS プロセスで試作した。常温、Cryo での測定環境の構築を進め、カレントステアリング型 DAC に補助アンプを用いることで低電源電圧と 1LSB^{※24} の電流を抑えることに成功した。また来年度予定している 22nm での試作に向けて設計を始めた。
- ・昨年度 DAC の自動設計を深層強化学習で試みた結果、回路規模が大きいため膨大な学習時間が必要であることがわかったため、本年度は学習時間短縮のため2つのアルゴリズムを Python で実装した。DAC を構成する基本回路で検証した結果、大幅な時間削減が可能であることを確認した。

課題推進者:高井伸和(京都工芸繊維大学)

研究開発課題4:フロントエンド向け高速 ADC

当該年度実施内容:

- ・DC オフセットは比較器に搭載されているミスマッチ補償機能により大部分が補正可能であり、残留誤差についてはディジタル領域で補正する方式が有効であることを確認した。利得ばらつきの補正とサンプリングタイミングのミスマッチについては全てディジタル領域で行おうとするとハードウェア規模やレイテンシが大きくなりやすく、インターリーブ数が増えるにつれてオーバーヘッドがより顕著になる。このため、利得補正にはサンプリング容量に容量型 DAC を追加し、また、タイミング補償についてはイン

バータ遅延を用いたデジタル―時間変換器(DTC)を搭載し、これらによりシンプルなデジタル制御によりミスマッチ補償を行えるようにした。

- ・ 性能スケーラブルな高速 ADC を開発するため、インターリーブ動作に適した単体 ADC の変換アーキテクチャを検討し、22nm Bulk CMOS プロセスを使用して ADC の試作を行った。また、Cryo における回路動作の理解と動作の確実性を高めるために、比較器やリングオシレータなどの要素回路を試作した。さらに、試作した回路の Cryo での動作を確認するために、液体ヘリウムを用いたデュワー型の低温評価環境を整備した。試作した ADC 及び要素回路の評価を常温及び Cryo で実施し、すべての回路の正常動作を確認した。

課題推進者:宮原 正也 (高エネルギー加速器研究機構)

研究開発課題 5:フロントエンド向けデジタル回路の RTL 設計 (令和 5 年度 12 月より実施)

当該年度実施内容:

- ・ フロントエンド向けデジタル回路の ASIC 化を目的として、既存の FPGA 向けに設計された回路データ(RTL 記述)を基に、ASIC 向けの回路データを作成した。また検証環境に関しても、ASIC 向けに再構築した。

課題推進者:今川 (明治大学)

研究開発課題 6:フロントエンド向けデジタル回路のレイアウト設計 (令和 5 年度 12 月より実施)

当該年度実施内容:

- ・ 現状 FPGA と HBM で実装されているフロントエンドのデジタル回路を専用 ASIC として実現させた。22nm バルクプロセスを用いて、ASIC として動作するためのレイアウト設計を行った。SRAM^{※25}や各セルの配置配線だけでなく、タイミング制約も考慮したレイアウトを実現させた。

課題推進者:岸田 亮(富山県立大学)

(5)項目 5:常温で動作するフロントエンドアナログ RF 部の LSI 化 (令和 5 年度 6 月より実施)

研究開発課題1:常温で動作するフロントエンドアナログ RF 部の LSI 化

当該年度実施内容:

- ・ 量子ビット制御装置の小型・省電力化のために、フロントエンドアナログ RF 部の LSI 化の検討を実施した。使用プロセスとして、22nm FDSOI^{※26} プロセスを選定し、フロントエンドアナログ RF 部の PLL 回路と送受信回路の CMOS 化に取り組み、TEG の設計を開始した(設計完了は令和 6 年度の予定)。更に、複数チャネルの集積化の検討として、送受間アイソレーションの改善検討も実施した。

課題推進者:五十嵐 正利 (株式会社ソシオネクスト)

(略語説明)

※14 HBM :High Bandwidth Memory、 ※15_QEC: quantum error correction、 ※16_TEG: Test Element Group、 ※17_Verilog HDL: Hardware Description Language、 ※18_FinFET:Fin Field-Effect Transistor、 ※19_DRAM:Dynamic Random Access Memory、 ※20_ECC:Error-correcting code、 ※21_RTN:Random Telegraph Noise、 ※22_VCO:Voltage-Controlled Oscillator、 ※23_SoM: System

on Module、※24_LSB:Least Significant Bit、※25_SRAM: Static Random Access Memory、
※26_PDSOI: partially depleted silicon-on-insulator

3. 当該年度のプロジェクトマネジメント実施内容

(1) 研究開発プロジェクトのガバナンス

・進捗状況の把握

本年度は、6、9、11、3月に全体会議を開催した。会議では本プロジェクトの目標やスケジュールの共有化、PM方針の伝達、課題代表者からの進捗報告、予算管理および、中間評価での指摘事項に関する対応策協議を行った。特に、9月の全体会議では、若手研究者のポスター発表を行い、進捗状況の把握と積極的な人材交流を図った。また、サイトビジットとして、課題推進機関である理研とソシオネクストの研究拠点を訪問した。理研では、研究環境を視察することで、課題への取り組み状況をメンバー間で深掘りすることができた。さらに、北海道大学の量子集積エレクトロセンター訪問と理研のスーパーコンピュータ富岳見学を実施し、研究視野の拡大とメンバー間の一体感醸成を図った。今後も全体会議に合わせたサイトビジットを実施する。

・研究開発プロジェクトの展開

産学連携によるプロジェクト目標実現に向けた組織強化策として、国内ファブレスを課題推進者に加えるべく協議を重ね、ソシオネクストに参画いただいた。また、デジタル回路のASIC化では、新たに今川助教(明治大学)と岸田講師(富山県立大学)を研究協力者として迎え、課題推進者として組織強化を図った。

(2) 研究成果の展開

研究開始から1年程度ではあるが、学会やセミナーに参加し研究成果発表を積極的に行った(発表総数28件)。また、目標6内部全体会議にて12件のポスター発表を行い、他プロジェクトメンバーへ研究成果を展開するとともに、課題に対する貴重な意見をいただいた。

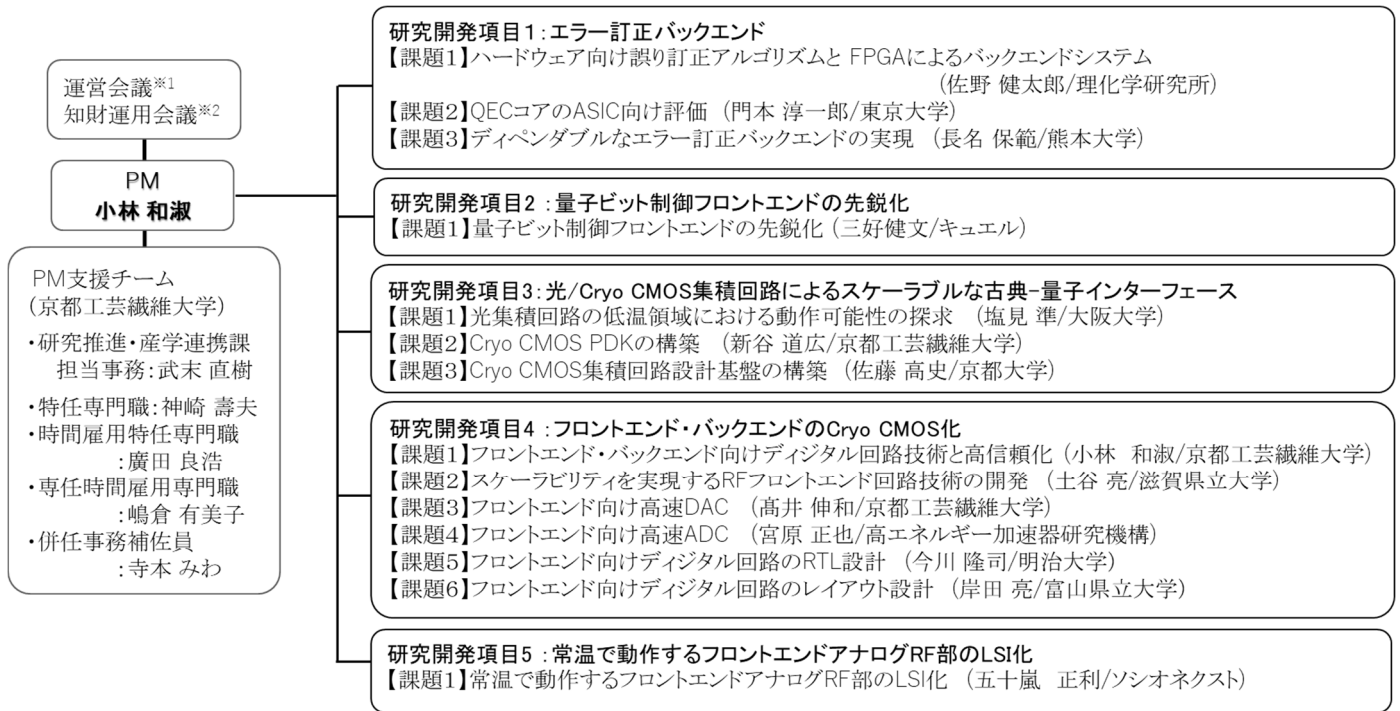
(3) 広報、アウトリーチ

昨年度作成したホームページの各課題推進者紹介や研究内容を整理し、写真や図表を載せる等の更新を行った。また、講演会資料や公開情報をホームページ上に掲載することで活動の見える化を進めた。さらに今年度は、APSビデオ放映やNature記事公開などによりアウトリーチ活動を積極的に行った。

(4) データマネジメントに関する取り組み

外部クラウドサーバーBOX上にオープンとクローズド2種類のフォルダを設定し、メンバー間のデータ情報共有化と守秘管理を進めた。

4. 当該年度の研究開発プロジェクト推進体制図



※1会議体制

- ・ 目的: 新規課題推進者・参加機関の参加の可否、実施規約の改正、その他運営全般
- ・ メンバー: PM、PI、PM支援、JST

※2会議体制

- ・ 目的: 特許出願しない場合の可否、複数研究期間にまたがる知財の調整、その他
- ・ メンバー: PM、PI

5. 当該年度の成果データ集計

知的財産権件数				
	特許		その他産業財産権	
	国内	国際(PCT 含む)	国内	国際
未登録件数	1	0	0	0
登録件数	0	0	0	0
合計(出願件数)	1	0	0	0

会議発表数			
	国内	国際	総数
招待講演	0	1	1
口頭発表	9	9	18
ポスター発表	4	5	9
合計	13	15	28

原著論文数(※proceedings を含む)			
	国内	国際	総数
件数	0	0	0
(うち、査読有)	0	0	0

その他著作物数(総説、書籍など)			
	国内	国際	総数
総説	0	0	0
書籍	0	1	1
その他	0	0	0
合計	0	1	1

受賞件数		
国内	国際	総数
0	1	0

プレスリリース件数
0

報道件数
0

ワークショップ等、アウトリーチ件数
1