

研究課題別研究評価

1. 研究課題名: 並列分散制御用実時間アーキテクチャの研究

2. 研究者名: 山崎 信行

3. 研究の狙い:

本研究では、OA や FA の制御、インテリジェントビルディングの制御、超分散センサの制御、各種ロボットの制御、マルチメディア処理等の様々な並列分散リアルタイム処理を実現可能にする、リアルタイム通信ネットワークとリアルタイム処理を融合したアーキテクチャの研究を行なう。

4. 研究結果及び自己評価:

研究結果

(1)以下の機能・特徴を有した並列分散制御用途で分散管理型の実時間通信リンク(レスポンスリンク)の設計・実装を行った。その結果、 $Total\ latency = 2\ \mu\ sec\ (overhead) + 1[\mu\ sec/hop] \times n[hop]$ となり、非常に高いリアルタイム性能を実現した。

- ・データリンク(ソフトリアルタイム用)とイベントリンク(ハードリアルタイム用)を分離してソフトリアルタイム通信とハードリアルタイム通信を同時に実現可能にした。

- ・パケット長を予測可能なように固定にし、高スループットが要求されるデータリンクはパケットサイズを大きくし(64B)、低レイテンシが要求されるイベントリンクはパケットサイズを小さくし(16B)、ハード/ソフト・リアルタイムを実現した。

- ・データとイベントを独立してルーティングし、柔軟性を実現した。

- ・通信パケットに優先度を付け、高い優先度のパケットが低い優先度のパケットを通信ノード毎に追い越しを行う機能を実現し、細粒度のリアルタイム通信を実現した。

- ・全く同じネットワークアドレス(送信元アドレスと送信先アドレス)を持つ通信パケットの経路を優先度によって別々に設定及び変更することによって専用回線や迂回路を実現し、ダイナミックなリアルタイム通信を実現した。

- ・通信パケットの優先度を通信ノード毎に付け替え、通信パケットの追い越しやルーティングを分散管理型で制御可能にした。

- ・トポロジーフリーを実現して、どのようなシステム構成も可能にした。

- ・ハミング符号、Bit-Stuffing、NRZI、DPLL、同期フレーム等の要素技術を組み合わせてハードウェアによる前方エラー訂正を行い、再送を不要にし、リアルタイム通信をサポートした。

(2)以下の機能・特徴を有した実時間処理向けのマルチスレッド型プロセッサの設計・実装を行った。

- ・複数命令同時イシューのスーパー scaler プロセッサをベースにして、複数レジスターセットに各々異なるスレッドコンテキストを保持し、それらをマルチパイプラインで複数スレッドの同時実行を可能にするマルチスレッディングプロセッサを実現した。

- ・オンチップレジスターセット上のコンテキストスイッチを1クロックで可能にした。

- ・ハードウェア資源を考慮し、ファンクショナルユニットをバーチャルファンクショナルユニット(VFU)として設計・実装することを実現した。各パイプラインはVFUにより構成され、各VFUは複数のパイプラインに共有されている。

・スレッド毎に優先度を付加し、高い優先度のスレッドが高い割合でパイプラインを使用する。また、VFU の使用に関して衝突があった場合、優先度の高いスレッドが VFU を使用することを実現した。これらの機能によって、ハードウェア資源を抑えながら高い性能を実現した。

・各ファンクショナルユニットをパイプラインチェイニング機構を用いて柔軟に結合し、マルチメディア処理などの演算を柔軟に高速化することを実現した。

(3)上記(1),(2)の機能・性能を有した RNPU をシステムオンチップとして実現した。

自己評価

本研究テーマは、リアルタイムをキーワードにして通信と演算処理を融合した RNPU のアーキテクチャを考案し、システムオンチップとして設計・実装・評価するというものであった。

リアルタイム通信に関しては、ハードリアルタイム通信とソフトリアルタイム通信の両方を実現するリアルタイム通信規格「レスポンスリンク」を設計・実装した。また、リアルタイム通信の国際標準を狙い、レスポンスリンクを ISO/IEC SC25 に提案して、現在標準化作業を行っている。単に設計して評価するだけではなく、リアルタイム通信の国際規格提案まで進めることができたので、目標以上の成果が出たのではないかと考えている。

リアルタイム処理(演算)に関しては、マルチスレッディングアーキテクチャに VFU やパイプラインチェイニング等の要素技術を考案・応用することによって、ゲート数を抑えながら柔軟な演算機構を実現しリアルタイム処理性能を向上することができた。パイプラインチェイニング機構によって任意のファンクショナルユニットを結合することができ、柔軟な複合演算を実現できた。また、1 クロックでコンテキストスイッチを可能にし、優先度に従いコンテキストスイッチを行いながら複数スレッドを同時に動作させることを可能にした。

ただし、様々な理由(台湾地震、内外価格差、納期等)から RNPU を実チップとして実現できなかったのは残念である。

5. 領域総括の見解:

ロボットや構造物等の制御、さまざまなマルチメディア処理システム等に有効に利用できる、通信と演算処理両方にサポートするシステムオンチップのリアルタイムプロセッサアーキテクチャの設計研究に取り組み、実時間通信リンク(国際標準化がほぼ確実となっている)、マルチスレッド型実時間プロセッサ等の設計と実装に成功した。オンチップのリ

アルタイムプロセッサアーキテクチャの設計は、IT の発展を国策としつつあるわが国では最も重要な技術分野の一つであるにもかかわらず、こうしたシステムをまともに設計、実装できる若手研究者はわが国では払底しており、その中であって、さきがけ研究21「情報と知」領域における山崎信行の研究成果は、十分世界に誇りうるものとして極めて高く評価できる。

山崎信行の研究者としての特徴は、ハードウェアとソフトウェアの設計能力ともに極めて優れ、および強い意欲と冷静な判断力に溢れていることであり、3年間という短い研究期間に大規模なプロセッサアーキテクチャをまったくの個人で設計、実装したこと自体驚くべきことであった。しかも、特に実時間通信リンクについては国際標準化がほぼ確定

しており、わが国の情報技術で国際標準化までに至った技術はほとんどないことを考慮すると、山崎信行が「情報と知」領域の研究者として得た成果は、さきがけ研究21の範囲のみならず、わが国全体の情報関連研究としても特筆すべきものである。

山崎信行が、今後さらに独自の研究プロジェクトをリードする等の経験を積むことによって、新たに多くの成果をわが国にもたらすとともに、それを通じてわが国を代表するオンチッププロセッサアーキテクチャの研究者になることは確実である。彼のテーマは、わが国の産業界に直接の発展をもたらす可能性の高いテーマである。したがって、わが国における情報技術の発展のためにも、さきがけ研究21における山崎信行の研究期間が終了した現在、彼がリードできる新たな研究プロジェクトが早急にスタートできることを望みたい。

6. 主な論文等:

[1]山崎 信行, 松井 俊浩, 並列分散リアルタイム制御用レスポンスプロセッサ, 日本ロボット学会誌, Vol.19, No2・2001(掲載予定)

[2]Nobuyuki Yamasaki, Design and Implementation of *Responsive Processor* for Parallel/Distributed Control and Its Developing Environment, Journal of Robotics and Mechatronics, Vol.13, No.3, 2001 (to appear)

[3]山崎 信行, 並列分散実時間制御システム, 電気学会研究会資料 産業計測制御研究会, Vol. IC-00-24~29, pp.19-24, March, 2000

[4]山崎 信行, 並列分散実時間システム, 日本ロボット学会第 60 回講習会 ~ロボット工学セミナー~ ネットワークとロボティクス, pp.39-49, Nov, 1999

[5]Nobuyuki Yamasaki and Toshihiro Matsui, *Responsive Processor* for Parallel/Distributed Real-Time Processing, Proceedings of COOL Chips II, pp.153-167, 1999

[6]山崎 信行, 並列分散制御用レスポンスプロセッサの FPGA を用いた設計及び評価, FPGA/PLD Design Conference & Exhibit CONFERENCE 論文集, pp.1-8, 1999(優秀論文賞受賞)

[7]山崎 信行, 並列分散リアルタイム制御用高速応答プロセッサの提案, オーム社エレクトロニクス, pp.58-61, Vol.3, 1998

主要論文別刷一覧:

[1]山崎 信行, 並列分散実時間制御システム, 電気学会研究会資料 産業計測制御研究会, Vol. IC-00-24~29, pp.19-24, March, 2000

[2]Nobuyuki Yamasaki and Toshihiro Matsui, *Responsive Processor* for Parallel/Distributed Real-Time Processing, Proceedings of COOL Chips II, pp.153-167, 1999

[3]山崎 信行, 並列分散制御用レスポンスプロセッサの FPGA を用いた設計及び評価,

FPGA/PLD Design Conference & Exhibit CONFERENCE 論文集, pp.1-8, 1999(優秀論文賞受賞)

[4]山崎 信行, 並列分散リアルタイム制御用高速応答プロセッサの提案, オーム社エレクトロニクス, pp.58-61, Vol.3, 1998