

研究課題別評価

1 研究課題名: 超微細 LSI におけるオンチップ高速信号伝送技術の開発

2 研究者氏名: 橋本昌宜

3 研究の狙い:

本研究では、将来の超微細 LSI においてブロック間の長距離信号伝送を高速に行う技術の開発を行ってきた。本信号伝送技術によって、CPUとメモリ間あるいはプロセッサ間の高速かつ大容量な通信を実現し、LSI 内部のバスボトルネックの問題を解消する。これにより、超高性能システム LSI やオンチップ超並列コンピューティングを可能とする。

近年、配線性能の制約によって LSI の性能が、製造プロセスが微細化されても向上しないのではないかと危惧されている。本研究では、LSI 内部の配線によって伝送線路を実現し、電磁波の速度での信号伝播特性を利用して、配線性能の問題を解決する。しかし、単純に現在のグローバル配線を伝送線路に置き換えただけでは大幅な高速化は実現できない。光速という物理的な限界によりチップ全体のグローバルクロックをそれほど上昇させることができないためである。本研究では、線路にグローバルクロックよりも短いサイクルで信号を連続的に送り込むウェーブパイプライン技術を用い、データバンド幅を向上させる(図1参照)。これにより、配線性能ではなくトランジスタの性能の向上にそった信号伝送容量の向上を実現することが出来る(図2参照)。本伝送方式は、将来的に予想されているグローバルクロックとローカルクロック周波数が異なる LSI システムにも適しており、将来の大規模な LSI における標準的な信号伝送方式となることが期待される。

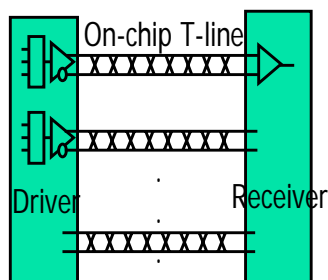


図1 提案信号伝送方式

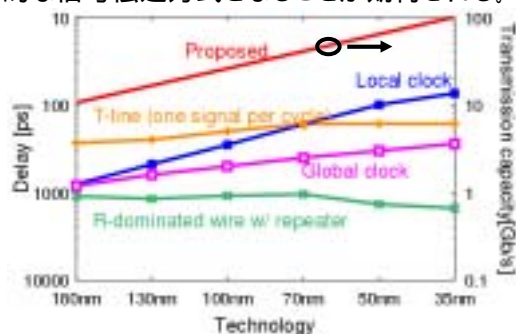


図2 提案信号伝送方式による目標信号伝送性能

4 研究の成果

本研究では、オンチップ伝送線路上でウェーブパイプライン技術を用いた信号伝送を行うことでトランジスタ性能の向上に比例した通信性能向上の実現を目指している。目標性能を実現するためには大きく分けて以下の4つの課題がある。

- オンチップ伝送線路の最大性能 (4.1 節)
- 信号伝送のエネルギー効率 (4.2 節)
- オンチップ信号伝送に適した信号伝送方式 (4.2 節)
- ドライバ、レシーバ回路などの要素回路の設計 (4.3 節)

以下でそれぞれについて説明する。

4.1 オンチップ伝送線路の最大性能

オンチップ配線は抵抗が高く損失が大きいたことが特徴である。分散による波形ひずみよりも信号の減衰が配線の信号最大伝送能力を決める要因となる。損失による減衰は、図3に示すように信号線幅を広げてもある程度以上に改善することができず、本質的な問題である。抵抗以外の損失要因として誘電損があるが、現在の配線の絶縁材料 SiO₂ の $\tan\delta$ は 0.0006 と小さく、1THz にお

いても導体損失が支配的である(図 4 参照)。

配線の伝送特性を評価するため、区分線形関数による波形近似を用いたアイパターン評価技術

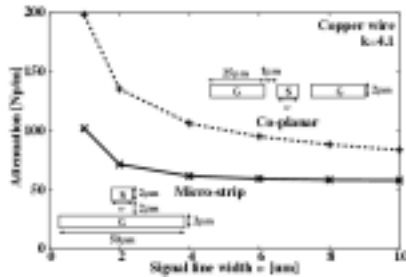


図 3 配線幅と減衰定数の関係

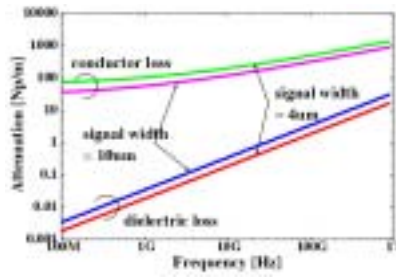


図 4 導体損失と誘電体損失

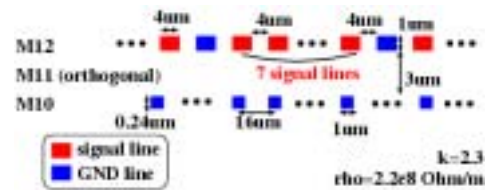


図 5 評価に用いた配線構造

を開発した。これはパルス幅、立ち上がり時間、立ち上がり電圧、伝播時間のパラメータのみからアイパターンの電圧方向の開口を解析的に求めることができる。これを用いて、伝送速度、アイの電圧方向の開口、配線長、信号伝送方式(シングルエンド、ディファレンシャル)の間のトレードオフを評価した。配線構造は図 5 を想定した。

図 6 にレシーバのセンス可能な最小電圧値をパラメータとしたビットレートと配線長のトレードオフ曲線を示す。配線長とビットレートにはトレードオフの関係があることが分かる。シングルエンド伝送の場合、レシーバの感度によって通信性能があまり変化しないのに対し、ディファレンシャル伝

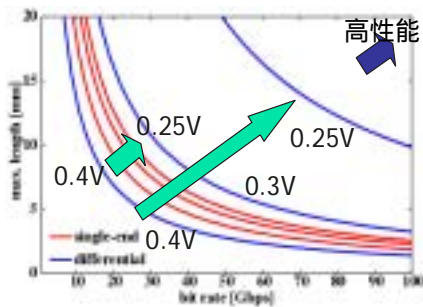


図 6 ビットレート、レシーバ感度と信号伝送距離の関係

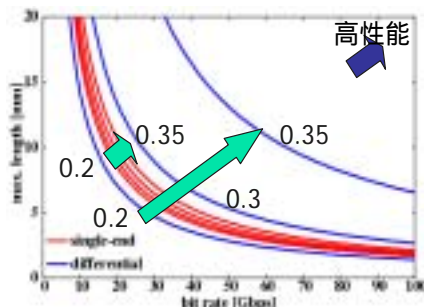


図 7 ビットレート、配線の減衰と信号伝送距離の関係

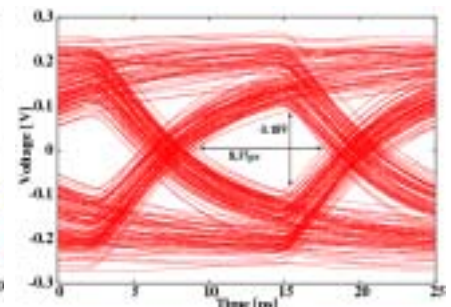


図 8 10mm, 80Gbps 時のアイダイアグラム

送の場合、レシーバ感度の向上によって長距離高速信号伝送が可能になることが分かった。次に配線の信号透過率をパラメータとしたビットレートと配線長の関係を図 7 に示す。減衰が強い場合、ディファレンシャル伝送の性能が劣化することが分かる。図 8 に 10mm の配線に 80Gbps の信号を伝送したときのレシーバ入力におけるアイパターンを示す。配線の性能として 10mm、数十 Gbps の信号伝送が可能であることが明らかになった。

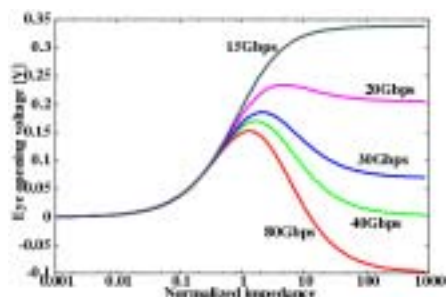


図 9 終端抵抗、伝送速度とアイの電圧開口

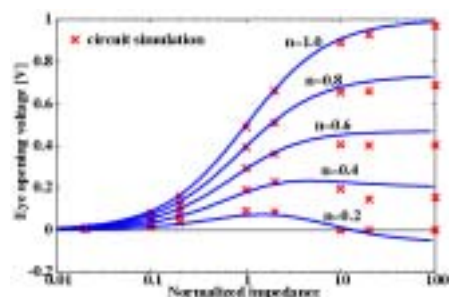


図 10 終端抵抗、配線の減衰とアイの電圧開口

オンチップ配線では減衰が強いため、多重反射による波形の乱れは非常に小さい。そのため、終端で必ずしも整合を取る必要はない。抵抗で終端すべきかどうか、また終端抵抗にどのような値を用いるべきかを前述の解析式を用いて評価した。アイダイアグラムの電圧方向の開口が最大となる終端抵抗を求めた。結果を図 9 に示す。伝送速度によって最適な抵抗値は異なり、伝送速度が低い場合には開放終端が、速度が上昇するにつれて線路の特性インピーダンスに近い抵抗で終端すべきであることが分かった。また、配線での減衰量を変数として評価したところ、低損失線路では開放終端が良く、高損失線路では適切な終端が必要であることが明らかになった(図 10)。

4.2 提案信号伝送技術の性能評価

提案手法の有効性を明らかにするため、45nm プロセスを想定して提案信号伝送技術の性能を評価した。

抵抗の高い配線にリピータを挿入した信号伝送、伝送線路を用いたシングルエンド伝送、ペア伝

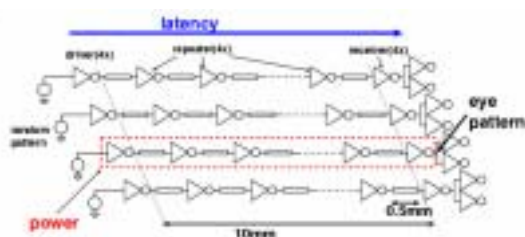


図 11 リピータ挿入による信号伝送回路

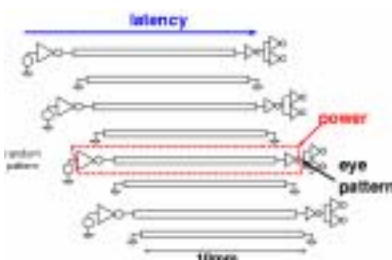


図 12 シングルエンド伝送回路

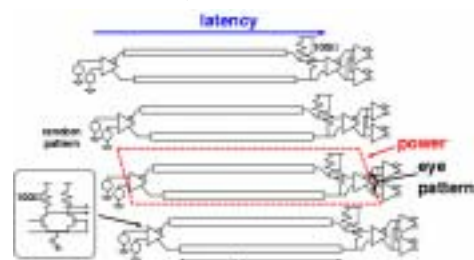


図 13 ディファレンシャル伝送回路

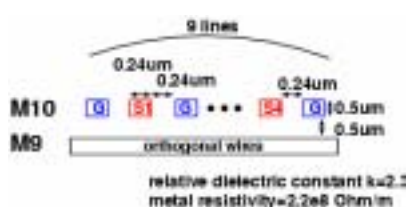


図 14 リピータ挿入による信号伝送回路の配線構造

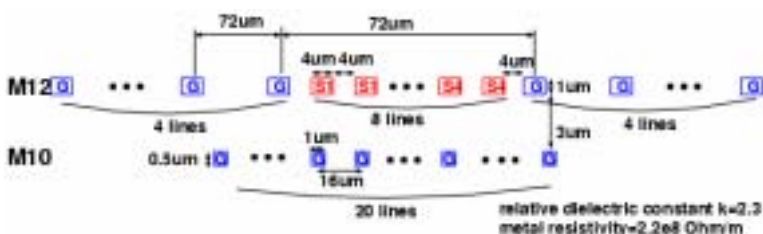


図 15 シングルエンド、ディファレンシャル伝送回路の配線構造

送線路を用いたディファレンシャル伝送の 3 種類の通信方法を比較、評価した。評価に用いた回路を図 11, 12, 13 にそれぞれ示す。10mm の長さを信号伝送する必要があると想定し、最大伝送レート、レイテンシ、ビットあたりのエネルギー、配線資源を評価した。想定した配線構造を図 14, 15

に示す。

最大伝送レートの比較結果を図 16 に示す。従来のリピータを用いた伝送では 4Gbps が限界であったのに対し、シングルエンド伝送では 5 倍の 20Gbps、ディファレンシャル伝送では 10 倍の 40Gbps の通信速度が実現できており、高い性能を示している。レイテンシの比較を図 17 に示す。リピータを用いた伝送では 700ps 以上の遅延があったのに対し、提案技術ではシングルエンド、ディファレンシャル伝送とも 1/10 以下のレイテンシで通信が可能となっている。最大伝送レート時のビットあたりのエネルギーの比較を図 18 に示す。シングルエンド伝送時のエネルギーが最も小さく、リピータの場合の 1/4、ディファレンシャル伝送でも 1/2 となっており、エネルギー効率においても提案技術は優図 13 ディファレンシャル伝送回路れている。最後に配線資源の比較を図 19 に示す。160Gbps の伝送が必要と仮定し、そのときにチャンネル作成に必要な幅を評価した。提案技術は 1 チャンネルで比較すると大きな配線資源を用いているが、伝送レートが高いため、同伝送レートで比較した場合、必要な配線資源はほぼ同等であることが明らかになった。高速信号伝送で問題となるのが電源ノイズである。電源ノイズに対する耐性を評価するため、伝

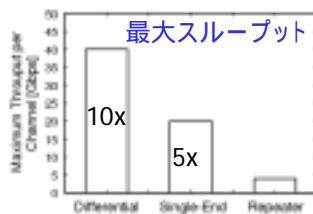


図 16 最大伝送容量の比較

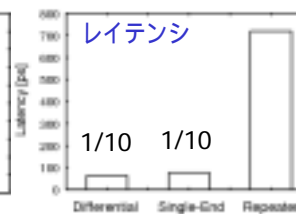


図 17 レイテンシの比較



図 18 ビットあたりのエネルギーの比較



図 19 必要配線資源の比較

送回路を電源グリッド上に配置して、電源、グラウンドとも 60mV(電源電圧は 0.5V)程度のノイズが 10GHz 周期で発生している状態でアイダイアグラムを評価した。伝送速度は上記の実験で得られた最大伝送速度とした。電源ノイズがない場合のアイダイアグラムを図 20-22 に、電源ノイズを加えた場合の結果を図 23-25 に示す。

ディファレンシャル伝送では電源ノイズの有無によってアイダイアグラムはほとんど変化しておらず電源ノイズに対して高い耐性を有している。リピータ挿入による信号伝送、シングルエンド伝送ではアイダイアグラムが変化しており、ディファレンシャル伝送と比べノイズに対する耐性が低いことが分かる。

最後にプロセス世代の進化に伴った配線の性能とトランジスタの相対的な性能差の変化を評価した。評価に用いた配線構造は前述の実験と同じものである。図 26 に配線長、プロセス世代と最大ビットレートの関係を示す。プロセスの進化に伴って同じ配線長に対し高いビットレートの通信が可能となっている。提案技術で目標としていた「トランジスタ性能の向上に伴った伝送容量の向上」が 35nm 世代まで実現できることが明らかになった。ただし、35nm プロセスの 8mm 以上の配線長で 50nm プロセスの性能を下回っている。今回の評価に用いた ITRS1999 に基づいたトランジスタパラメータでは電源電圧が 0.4V と非常に低く、ドライバレシーバ回路の動作領域が狭まったためではないかと理由を推測している。最新のロードマップに即した評価を行う必要がある。図 27 に 4mm の配線長のときのビットレートと電圧方向のアイの開口の大きさを示している。4mm の配線長ではトランジスタの性能の向上によって伝送速度の向上が大幅に可能であることが分かる。

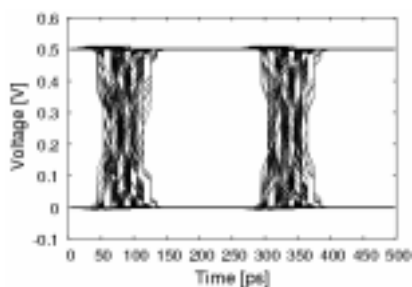


図 20 リピータ挿入による信号伝送のアイダイアグラム(電源ノイズなし)

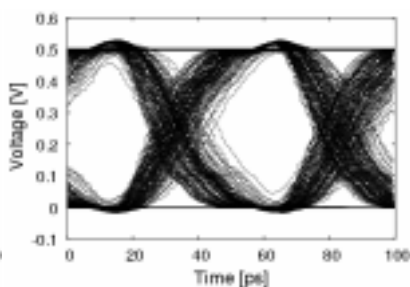


図 21 シングルエンド伝送のアイダイアグラム(電源ノイズなし)

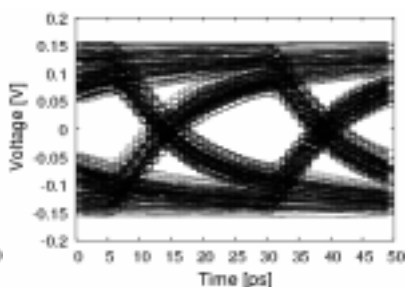


図 22 ディファレンシャル伝送のアイダイアグラム(電源ノイズなし)

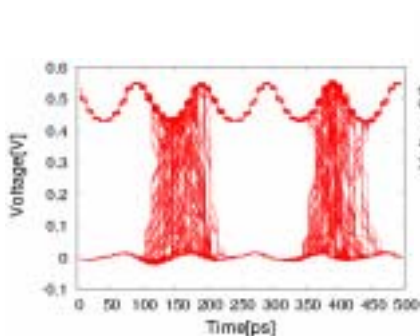


図 23 リピータ挿入による信号伝送のアイダイアグラム(電源ノイズあり)

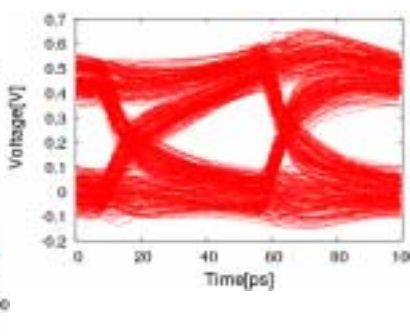


図 24 シングルエンド伝送のアイダイアグラム(電源ノイズあり)

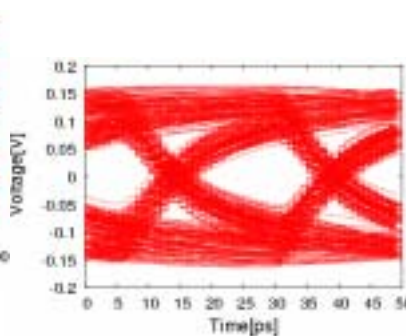


図 25 ディファレンシャル伝送のアイダイアグラム(電源ノイズあり)

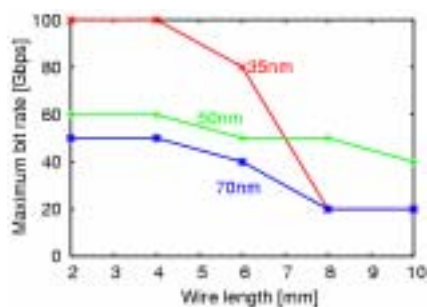


図 26 配線長、プロセス世代と最大伝送速度の関係

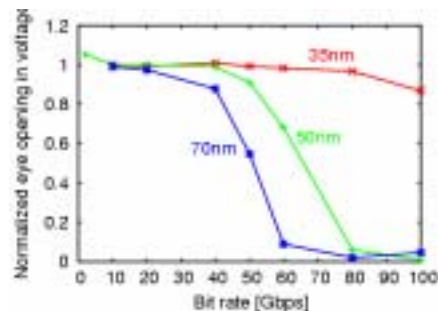


図 27 伝送速度とアイの電圧開口の関係(配線長 4mm)

4.3 要素回路の設計

CMOS0.18mm プロセスを用いて信号伝送プロトタイプ回路、ならびに信号伝送に必要な要素回路である PLL、分周器、シリアライザの設計評価を行ってきた。このなかから信号伝送プロトタイプ回路の設計例を紹介する。

図 28 に信号伝送プロトタイプ回路のレイアウト図を示す。3mm の長さの配線に信号を伝送する。入力パターンとして 01 が繰り返されるパターンを与えた場合のレシーバの出力波形を図 29 に示す。入力信号が 7GHz(14Gbps)でも出力ははっきりと出ており、高速な信号伝送を実チップで実現、

評価することができた。今後、擬似ランダム入力を与えたときの出力のアイダイアグラムを引き続き測定する予定である。



図 28 信号伝送プロトタイプ回路のレイアウト図
(配線長 3mm)

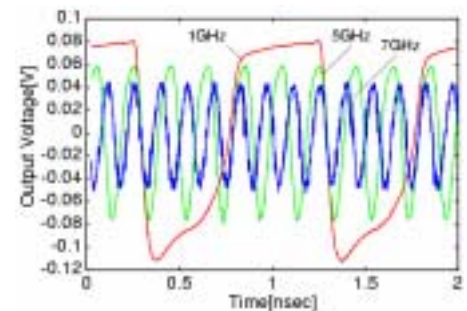


図 29 レシーバの出力波形

5 自己評価:

本研究は、将来有効となりうるオンチップ通信技術について研究を行った。シミュレーションによる評価だけでなく、実際のデバイスでのプロトタイプの実現にも力を入れて行ってきた。将来における有効性については、シミュレーションや解析モデルにより当初の目標に近いところまで評価できたと考えている。実デバイスでのプロトタイプについては、このプロジェクトではじめて GHz 以上で動作する回路の設計を始めたこともあり、思った性能を出す設計ができるようになるまでにずいぶんと時間がかかった。現在のテクノロジーでの有効性評価は難しいが、研究を行ってきた通信方式により 10Gbps 近い通信が 180nm のテクノロジーで実現でき、研究開始時のもくろみが現実的であったことが確認できた。提案技術が利用されるためには、信号のシリアルパラレル変換や同期の問題を解消する必要がある。今後のチップ全体では非同期で動作するような環境をにらみ、引き続き提案技術が将来現実に用いられるよう研究を進めて生きたい。

6 研究統括の見解:

橋本研究者は、将来の超微細 LSI において、CPU とメモリ間あるいはプロセッサ間などブロック間の大容量長距離信号伝送を高速に行う技術開発を行った。テクノロジーの進化とともに配線遅延が回路性能の向上を阻害する問題に対し、オンチップ伝送線路上に短いサイクルで信号を送り込むウェーブパイプライン技術を導入することで、従来の信号伝送方式と比較し、伝送容量、消費エネルギー、遅延時間のいずれの観点においても提案信号伝送方式が優れており、将来のトランジスタ性能の向上とともに伝送容量が向上することを明らかにした。また、シミュレーションによる評価だけでなく、実デバイスでプロトタイプを作成し 10Gbps 近い通信が 180nm のテクノロジーで実現できることを実証したことは高く評価できる。この提案技術が将来産業界で現実に用いられるよう引き続き研究を進めてもらいたい。

7 発表リスト:

招待講演(国際)

1. M. Hashimoto, A. Tsuchiya, A. Shinmyo and H. Onodera, "Performance Prediction of On-chip Global Signaling," *In Proceedings of IEEE Electrical Design of Advanced Packaging and Systems*, pp.87-100, 2004.

論文(国際)

- (ア) A. Tsuchiya, M. Hashimoto and H. Onodera, "Performance Limitation of On-chip Global Interconnects for High-Speed Signaling," *IEICE Trans. on Fundamentals*, to be published.

(イ) T. Miyazaki, M. Hashimoto and H. Onodera, ``A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and An LC Oscillator Based PLL," *IEICE Trans. on Electronics*, to be published.

(ウ) A. Tsuchiya, M. Hashimoto and H. Onodera, ``Representative Frequency for Interconnect R(f)L(f)C Extraction," *IEICE Trans. on Fundamentals*, Vol. E86-A, No. 12, pp.2942-2951, December 2003.

□頭発表(国際)

1. A. Muramatsu, M. Hashimoto and H. Onodera, ``Effects of On-chip Inductance on Power Distribution Grid," *In Proceedings of International Symposium on Physical Design*, to appear.
2. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Effects of Orthogonal Power/Ground Wires on On-chip Interconnect Characteristics,' ' *In Proceedings of International Meeting for Future of Electron Devices, Kansai*, to appear.
3. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Return Path Selection for Loop RL Extraction," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp. 1078-1081, 2005.
4. A. Shinmyo, M. Hashimoto and H. Onodera, ``Design and Measurement of 6.4 Gbps 8:1 Multiplexer in 0.18um CMOS Process," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp.D9-D10, 2005.
5. M. Hashimoto, A. Tsuchiya and H. Onodera, ``On-Chip Global Signaling by Wave Pipelining," *In Proceedings of IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging*, pp.311-314, 2004.
6. A. Muramatsu, M. Hashimoto and H. Onodera, ``LSI Power Network Analysis with On-chip Wire Inductance," *In Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies 2004*, pp.55-60, 2004.
7. T. Miyazaki, M. Hashimoto and H. Onodera, ``A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and An LC Oscillator Based PLL," *In Proceedings of IEEEJ International Analog VLSI Workshop*, pp.45-50, 2004.
8. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Performance Limitation of On-chip Global Interconnects for High-speed Signaling," *In Proceedings of IEEE Custom Integrated Circuits Conference*, pp.489-492, 2004.
9. A. Shinmyo, M. Hashimoto and H. Onodera, ``Design and Optimization of CMOS Current Mode Logic Dividers," *In Proceedings of IEEE Asia-Pacific Conference on Advanced System Integrated Circuits*, pp.434-435, 2004.
10. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Representative Frequency for Interconnect R(f)L(f)C Extraction," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp.691-696, 2004 (BEST PAPER AWARD).
11. T. Miyazaki, M. Hashimoto and H. Onodera, ``A Performance Comparison of PLLs for Clock Generation Using Ring Oscillator VCO and LC Oscillator in a Digital CMOS Process," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp.545-546, 2004.
12. A. Tsuchiya, M. Hashimoto, and H. Onodera, ``Frequency Determination for Interconnect RLC Extraction," *In Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies 2003*, pp.288-293, 2003.
13. M. Hashimoto, D. Hiramatsu, A. Tsuchiya and H. Onodera, ``Interconnect Structures for High-Speed Long-Distance Signal Transmission," *In Proceedings of IEEE International ASIC/SOC Conference*, pp.426-430, 2002.

口頭発表(国内)

1. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ高速信号伝送における終端抵抗決定手法," 第 18 回路とシステム(軽井沢)ワークショップ, 発表予定.
2. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ高速信号伝送用配線の解析的性能評価," 電子情報通信学会 VLSI 設計技術研究会, 2005.
3. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``基板および周辺信号配線が配線特性に及ぼす影響の実測," 第二回シリコンアナログ RF 研究会, 2004.
4. 上村 晋一郎, 橋本 昌宜, 小野寺 秀俊, ``高周波 CMOS デバイスモデルを用いた LCVCO の特性見積もりと実測," 第二回シリコンアナログ RF 研究会, 2004.
5. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``オンチップインダクタンスを考慮した LSI 電源配線網解析," 情報処理学会 DA シンポジウム, pp.277-282, 2004.
6. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``配線 RL 抽出におけるリターンパス選択手法," 情報処理学会 DA シンポジウム, pp.175-180, 2004.
7. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ伝送線路のリターン電流分布が信号波形に与える影響 --- 平衡・不平衡伝送の比較 ---," 第 17 回 回路とシステム(軽井沢)ワークショップ, pp.567-572, 2004.
8. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ伝送線路におけるリターン電流評価精度が信号波形に与える影響," 第一回シリコンアナログ RF 研究会, 2004.
9. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``電源電圧変動に対するオンチップ配線インダクタンスの影響," 2004 年電子情報通信学会総合大会講演論文集, A-3-22, pp.89, 2004.
10. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``電源配線の等価回路簡略化による電源解析高速化の検討," 平成 15 年度情報処理学会関西支部 支部大会 VLSI 研究会, No. C-01, pp.169-172, 2003.
11. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ高速信号配線における波形歪みの影響," 2003 年電子情報通信学会ソサイエティ大会講演論文集, A-3-6, pp.56, 2003.
12. 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊, ``デジタル CMOS プロセスを使用したクロック生成向け PLL の将来性能予測 -LC 発振型 VCO を用いた PLL の有効性-, " 電子情報通信学会集積回路研究会, ICD2003-99, pp.29-34, 2003.
13. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``直交配線を持つオンチップ伝送線路の特性評価," 情報処理学会 DA シンポジウム, pp.133-138, 2003.
14. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``配線 $R(f)L(f)C$ 抽出のための代表周波数決定手法," 第 16 回 回路とシステム(軽井沢)ワークショップ, pp.61-66, 2003.
15. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``信号配線と下層配線との結合に対する直交配線の影響," 2003 年電子情報通信学会総合大会講演論文集, A-3-14, pp.81, 2003.
16. 宮崎 崇仁, 新名 亮規, 橋本 昌宜, 小野寺 秀俊, ``オンチップオシロ用サンプルホールド回路の広周波数帯域化," 2003 年電子情報通信学会総合大会講演論文集, C-12-34, pp.103, 2003.
17. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``オンチップデカップリング容量の最適寄生抵抗値の決定法," 2003 年電子情報通信学会総合大会講演論文集, A-3-13, pp.80, 2003.
18. 平松 大輔, 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``長距離高速信号伝送を可能にする VLSI 配線構造の検討," 情報処理学会 DA シンポジウム, pp.155-160, 2002.
19. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``LSI 配線インダクタンスに対する直交配線の影響," 2002 年電子情報通信学会総合大会講演論文集, No.A-3-23, pp.102, 2002.

受賞

最優秀論文賞(*Asia and South Pacific Design Automation Conference 2004*)

情報処理学会 山下記念研究賞(H14 年度)

特許、ソフトウェアは該当なし