

東京工業大学
量子ナノエレクトロニクス研究センター
教授

小田 俊理

「ネオシリコン創製に向けた
構造制御と機能探索」

研究期間：平成 11 年 1 月 1 日～平成 16 年 10 月 31 日

目次

1. 研究実施の概要 ······	1
2. 研究構想 ······	5
3. 研究成果	
3-1. チーム全体の成果 ······	9
3-2. ネオシリコン作製グループ	
3-2-1. ネオシリコン構造制御 ······	10
3-2-2. ナノ結晶シリコン量子ドット単電子デバイス ······	23
3-2-3. ナノ結晶シリコン平面型電子放出素子 ······	31
3-2-4. NEMSメモリデバイス ······	38
3-3. 微細構造電気特性評価グループ	
3-3-1. Introduction ······	45
3-3-2. SETs in polycrystalline silicon ······	46
3-3-3. SETs in nanocrystalline silicon ······	47
3-3-4. Electron coupling effects in nanocrystalline silicon SETs ···	51
3-3-5. Conclusion and assessment of results ······	54
3-4. 少数電子デバイスグループ	
3-4-1. ネオシリコンにおける電子輸送・電子放出の理論解析 ······	63
3-4-2. ナノ結晶シリコン薄膜における粒界制御と単電子帶電効果 ···	80
3-4-3. 研究成果のまとめ、評価及び今後期待される効果 ······	92
3-5. 発光・電子放出検討グループ	
3-5-1. ねらい ······	95
3-5-2. 研究実施方法・体制 ······	95
3-5-3. 成果の概要 ······	95
3-5-4. 当該分野における位置づけと産業技術上のインパクト ······	95
3-5-5. 研究項目ごとの成果 ······	96
3-5-6. 今後の研究の方向と見通し ······	97

3－6. 素子応用検討グループ	
3－6－1. はじめに	105
3－6－2. 弹道電子放出素子	106
3－6－3. 超低消費電力不揮発性スイッチング素子	108
3－6－4. 得られた研究成果の評価及び今後期待される効果	114
4. 研究実施体制	
(1) 体制	117
(2) メンバー表	118
5. 研究期間中の主な活動	
(1) ワークショップ・シンポジウム等	122
(2) 招聘した研究者等	123
6. 主な研究成果物、発表等	
(1) 発表論文	124
(2) 口頭発表	
① 招待、口頭講演	129
② ポスター発表	138
(3) 特許出願	139
(4) 新聞報道等	139
(5) その他特記事項	140
7. 結び	141

1. 研究実施の概要

1. 1 基本構想

半導体ナノ構造の量子効果に基づく特異物性の研究が盛んであるが、今後はナノ構造の間隔を制御して、粒子間の相互作用を究明することが重要である。

本研究では、粒径 3-5nm のナノ結晶シリコン量子ドットを、間隔 1-2nm に制御して配列させる新材料「ネオシリコン」を提案し、独自のアイデアによりこれを形成して、その機能を探索することを目的とした。ネオシリコンは従来の結晶シリコンやアモルファスシリコンの中間的性質を持つのではなく、何れとも全く異なる新物性が室温で期待できる新材料として捕えた。ナノ結晶シリコンの粒径は、量子サイズ効果によりネオシリコンのバンドギャップエネルギーを決定する。ドット間隔は、ネオシリコンの電気伝導度を決定する。ドット間のトンネル過程は帶電エネルギーによっても制御される。

要求される構造制御性は原子スケールが必須である。本研究は、デジタルプラズマプロセスのアイデアにより、核形成と結晶成長を時間分離してシリコン量子ドットの粒径(3-5nm)を均一に制御する技術、化学アニーリング法により粒子間の中距離構造を制御する技術、直接窒化により超薄(1-2nm)絶縁膜を形成する技術など、オリジナル技術を相乗的に用いて形成したネオシリコン特有の機能を探索した。機能探索のため、ナノメートルレベルのネオシリコンの局所電子輸送特性、ネオシリコンからの光放出、電子放出特性など、独自評価技術と計算機利用物性予想技術を駆使した。ネオシリコンの材料新機能面では、バリスティック電子伝導・放出、室温单電子チャージング効果、ナノシリコン粒間の静電的・量子力学的相互作用、などを観測・制御することに成功した。

ネオシリコンは従来の材料にはない量子効果物性を人工的に顕在化した第三のシリコン材料と位置付けている。そのため、従来の延長上に無い全く新しい応用を見出せる可能性がある。もちろん、ヘテロ接合、単一電子トンネリング、共鳴トンネリング、高効率可視光発光、高輝度電子放出などの機能は、従来のデバイスの限界を超えた超大規模集積化、超高速化、超低消費電力化などへの大きな波及効果が期待できる。また、これら新しい機能を従来シリコン集積回路に組み込むことにより、幅広いシステムオンチップ、システムオンディスプレイへの展開が期待できる。また、産業技術として確立しているシリコンプロセスを最大限活用することができ、既存の集積回路との結合性も良いので、実用化される時期は比較的早い段階と考えられる。そのため、電子産業の新たなハネムーン時代を築くべく、デバイス応用の提案にも注意を払ってきた。ネオシリコンの新機能に着目した、高効率表示素子、超低消費電力不揮発性情報記録素子、室温单電子デバイス、ナノメカニカル不揮発性メモリなど、新たな応用研究分野の可能性を広く開拓した。

1. 2 実施・研究成果概要

本研究の実施・成果概要は、(1) ネオシリコン作製と構造制御、(2) ネオシリコン電気特性制御、(3) ネオシリコン発光・電子放出特性制御、(4) ネオシリコンの素子応用検討、に大別される。以下に、それぞれのタスクの実施・成果の概要を記載とともに、表 1. 1 で全体をまとめた。

1. ネオシリコン構造作製・制御

ナノ結晶シリコンの粒径と粒子間隔を原子スケールで制御した新材料「ネオシリコン」を提案し、デジタルプラズマプロセスやラジカル窒化などユニークな材料制御技術を導入することによりネオシリコンの作製・構造制御技術開発を推進した。研究代表者が開発したVHFプラズマCVD技術において、原料ガスの種類やパルス供給時間、プラズマセル圧力など粒子形成条件の総合的制御を行うことによってシリコンナノ粒子の粒径の均一化を図った。その結果、最小粒径5nm、分散±1nmの極めて均一性の高いシリコン粒子の作製に成功した。また、ナノ結晶シリコンドットの周囲に形成される酸化膜のストレス効果による酸化速度の自己停止機構を利用した寸法制御法を検討した。750°Cで酸化を行うと、酸化速度の飽和が起こり、初期の寸法10nmの粒子は4nmで安定することをTEM観察により確認した。低温ラジカル窒化技術を開発して、薄くて均一な窒化膜をシリコン量子ドットの表面に形成する方法を開発した。更に、ナノ結晶シリコンドットの高密度化・高集積化を図るために、弗酸、純水、メタノール等、種々の溶液中にナノ結晶シリコンドットを分散させ、その濃縮溶液を基板上に滴下・蒸発させる手法を検討した。その結果、メタノールを溶媒とした分散液により、面密度で約 $7 \times 10^{11} \text{ cm}^{-2}$ の高密度化に成功した。

2. ネオシリコン電気特性評価

シリコンナノ構造間のトンネル過程に着目して、ネオシリコンの電気特性を調べると同時に、単電子デバイス応用を検討した。種々の大きさのポイントコンタクトトランジスタを形成し、シリコンナノ構造の電子輸送特性を系統的に調べた。特にポイントコンタクト中に結晶粒界が0個の場合はパリスティック伝導を観測し、1個の場合には非線形電流電圧特性を、複数個の場合には単電子トンネル特性を観測した。また、ネオシリコン中の粒界特性を制御するため、高温酸化処理、2段階酸化処理（低温長時間酸化+高温アニーリング）、熱水蒸気処理等のパッシベーション処理を施すことによる粒界の電気特性と微視的構造の変化を評価した。その結果、2段階酸化処理により粒界は厚さ2~3nm、エネルギー障壁高さ170meVの良質なトンネル障壁となることを見出し、単電子トランジスタの高温動作化に向けた粒界最適化のガイドラインを得た。このプロセスを適用することにより室温で電流のクーロン振動を示す単電子トランジスタの開発に成功した。

また、2つのナノ結晶シリコンドット間の相互作用を観測・評価するため、チャネル内に2個の並列量子ドットを有するポイントコンタクトトランジスタを作製し、2つのサイドゲート電圧を独立に変化させた際のクーロン電流振動の変化を測定した。その結果、2個の量子ドット間の静電相互作用による電流ピークのスイッチング現象を観測し、スイッチング領域でのピーク電圧のシフトから、2個のシリコンドット間の結合容量を評価できることを見出した。さらに、粒界によるトンネル障壁が特に薄いために2量子ドットが強く結合した素子では、共鳴準位間でのコヒーレントなカップリングによって結合・反結合軌道（準分子状態）が形成されていることを4.2Kで観測することに成功した（シリコン系で世界初）。電流ピーク間隔から結合・反結合軌道エネルギー間隔を評価し、GaAs/AlGaAs系の2重ドットに対して報告されている値に比べて1桁近い値（約0.4meV）になっていることを見出した。

3. ネオシリコン発光・電子放出特性評価

高効率・高安定の発光素子ならびに高機能の面放出電子源の開発を目的として、ナノシリコンの発光特性および電子放出の特性評価を行った。シリコン発光素子の高効率化については酸化処理の適正化によるリーク電流低減と動作安定化については、素子の表面を SiO_2 膜でキャップする方法とナノ結晶シリコン自身の表面水素終端を共有結合で置き換える方法につき、赤色ELにおいてそれぞれ別個に有効性を確認した。シリコン発光素子のマルチカラー化については、熱酸化を行わず、ナノ結晶シリコンのサイズ制御のみでPLでは赤・緑・青色発光を得ることができた。

弾道性冷電子放出の機構究明と高効率化を検討し、実験的・理論的に、ナノ結晶シリコン間の多重トンネルによって電子が弾道化し真空に放出されるというモデルの検証を行った。弾道性冷電子放出の物理機構に関しては、ナノシリコンドットがトンネル酸化膜によって1次元的につながれている構造の理論解析を行い、(a) ネオシリコン中の音響ひずみポテンシャル強度がバルクシリコンに比べて減少すること、(b) 電子のミニバンド下端において電子のフォノン放出によるエネルギー損失が大きく抑制されることなどを解明した。また、ナノシリコンからの放出電子のエネルギー分布測定を行い、高エネルギー領域での電子が弾道的に放出されていること、分布が非マクスウェル型となっていることを実証した。

弾道性冷電子放出素子の大面積化については、石英ガラス基板での結果をふまえ、TFT用ガラス基板上に電子放出素子アレイを構成する低温プロセス技術を開発した。また、真空封止や真空維持などについても基礎技術を固めた。さらに、プラズマディスプレイ用ガラス基板を用いたプロトタイプの対角2.6インチ 168×126 画素さらには7.6インチ 336×252 画素のフルカラー薄型平面ディスプレイを試作し、単純マトリクス方式による動画表示を確認した。また、蛍光体として有機および無機の薄膜をナノ結晶シリコン層に堆積した弾道電子励起形の全固体発光素子を開発し、面発光動作を確認した。

4. 素子応用検討

社会ニーズとネオシリコンが持つ特徴あるメリットに注目し、超低消費電力素子と高機能表示素子応用を検討した。モバイル機器用電子素子には高速性を失わず、超低消費電力化と不揮発性が求められている。ネオシリコンが持つクーロン遮蔽効果による高インピーダンス性と、ネオシリコンをナノ変位機構に組み合せた不揮発性を組み合わせて、超低消費電力不揮発性NEMSメモリの概念を提案し、その鍵となるフローティン両持ち梁のナノ変位機構、動作速度、素子のオンオフ比、消費電力などの特性予測をシミュレーションにより行うとともに、両持ち梁構造の試作・機械的特性の評価を行った。その結果、素子設計に必要なナノ領域での変位効果の特徴と構造最適化のガイドラインを明らかにするとともに、作製した梁の機械的双安定性を実証することが出来た。

また、ネオシリコンからの弾道電子放出の特異性に注目し、弾道電子放出素子とナノ蛍光体を組み合せた、真空不要の平面ディスプレイの基本機能の検証を進めた。ナノ結晶シリコン膜低エネルギー電子照射によるナノ蛍光体の発光特性の評価を行ない、本応用の可能性実証を行った（上記3を参照）。

表1. 1 各要素技術に対する成果目標と最終成果のまとめ

		目 標	最 終 成 果
構造制御	ドット直径	5 nm以下に制御	5 nm制御に成功 (部分的には3 nmを観測)
	ドット界面膜厚	1 – 2 nmに制御	1 – 2 nm制御に成功
	ドット密度	10^{12} cm^{-2} 程度の高密度化	$\sim 7 \times 10^{11} \text{ cm}^{-2}$ を達成
	(ドット位置)	(2次元配列制御)	局所的な配列を観測
機能制御	バリスティック電子放出の制御と電子輸送・放出メカニズムの解明		<ul style="list-style-type: none"> 放出電子のNon-Maxwellianエネルギー分布観測と電圧による制御に成功 電子・フォン分離とフォンストップバンドの存在の解明に成功。電子・フォン相互作用の減少を理論的に検証 タイムオフライト実験により電子速度オーバーシュートを観測(ポーラスSi構造)
	ドット間相互作用の観測と制御	静電相互作用(古典的)	隣接する2ドット間の静電相互作用によるクーロン電流振動のスイッチング現象
		コヒーレント相互作用(量子論的)	隣接する2ドット間の波動関数結合による準分子状態を4.2 Kで観測に成功
応用展開	バリスティック表面電子放出素子	高効率・フルカラー真空形平面ディスプレイの動作実証(ポーラスSi構造)および全固体面発光素子への展開	<ul style="list-style-type: none"> ナノ結晶ポーラシリコンBSD*のプロトタイプ素子動作成功 (*Ballistic electron Surface emitting Display) 固体面発光素子の動作確認と多色化の成功
	ナノエレクトロルミネッセンス素子	ネオシリコンドット/ナノ蛍光体微粒子ハイブリッド構造エレクトロルミネッセンス素子の原理検証	オックスフォード大/OXONICA社製ナノ蛍光体微粒子サンプルの特性を評価
	ナノドット単電子素子	ナノポイントコンタクト型単電子トランジスタの室温動作実証	室温クーロン電流振動の観測に成功
		長保持時間ナノドットフラッシュメモリの原理実証	シリコン/シリコン窒化膜のデュアルメモリノード構造でデータ保持時間190日を達成
	ナノエレクトロメカニカルメモリ	ネオシリコンドット内包型ナノエレクトロメカニカルメモリ動作原理の実証	微細キャビティ構造内の絶縁膜梁構造試作と両持振動子としての膜のメカニカル特性実証に成功

1. 3 計画達成度・研究成果の意義・自己評価等

表1. 1にまとめた通り、本研究では、構造制御、機能制御、応用展開の要素技術ごとにマイルストーンを設定して研究を進めた。目標欄に記載したターゲットは、初期に設定したものの中間に中間評価での追加・修正を加えたものであり、それぞれかなりハードルの高いものであったと考えている。構造制御については、粒径、粒子間隔、粒子密度について数値目標をほぼ達成し、目標外であったドットの規則配列についても局所的に観測に成功した。機能制御については、中間評価時点での最大の課題であった弾道電子放出現象のメカニズム解明にほぼ成功し、電子放出効率向上に向けた構造最適化技術を確立した。また、ネオシリコンの大きな特徴であるドット間の相互作用解明についても、2ドット間の静電相互作用を観測したのみならず、予想していなかった量子力学的コヒーレント結合を観測するなど、目標を上回る成果が得られた。素子応用に関しては、研究スタート時点では、超高電流オンオフ比スイッチング素子、単電子および少数電子メモリ・ロジック素子、面電子放出素子、固体化積層発光素子など、かなり広範囲な素子応用を検討したが、プロジェクト後半では、弾道電子放出素子と高速・不揮発NEMS

メモリの2つに集中した。NEMSメモリについては、最終的なメモリ素子動作実証までには到達できなかったが、それぞれの素子コンセプトの実証をすることができた。以上のことから、初期に掲げた各目標はほぼ達成できたものと考えている。

2. 研究構想

2. 1 研究開始時の目標・計画・実施体制

研究開始時において、本プロジェクトは「粒径3–5 nmのナノ結晶シリコン量子ドットを、間隔1–2 nmに制御して配列させた新材料「ネオシリコン」を開発し、その新機能と素子応用を探索する」と、構造作製技術開発から特性探索、更に素子応用検討までを含む大変スケールの大きな目標を掲げた。特に、素子応用としては、シリコンドット内局在電子とドット間の相互作用による電子輸送、光放出、電子放出などの新機能を集積化した、少数電子メモリ・ロジック素子をはじめとした高速演算・超低消費電力素子、不揮発性情報記録素子、高機能表示素子など、幅広い応用をターゲットとした。このような目標の下、プロジェクトを遂行するためには、それぞれの要素技術の専門家によるチームを編成し、各グループが相互補完的に研究を推進する体制を築く必要があった。そのため、まず、研究全体を以下の5つのタスクに分類した。

- (1) 粒径制御ナノ結晶シリコンの作製と極薄窒化膜の形成
- (2) 微細領域電気特性の評価
- (3) 光学特性、電子放出特性評価
- (4) 少数電子デバイス・回路応用
- (5) ネオシリコンの素子応用

これら5つのタスクは互いに密接に関連しており、有機的なフィードバックを図りながら進める必要がある。そのため、担当する研究グループは、個々のタスクの専門家であるだけでなく、他のタスク領域も十分オーバーラップしてカバーできる幅広い能力が要求された。このような観点から、以下の5研究機関をメンバーとしたチームを編成した。

- 東工大量子効果エレクトロニクスセンター [(1), (2), (3)を担当]
- ケンブリッジ大学キャベンディッシュ研究所 [(2)を担当]
- 東京農工大学 [(3)を担当]
- 日立ヨーロッパ社日立ケンブリッジ研究所 [(2), (4), (5)を担当]
- 日立製作所中央研究所・日立研究所 [(5)を担当]

2. 2 その後の研究計画の変更・新たな目標等

プロジェクト初期の2年間は、2. 1で述べた通り様々な応用展開の可能性を念頭に、各グループでネオシリコンの機能探索を幅広く行った。その一方で、各グループの研究が孤立してしまうことの無いよう、東京とケンブリッジでの全体会議と個別会議を定期的に行い、また各タスクの進捗状況に応じてグループ間の研究者の交流を活発に進めた。プロジェクト前半の議論と中間評価会議での結果を踏まえ、プロジェクトの折り返し時

点では、要素技術毎のマイルストーンと可能性の高い応用展開方向の絞込みを行い、前述の表1. 1にまとめたような最終目標を設定した。

特に、ネオシリコンの新機能として極めてユニークな弾道電子放出特性の検討を加速するため、中間評価会議後、日立ケンブリッジ研究所グループの主たる目標を、前半のナノシリコン単電子デバイス検討から、弾道電子放出機構の理論的解析にシフトし、東京農工大学グループとの連携を更に強化した。また、ケンブリッジ大学グループは、ネオシリコン本来の大きな特徴であるドット間の相互作用を明確にするため、前半の単電子輸送特性の評価から、2ドット間の静電相互作用・量子力学的相互作用の評価にターゲットを発展シフトさせた。更に、ネオシリコン応用素子として新たに提案したNEM Sメモリの研究を強化するため、日立グループと東工大グループの連携を特に強化し、定期的な個別会議を持つことで、高速・不揮発性メモリとしての可能性の検討と素子動作原理検討を同時に進めた。

2. 3 研究過程で得られた新しい発見

本研究では、ネオシリコン中の電子輸送機構の解明のために、チャネルの長さと幅を50 nm以下に制御した量子ポイントコンタクトトランジスタ(Q P C T)構造(縦型・横型)を駆使した。この素子のチャネル部分にネオシリコンの量子ドットを1個～数個配置することにより、ナノシリコンドットとその粒界の個々の特性を評価することが目的であったが、この評価手法からは様々な新現象の発見がもたらされた。

まず、第一は、縦型のQ P C Tにおいて、参考構造として作製したドットのない素子において、明瞭なコンダクタンスの量子化が観測された点が挙げられる。コンダクタンスの量子化現象は、それまで化合物半導体の2次元電子ガス系で盛んに研究されていたが、シリコン系では観測が困難で実験結果は皆無であった。この成果は、本プロジェクトの本来の目的外の成果ではあるが、シリコンにおけるバリスティック素子に対する理解と研究を大きく前進させるものであった。

第二には、ナノ結晶シリコン薄膜を用いて作製したQ P C T構造において、单一の粒界のトンネル障壁特性を評価することに成功し、それを発展させて「グレインバウンダリ制御技術」の可能性を実証した点が挙げられる。この発見は、粒界を最適化する2段階酸化プロセスの開発に繋がり、それによって室温動作単電子トランジスタの実現が可能となった。「グレインバウンダリ制御技術」は、ネオシリコン作製のみならず、TFT開発のパッシベーション技術への応用が大いに注目されており、ポリシリコン薄膜材料・デバイス分野からも招待講演を多数いただいている。

第三には、ネオシリコン2ドット間の静電相互作用を評価している中で、2ドット間のトンネル障壁が特に薄いケースでは、2ドット中の電子の量子力学的結合による結合・反結合状態が形成されていることを発見した点が挙げられる。2ドットの量子力学的結合は、先に化合物半導体構造で観測されていたが、観測温度は50 mK以下であり、また結合・反結合準位の間隔は数十μ eVと非常に小さかった。本研究では、この現象がシリコンで初めて観測され、しかも温度4.2 K、結合・反結合準位間隔～0.4 meVであることから、量子コンピュータの基本素子である量子ビットをシリコン中の電荷で実現するまでの大きな発見と考えている。

2. 4 研究項目ごとの達成度

① ネオシリコン構造作製・制御

研究開始時に提案した「ネオシリコン」の概念は、「粒径 3–5 nm のナノ結晶シリコン量子ドットを、間隔 1–2 nm に制御して配列させ、そのドット間の相互作用を利用する」ものであった。これに対し、本研究では、VHF プラズマとパルスガス供給を組み合わせたオリジナル技術を世界に先駆けて開発し、最小粒径 5 nm、粒径分散 ± 1 nm と非常に均一性の良いナノ結晶シリコンドットを作製することに成功した。パルスガスの条件次第では、更に小さい粒径 3 nm のドットが部分的に形成されていることも観測されている。また、ドット間隔の制御については、低温ラジカル窒化技術を開発して、厚さ 1 ~ 2 nm の均一な窒化膜をシリコン量子ドットの表面に形成する方法を開発するとともに、窒化後の特異なトラップ準位の特性を明らかにした。更に、中間評価時点で課せられたマイルストーンであるドットの高密度化についても、従来のシリコン加工技術とは全く異なる分散溶液を用いた方法を開発することで、約 $7 \times 10^{11} \text{ cm}^{-2}$ の高密度化を達成し、目標をほぼクリアした。以上のことから、「ネオシリコン構造作製・制御技術の開発」に関しては、初期・中間期の数値目標をほぼ達成できたと考えている。

② ネオシリコン電気特性評価

本項目では、前述のようにプロジェクト前半において、単電子帶電効果の制御と単電子素子の動作温度向上に注力し、ナノ結晶シリコンドットとその粒界の構造・特性をエンジニアリングする手法を確立し（特許化済）、単電子トランジスタの室温動作へと繋げた。またナノ結晶シリコンドットへの電荷蓄積の量子化を室温で観測すること、および電荷蓄積時間を 190 日とすることに成功し、現在ポストフラッシュメモリとして期待の高いナノドットメモリの実現に向けた重要な成果を生み出した。また、プロジェクト後半においては、ネオシリコンの大きな特徴であるドット間の相互作用を解明・制御することに注力し、2 ドット間の静電相互作用と量子力学的な結合による準分子状態の形成（シリコンで世界初）の観測に成功した。これらは、ドット間トンネル膜構造の詳細な制御によって初めて達成されたものであり、基礎科学上でも応用上でも極めて価値の高い成果と考えている。また、1 ドット内に蓄積された電子数の量子化とその時間変化を AFM 技術により直接観測することにも成功しており、全体を通して初期の目標を上回る成果が得られたと考えている。

③ ネオシリコン発光・電子放出特性評価

本項目においては、弾道性冷電子放出現象という応用上極めて重要なネオシリコンの機能が観測され、その物理的機構解明と放出効率向上が最大の目標となった。これに対し、放出電子のエネルギー分布とその温度依存性測定、飛行時間法による電子ドリフト過程の評価、更に 1 次元ナノドットアレイにおけるフォノン散乱の理論解析などを行い、ナノ結晶シリコン層内において電子のエネルギー緩和過程が抑制され、準弾道的に表面から放出されるというモデルを裏付けることができた。また、それに基づいてナノ結晶シリコン層のナノ構造制御を行い、弾道電子放出の効率と安定性を向上する上でカギと

なる要素技術を固めることができた。弾道電子輸送の理論解析については、高電界領域での定量的評価が今後の課題として残っているものの、ナノ結晶シリコン層内のフォノンスペクトルと電子フォノン相互作用がバルクシリコンと大きく異なることを解明できており、初期の目標を十分上回る成果が得られたものと考えている。

④ 素子応用検討

前述のように、ネオシリコン素子応用としては、面電子放出素子、固体化積層発光素子、大気圧動作電子放出素子、超低オフ電流高オンオフ比高速動作スイッチング素子、単電子および少数電子メモリ、NEMS メモリを提案・検討した。これらの中で、特に、弾道性冷電子放出素子と NEMS メモリは、ネオシリコンの新機能を活かしたユニークなコンセプトであり、その原理実証とともに特許化を行うことができた。

弾道性冷電子放出素子については、上述の機構解明と平行して、ポーラスシリコン構造を用いて、(1) ガラス基板上に電子放出素子アレイを構成する低温プロセス技術の開発、(2) 真空封止や真空維持基礎技術の開発、(3) プロトタイプの対角 7.6 インチ 336×252 画素のフルカラー薄型平面ディスプレイ試作・動作確認、を達成することができた。さらに、有機・無機計蛍光体薄膜をナノ結晶シリコン層に堆積した弾道電子励起形の全固体発光素子を開発し、面発光動作をすることができ、ネオシリコンの弾道電子放出特性を、真空だけでなく固体素子への展開することが可能であることを実証し、初期の目標を十分上回る成果を達成したと考えている。

一方、NEMS メモリ素子においては、最終的なメモリ動作の実証までには至らなかったが、その鍵となる S_iO_2 両持ち梁構造の試作に成功し、その機械的双安定性を実証できたことに加え、3 次元シミュレーションを駆使して NEMS メモリの動作解析と設計手法を確立できたことは大きな成果であり、総合的には目標達成を果たせたと考えている。

3. 研究成果

3. 1 チーム全体の成果

本研究では、提案した「ネオシリコン」という新機能材料の概念の実証に向けて、研究全体を、①構造作製・制御技術、②電気特性制御、③発光・電子放出特性制御、④素子応用探索、の4項目に分け、それぞれにオリジナリティの高いマイルストーンを設定して研究を進めた。それぞれの項目での研究成果の詳細については、3. 2節以後で述べるが、全体の成果は以下のようにまとめられる。

- ① 構造作製・制御：粒径、粒子間隔、粒子密度について数値目標をほぼ達成し、目標外であったドットの規則配列についても局所的に観測
- ② 電気特性評価：ドットでの単電子クーロン遮蔽効果と電荷蓄積量子化を室温で観測。更に2ドット間の静電相互作用とコヒーレント結合を4. 2 Kで観測。
- ③ 発光・電子放出特性制御：弾道電子放出現象の観測と、そのメカニズムの実験的・理論的解明に成功。更に放出効率向上に向けた構造最適化技術を構築。
- ④ 弹道性冷電子放出素子のプロトタイプ開発に成功。高速・不揮発N E M Sメモリの提案と原理検証に成功。

以上の成果は、論文発表101件、学会発表154件、特許6件として発表され、その内、招待論文9件、招待講演19件と内外で大きな注目を受けた。いずれも単独の研究成果としてきわめてオリジナリティが高い仕事であるが、これらは、本プロジェクトが材料から素子応用までを総合的に捕らえ、各々が建設的に（時には批判的に）にフィードバックをしながら切磋琢磨し合うことで初めて達成できたレベルの高い成果であることを特筆したい。これらの成果が有機的に組み合わさることにより、最近になって我々の「ボトムアップシリコンナノエレクトロニクス」というシリコンナノデバイス・システムに対する新しいアプローチが次第に評価されるようになって来ている。このようなボトムアップ技術と従来のトップダウン技術の融合は、従来の微細加工技術トレンドとは異なる新たなオートレンド技術を開く可能性が大いにあり、その先導性は非常に高い。一つの新しい技術潮流の芽を生み出しつつある状況であると自負しており、今後、更なる発展に注力をしたい。

また、本プロジェクトは国際的産学連携を特徴としており、従来の枠組みでは極めて難しい半導体の基礎研究と応用研究を同時に実行することができた。企業の立場から見ると、本研究内容は材料基礎研究として捉えられ、大きなリソースの投資が難しいテーマであるが、東工大、農工大、ケンブリッジ大のプロフェッショナルなグループがチームを組み、それに企業の基礎研究所として先端を走る日立ケンブリッジ研究所と、応用研究を担当する日立製作所が参画することで、基礎研究の段階から、大学と企業が一体となって研究を進め、目標設定時から応用の可能性とその意義について企業から大学にフィードバックを掛けるとともに、基礎的研究成果をオンラインに近い状況で活用することが出来、相乗効果の極めて高い研究運営であったと考えている。

3. 2 ネオシリコン作製グループ（東京工業大学）

（東京工業大学 小田俊理、水田博、畠谷成郎、土屋良重、宇佐美浩一、新井健太、S. Banerjee, B. J. Hinds, 趙新為、西口克彦、黄少雲、M. A. Salem, 山中崇行、大町純一、中村暦、小澤治、高居康介、中務琢也、田中敦之、川田善之、池澤健太、百々信幸、R. T. Tung）

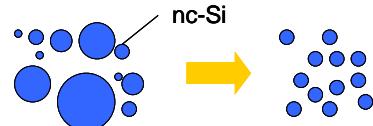
3. 2. 1 ネオシリコン構造制御

3. 2. 1. 1 はじめに

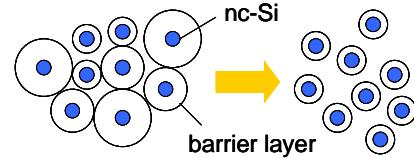
半導体微細構造を作製する方法は、リソグラフィとエッチングによるトップダウン技術により進展してきたが、リソグラフィ技術の限界が取りざたされる中、最近は、原子レベルで制御する結晶成長技術によりクラスター やナノ結晶を形成するボトムアップ技術によりナノ構造を作製する研究が非常に注目されている。ナノ結晶シリコンについては、もともとアモルファスシリコン太陽電池の高効率化のためにアモルファス膜中に微結晶シリコンを混入したり、微結晶シリコン薄膜を用いたりするという目的で多くの研究がなされてきたが、最近は、このナノ結晶シリコン1つ1つを量子ドットとしてとらえ、粒径数 nm のドットで発現する量子効果により高効率化された発光デバイスや、単電子トランジスタや単電子メモリといった新しい原理で動作する電子デバイスへの応用も盛んに研究されている。「ネオシリコン」を創製することは、ある程度自然現象を利用しているがゆえに制御が難しいとされるボトムアップ技術により作製したナノ結晶シリコンの集合体の制御にあえてチャレンジし、ボトムアップ形成ナノ結晶シリコンをシリコンナノデバイスの構成要素として確立することにより、デバイス応用、およびデバイス動作の安定化に大きな寄与をもたらすことである。技術的に重要なポイントとしては、1) ナノ結晶シリコンドットの形状、粒径の制御、2) ナノ結晶シリコンドット間の相互作用の制御、3) ナノ結晶シリコンドットの位置制御、の3点を挙げることができる（図3.2.1.1）。

このような研究背景に基づき、我々のグループでは、シランガスのプラズマ分解により形成したシリコンのラジカルを原料としてナノ結晶シリコンを気相成長する方法を開発し、その技術を発展させることにより、粒径の均一化、サイズの縮小化を試みた（3.2.1.2）。ドット間の相互作用の制御という観点からは、形成したナノ結晶シリコンの表面の物理的性質を制御し、光学特性の評価をおこなった。とくに、表面に直接窒化膜を形成する方法を新たに確立した（3.2.1.3）。また、電子デバイスに応用する際の基礎となるナノ結晶シリコンドットの集合体における電荷保持特性を調べた（3.2.1.4）。ドットの位置制御については、溶液を用いた方法に

1) ナノ結晶シリコンドットの形状、粒径の制御



2) ナノ結晶シリコンドット間の相互作用の制御



3) ナノ結晶シリコンドットの位置制御

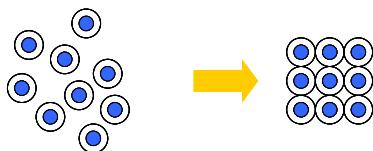


図3.2.1.1 ネオシリコン創製の技術的なポイント

よりドットの高密度集積化を目指した(3.2.1.5)。本節ではこれらの研究について5年間の研究成果を報告する。

3.2.1.2 ナノ結晶シリコンドットの粒径制御

3.2.1.2-1 VHFパルスプラズマプロセス

本研究で用いたナノ結晶シリコン堆積装置の模式図を図3.2.1.2に示す。ナノ結晶シリコンドットは、シランガスを原料としてプラズマセル内で形成し、オリフィスを通して堆積室内の基板上に堆積する。周波数144MHzのVHFプラズマはラジカル発生効率が高いのでナノ結晶シリコンドットの形成に適している。比較のために13.56MHzプラズマでも実験を行ったが、ナノ結晶シリコンドットの堆積速度は2桁以上遅くなる。プラズマセルの温度は100°Cであるが、ラジカルの化学エネルギーのため無双晶で単結晶のナノ結晶シリコンドットを得ることができる。シリコン超微粒子の形成法としては他にもガス蒸着法やスパッタ法がある。しかし、シランガスを原料とするプラズマ分解法がこれらの方針と本質的に異なるのは水素ラジカルを発生することである。シリコンクラスターが結晶成長する過程で、表面ダングリングボンドは常に水素原子によって終端されている。そして、ナノ結晶シリコンドットの結晶成長は水素含有シリコンラジカルの堆積と水素ラジカルによるエッチングの平衡により制御された形で進行する。プラズマ中の各種ラジカルの存在比は、圧力、ガス滞在時間、高周波電力、周波数などの外部パラメータで決まる。図3.2.1.3にはこの方法により作製されたナノ結晶シリコンドットの透過型電子顕微鏡(TEM)写真を示す。電子ビームとシリコン原子との干渉により形成した格子像が観測され、良質な単結晶球ができていることが分かる。シランガス中に含まれる水素がシリコン表面を被覆して理想的な結晶成長条件が実現できているものと思われる。この方法の大きな特徴は、室温でどんな基板上にも堆積できることである。

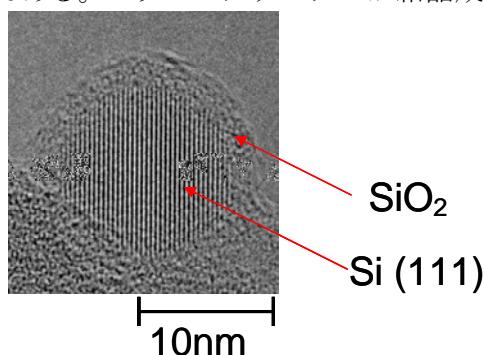


図3.2.1.3 ナノ結晶シリコンのTEM像

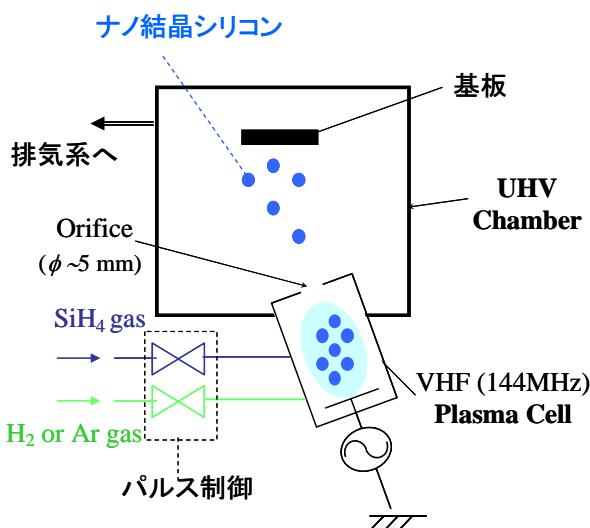


図3.2.1.2 ナノ結晶シリコン堆積装置の模式図

ナノ結晶シリコンドットの結晶成長は水素含有シリコンラジカルの堆積と水素ラジカルによるエッチングの平衡により制御された形で進行する。プラズマ中の各種ラジカルの存在比は、圧力、ガス滞在時間、高周波電力、周波数などの外部パラメータで決まる。図3.2.1.3にはこの方法により作製されたナノ結晶シリコンドットの透過型電子顕微鏡(TEM)写真を示す。電子ビームとシリコン原子との干渉により形成した格子像が観測され、良質な単結晶球ができていることが分かる。シランガス中に含まれる水素がシリコン表面を被覆して理想的な結晶成長条件が実現できているものと思われる。この方法の大きな特徴は、室温でどんな基板上にも堆積できることである。

3.2.1.2-2 ナノ結晶シリコンドット粒径制御技術

水素ラジカルはシリコン微結晶核の発生を促進するという実験結果と、量子ドットの粒径を均一にするためには核形成と結晶成長を時間分離すればよいとの仮説(図

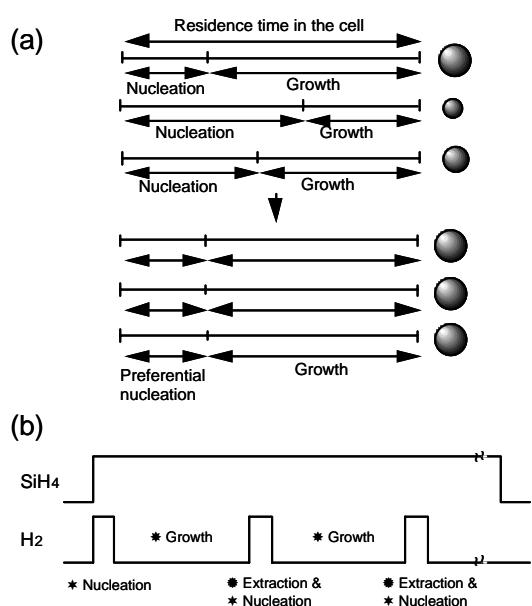


図 3.2.1.4 均一粒径分布への指針

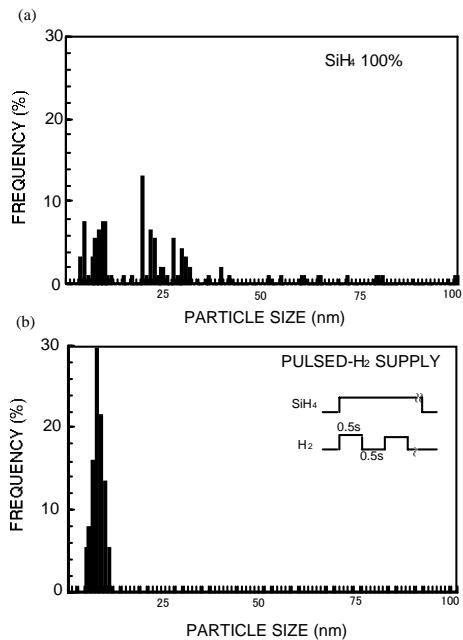


図 3.2.1.5 生成したナノ結晶シリコンの粒径分布(a)水素添加なし(b)水素添加あり

3.2.1.4(a))に基づいて、シランガスプラズマ中に水素ガスパルスを導入する方法(図3.2.1.4(b))により、粒径 8 nm、分散 1 nm という均一な分布のナノ結晶シリコンドットを形成することができた(図 3.2.1.5)。

また、アルゴン添加することにより、ラジカル発生効率を 2 枠増加し、堆積速度が大幅に向上することを見いだした。アルゴンプラズマ中にシランガスパルスを添加する方法により、平均粒径 6 nm のナノ結晶シリコンドットを $10^{12} \text{ cm}^{-2}/\text{h}$ の速度で形成できることを明らかにした。シランガスパルスの立ち上がり部分では、核形成に寄与する短寿命ラジカルが多く存在するのに対して、立ち上がり以外では結晶成長に寄与する長寿命ラジカルの量が相対的に多いため、パルスプラズマにより、粒径の単分散化が実現できるものと考えられる。シリコン基板上に堆積したナノ結晶シリコンの断面走査型電子顕微鏡(SEM)写真を図 3.2.1.7 に示す。粒径がそろったナノ結晶シリコンドットが堆積されている様子がわかる。

上記の実験結果に基づき、シラン-水素-アルゴンの 3 種のガスを用いて、プラズマ条件、パルス条件を変化させ、更なる粒径縮小化を目指している。図 3.2.1.8 は、アルゴンプラズマ中に、シラン-水素混合ガスパルスを導入

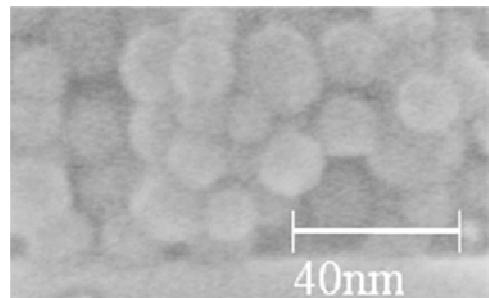


図 3.2.1.7 堆積したナノ結晶シリコンの断面 SEM 像

する方法により作製したドットの TEM 像である。全体の平均粒径が約 6 nm で、その内部にサイズが約 2-3nm の結晶のグレインをいくつか含むドットが観測された。この結果は、気相中での更なる粒径縮小化の可能性を示唆している。プラズマ内部で核形成の促進とラジカル発生効率の増大が同時に起こることにより、多量のサイズが小さいナノ結晶シリコンが生成し、衝突が起りやすくなつたために生じたものであると考えられる。

3.2.1.3 ナノ結晶シリコンドットの表面制御

3.2.1.3-1 ナノ結晶シリコンの表面酸化

表面に酸化膜を形成した集積化ナノ結晶シリコンドットの TEM 写真を図 3.2.1.9 に示す。非常に均一な厚さの酸化膜がナノ結晶シリコンドットを覆っている様子が観測されている。酸化時間を長くしていくと表面が徐々に酸化され、ドットの粒径が小さくなつていく様子が図 3.2.1.10 から良くわかる。図 3.2.1.11(a)、(b) は 750 °C 酸化において、酸化時間に対して表面酸化膜厚、およびナノ結晶シリコンコアの直径の変化をプロットした図である。ナノ結晶シリコンドットの酸化では、Si 基板と比較して酸化速度が大幅に減少することが明らかとなった。また、750 °C においては、酸化が自然に停止するセルフリミティング現象が観測された。このセルフリミティング現象を利用し、粒径のはらつきがほとんどない直径約 4 nm のナノ結晶シリコンドットを再現性良く作製することができる。また、このセルフリミティング現象については、ナノ結晶シリコンドットは超微小な球形であることから、酸化過程において、酸化膜中に働く引張り応力と Si/SiO₂ 界面に働く圧縮応力のストレス効果として説明することができる(図 3.2.1.11(c))。

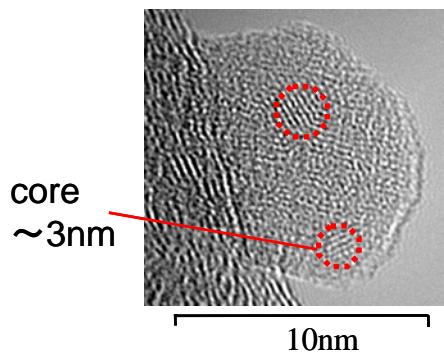


図 3.2.1.8 Ar-SiH₄-H₂ により作製したドットの TEM 像

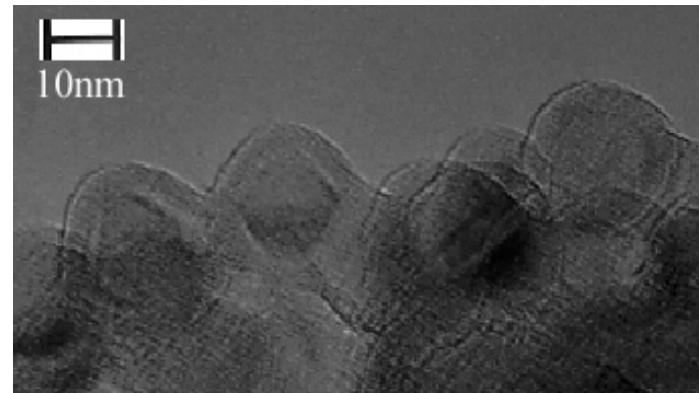


図 3.2.1.9 表面が酸化されたナノ結晶シリコンドット堆積膜の TEM 像

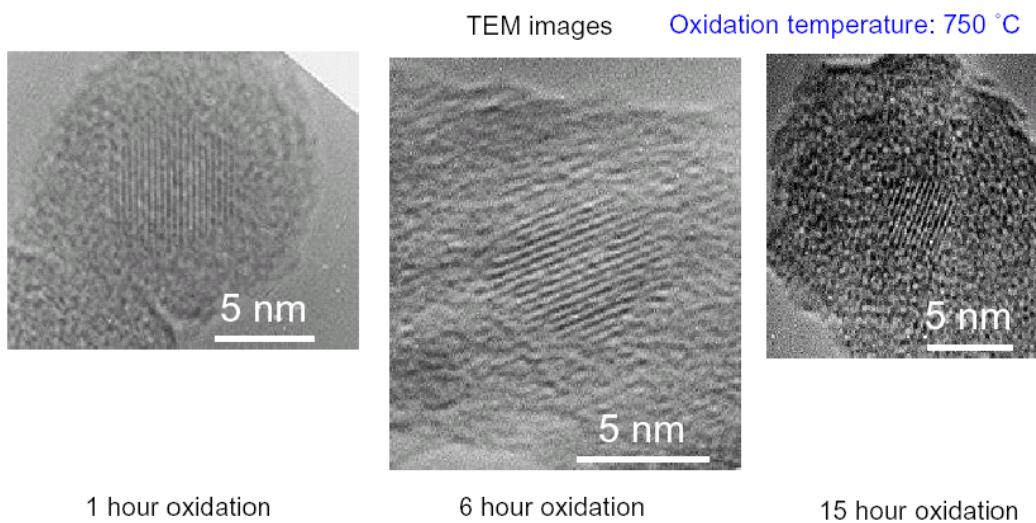


図 3.2.1.10 表面酸化によるナノ結晶シリコンドットの粒径変化の TEM による観測

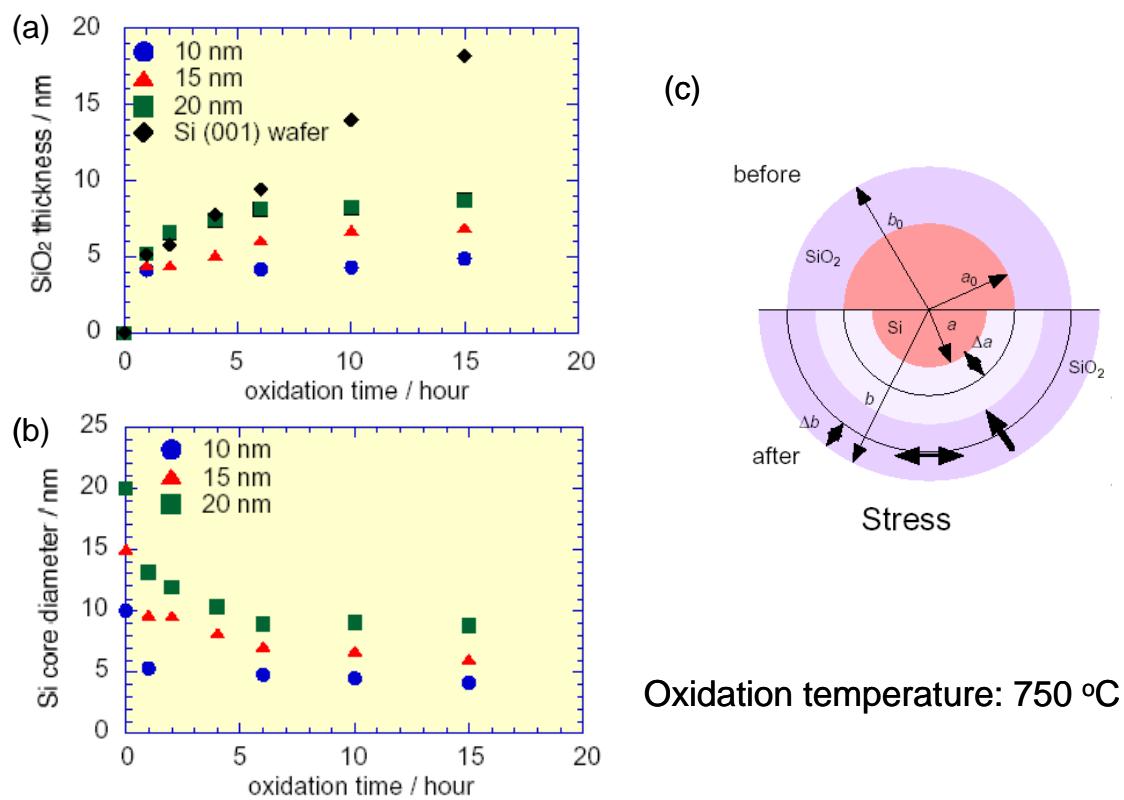


図 3.2.1.11 酸化時間に対する表面酸化膜厚(a)、およびのナノ結晶シリコンコアの粒径(b)の変化 (c)ナノ結晶シリコン酸化メカニズム

3.2.1.3-2 表面酸化ナノ結晶シリコンドットの光学特性

表面酸化したナノ結晶シリコンからは室温で可視光発光が観測される。図3.2.1.12(a)はコア粒径の異なる表面酸化ナノ結晶シリコンドットからの発光スペクトルである。ピーク分離後の図中P2のスペクトルが、ナノ結晶シリコン由来の発光と考えられる。

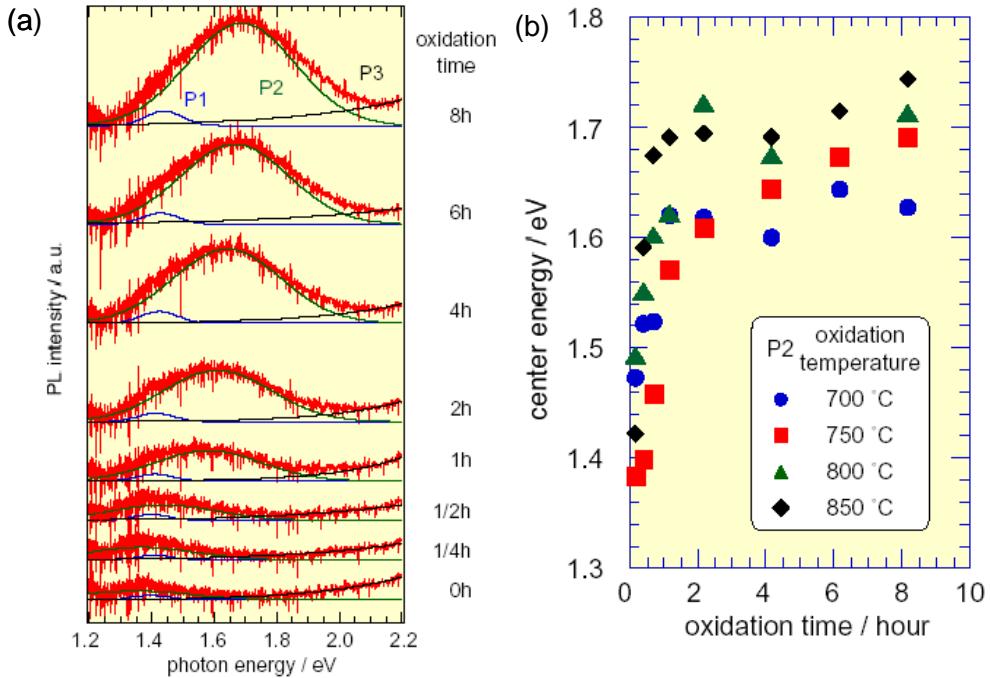


図 3.2.1.12 (a) 表面酸化ナノ結晶シリコンドットの発光スペクトル
(b) 酸化処理温度が異なる試料の酸化時間に対するピークシフトの違い

えられる。粒径が小さくなるにしたがって発光スペクトルのピーク位置がブルーシフトしており、これは量子閉じ込め効果に伴うバンドギャップの拡がりに対応していると考えられる。また図3.2.1.12(b)に示すように、酸化処理温度の違う試料においては、粒径の縮小化に伴うレッドシフトも観測されており、これはストレス効果によるものと考えられる。図3.2.1.13(a)には、粒径と発光強度の関係を示すが、ドットの直径がバルクSiにおける励起子のボーラ半径の2倍よりも小さくなる6 nm以下になると、発光強

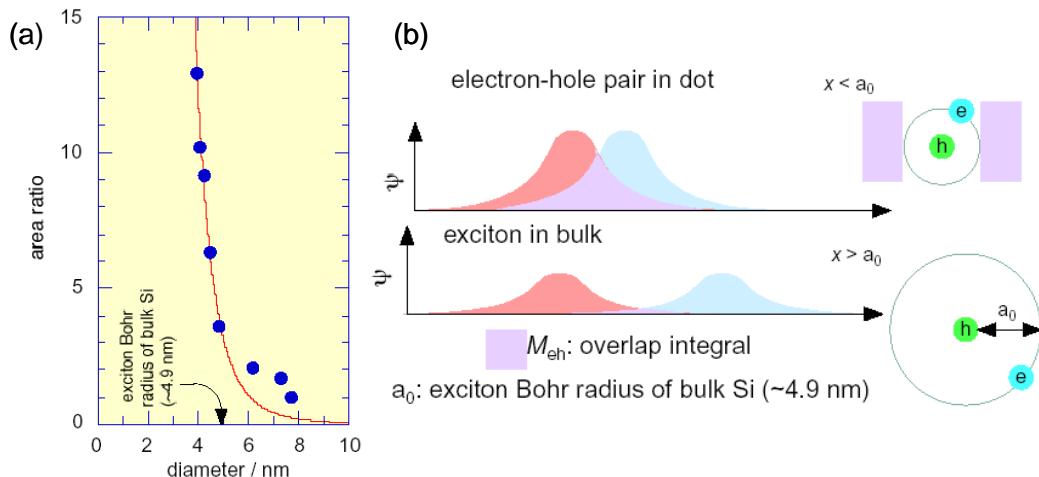


図 3.2.1.13 (a) ナノ結晶シリコンドット粒径と発光強度の関係 (b) 発光強度増大のモデル

度の急激な増大が観測されることが分かった。これは図 3.2.1.13(b)に示したように、粒径の縮小化に伴う擬似直接遷移的な発光メカニズムへの移行が起こったことによる発光強度の増大と考えることができる。

3.2.1.3-3 ナノ結晶シリコンドットの表面窒化

シリコン窒化膜は、シリコン酸化膜よりもバンドギャップが小さいため、ドット間の電子トンネル障壁膜として用いた場合、低電圧でより大きなトンネル電流を得ることができる。本研究では、窒素ラジカルによる直接窒化法をもついて、ナノ結晶シリコン表面に窒化膜を形成するプロセスを確立し、表面窒化シリコンドットの電荷蓄積能の評価をおこなった。図 3.2.1.14 は窒化処理チャンバーの模式図で、このチャンバーはナノ結晶シリコン堆積用のチャンバーと直接つながっているため、大気暴露により影響がなく *in situ* で窒化膜を形成することができる。図 3.2.1.15 には、製膜時間一定の条件下での製膜温度と膜厚の関係を示す。いずれの条件においても窒化膜の膜厚 1.5 nm 以下であり、温度依存性も小さいことから、セルフリミティングのメカニズムが示唆される。これに対して、プラズマパワーの変化に対する膜厚の変化は比較的顕著であり、プラズマ発光スペクトルとの対応を考慮すると、原子状窒素が窒化膜の形成に大きく寄与しているということが分かる。

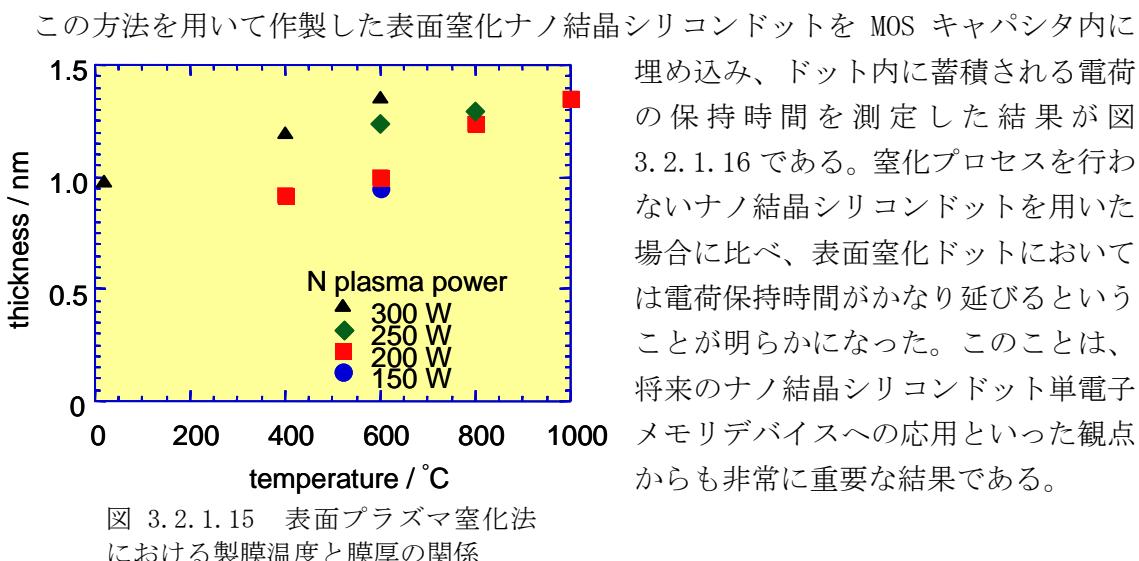


図 3.2.1.14 表面窒化チャンバーの模式図

この方法を用いて作製した表面窒化ナノ結晶シリコンドットを MOS キャパシタ内に埋め込み、ドット内に蓄積される電荷の保持時間を測定した結果が図 3.2.1.16 である。窒化プロセスを行わないナノ結晶シリコンドットを用いた場合に比べ、表面窒化ドットにおいては電荷保持時間がかなり延びるということが明らかになった。このことは、将来のナノ結晶シリコンドット単電子メモリデバイスへの応用といった観点からも非常に重要な結果である。

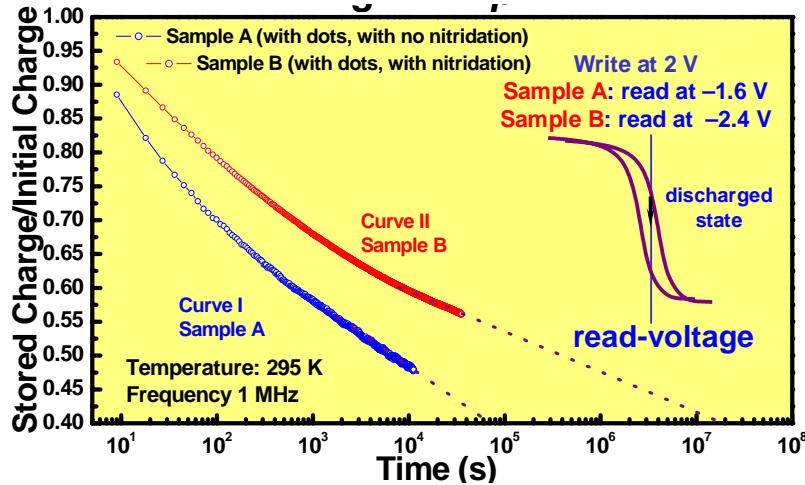


図 3.2.1.16 表面プラズマ窒化ナノ結晶シリコンドットを用いた MOS キャパシタメモリにおける電荷保持時間の測定結果

3.2.1.4 走査プローブ顕微鏡によるナノ結晶シリコンドットの帯電状態の観測

3.2.1.4-1 原子間力顕微鏡(AFM)による表面電荷状態の観測

ナノ結晶シリコンドットに蓄積された電荷の振る舞いについては、デバイス応用上興味深い問題である。そこでナノ結晶シリコンドットを堆積した膜の表面の帯電状態について、走査プローブ顕微鏡を用いて調べた。図 3.2.1.17 は、探針に電圧をかけることにより、ドット表面の帯電状態を変化させる前後の、同じ位置での AFM 像である。通常の AFM では表面の形状像が得られるが、表面に電荷が存在する場合には、AFM の探針が静電気力の影響を受けるため、通常の形状像とは異なった像が得られる。帯電前後の像の差と、実際にドットに蓄積されている電荷量との関係について、従来のモデルを改良したドットと探針の幾何学的形状を考慮した新しい計算方法により、ナノ結晶シリコンドットの集合体に蓄積された電荷量を見積もることに成功した。

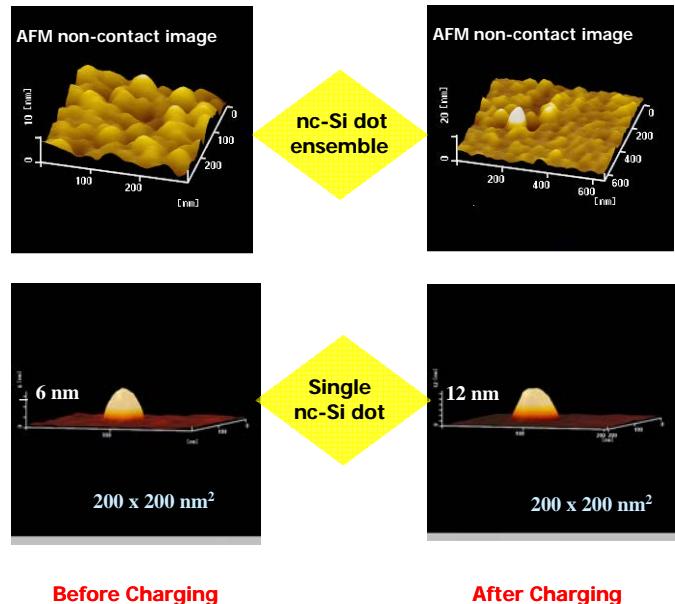


図 3.2.1.17 AFM 探針に電圧を印加する前後の AFM 像。上がアンサンブルの場合で下が單一ドットの場合

3.2.1.4-2 ケルビンプローブ顕微鏡(KFM)による表面電荷状態観測

KFMは表面ポテンシャルを測定する走査プローブ顕微鏡であり、これを用いることにより、直接ナノ結晶シリコンドットの表面電荷状態を観測することができる。本研究では、図3.2.1.18に示すように、最初に電気的に中性の状態でKFM測定を行った後、電圧印加によりドットの帶電状態を変化させ、その後同じ位置でのKFM像の時間変化を観測した。形状像には電圧の印加前後での大きな変化は見られないが、電位像については、中性状態では基板より低いポテンシャルであったドットが、電荷蓄積により基板に対して高いポテンシャルの状態に移る振る舞いが観測された(図3.2.1.21)。

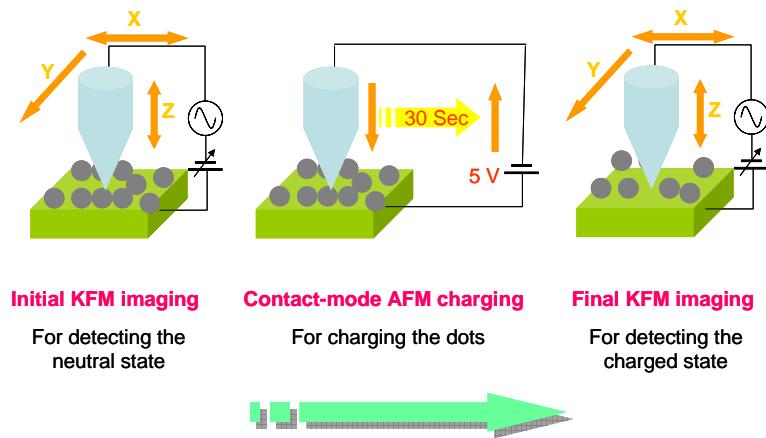


図3.2.1.18 KFM実験手順

また、ポテンシャルの大きさはドットの粒径に依存し、大きなサイズのドットほど中性状態のポテンシャルは低く、帶電させたときのポテンシャルは高くなっている。図3.2.1.22のように、粒径を横軸に、帶電後のドット中心のポテンシャル高さを縦軸にとり、電子の帶電エネルギーの粒径依存性と比較すると、粒径3nm以下の小さいドットには1個の電子、粒径5nm以上の大きなドットには2個ないし3個の電子が蓄積されていることがわかる。また帶電5分後(左図)と帶電75分後(右図)の結果を比較すると、3nm以下のドットのポテンシャルはほとんど変化しないのに対し、5nm以上のドットの帶電状態は、ほとんど2個の電子の帶電エネルギーに対応する値に収束している。これらの結果から、ドット中に蓄積されている電荷は量子化されていて、かつ1電子蓄積の場合と2電子以上の蓄積がある場合ではその状態の保持時間が異なるということが示唆される。

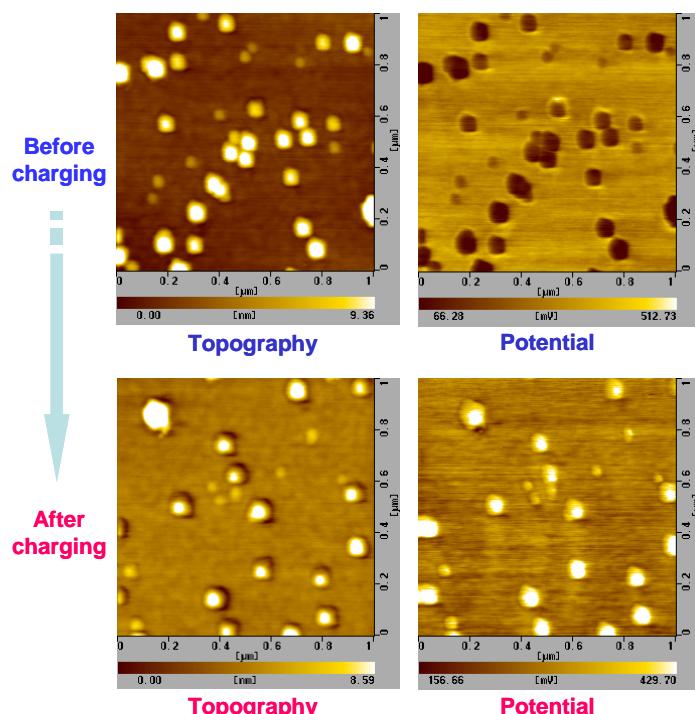


図3.2.1.21 帯電前後の表面形状像およびKFM像

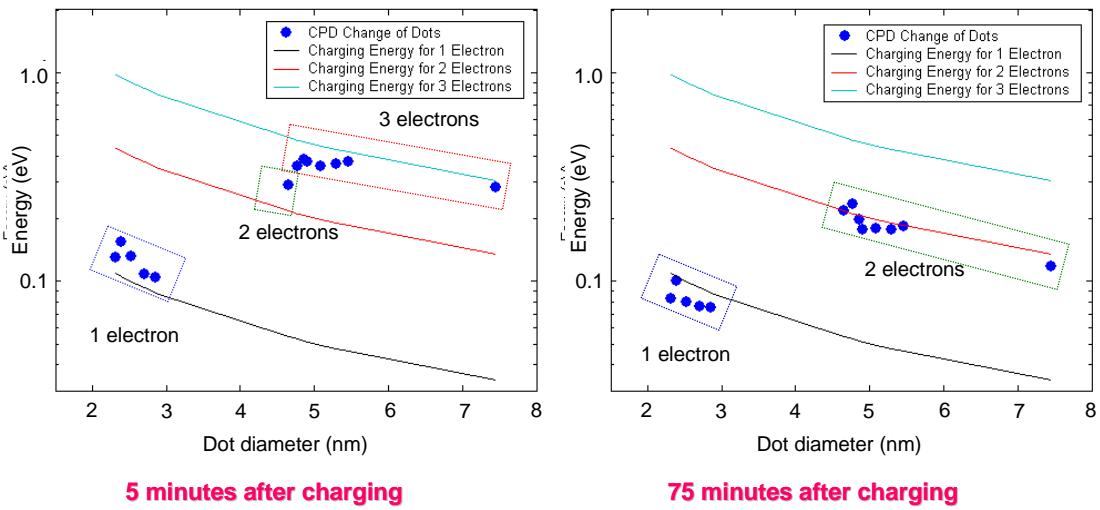


図 3.2.1.22 帯電エネルギーの粒径依存性

3.2.1.5 ナノ結晶シリコンドットの高密度集積化と位置制御

3.2.1.5-1 ナノ結晶シリコンドットの位置制御

ナノ結晶シリコンドットの位置制御という技術課題は挑戦的な課題であり、ネオシリコンの創製のキーポイントである。図 3.2.1.23 には、位置制御のさまざまな方法を示した。基板上に堆積したシリコンドットはファンデアワールス力で物理吸着しているだけなので、AFMなどの走査プローブで機械的に移動できることは実験で確認済みであるが。この方法では能率が悪く、大規模集積回路では実用的でない。あらかじめパターンが形成されたテンプレート上に堆積し、テンプレートを除去することにより配列を実現することも考えられるが、この方法の場合はテンプレートをいかに作成するかが技術的な課題となる。そこで、本研究では、コロイドナノ粒子の分野で広く行われている分散溶媒を用いて粒子を集積化する技術をナノ結晶シリコンドット配列の形成に応用することを提案した。この方法は、ドットの大規模集積化、また高密度集積化という観点でも有利な方法である。

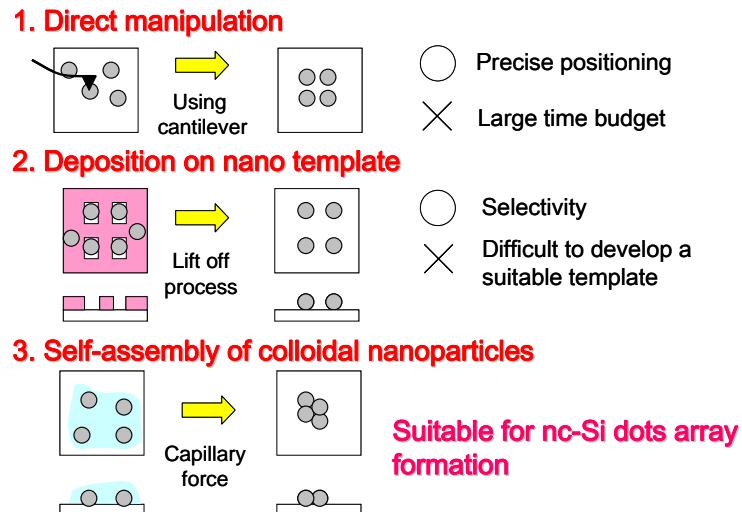


図 3.2.1.23 ナノ粒子位置制御の様々な方法

3.2.1.5-2 フッ化水素酸溶液を用いた方法

ナノ結晶シリコンの表面は非常に活性なため、基板上に堆積後に大気中に晒すと大気中の酸素や水分と反応し、表面に自然酸化膜が形成される。このとき、基板-ナノ結晶間の結合にもその影響が及んでいるということが実験結果から推測されている。したがって、その状態のナノ結晶シリコンの位置の制御のために、シリコン酸化膜を溶解するフッ化水素酸の水溶液を用いた実験を行った。図 3.2.1.24 に示したように、ドットを堆積し、自然酸化を経た基板上に 0.3% フッ化水素酸水溶液を滴下し、適度な時間放置して液体の蒸発を待つ。溶液滴下前と滴下蒸発後の基板上のナノドットの分布の変化を観察した SEM 写真を見ると、明らかに滴下蒸発後にナノドットは基板上を移動し、凝集により 1 次元ないし 2 次元的な凝集体を形成していることがわかる。コロイドを含む溶液が蒸発する際には、横毛管力が粒子に作用し、粒子は蒸発する液体の裾に曳かれて凝集することが知られており、この場合にも同様なメカニズムで凝集が起こったのではないかと考えている。また、この凝集は粒子の自己組織化の初期段階である核形成と考えることができ、条件の最適化により更なる大面積規則配列が期待される。

Solution Droplet Evaporation Method (SDEM)

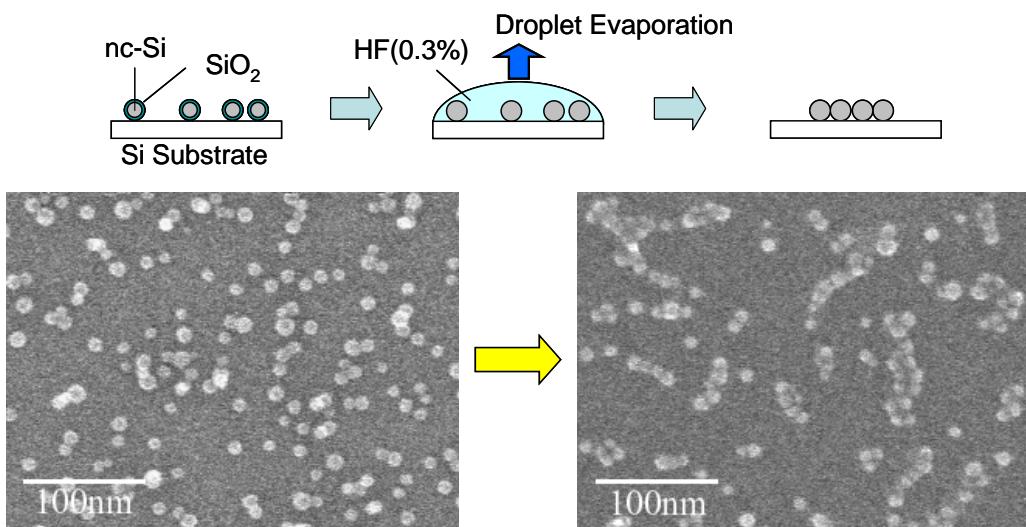


図 3.2.1.24 フッ化水素酸溶液を用いたナノ結晶シリコンドットの位置制御

3.2.1.5-3 分散溶媒としてメタノールを用いた方法

前述のフッ化水素酸を用いた方法は、ナノ結晶シリコンドットの分散溶液を基板上の液滴の中に形成し、それを蒸発させて集積化を試みるという方法であるが、化学反応が起きることに由来する塩が蒸発時に残留するという点や薬品の取り扱い安さの部分で問題がある。そこで、堆積後の自然酸化膜形成を極力抑制することを目的とし、堆積直後に基板を有機溶媒であるメタノールに浸漬し超音波処理を行ったところ、処理後の基板表面にはほとんどナノドットが残留していない様子が観測された。これは、ナノドットがメタノール中に分散しているということを示すものである。そこで、シリコンドットが分散しているメタノールを基板上に滴下し、蒸発後の基板表面の SEM 観察を行った。図 3.2.1.25 に一連のプロセスとプロセス前後の基板表面の観察結果を示す。プロセス

後の基板において、図 3.2.1.25(c)に示したようなドット凝集体構造が観測された。この構造におけるドット面密度は約 $7 \times 10^{11} \text{ cm}^{-2}$ と見積もられ、処理前の堆積のみの段階での面密度($\sim 1 \times 10^{11} \text{ cm}^{-2}$)に比べ一桁弱の高密度化が実現した。

3.2.1.6 得られた研究成果の評価および今後期待される効果

本研究では、「ネオシリコン」という新しい概念の実現にむけて、世界に先駆けて、VHF プラズマとパルスガス供給を組み合わせた非常に粒径分散の小さい粒径数 nm のナノ結晶シリコンドットを制御良く作製する技術を確立した。また、将来的な集積回路への応用を念頭に、ドット間の相互作用の制御を目的としたドット堆積後プロセスの確立にも着手し、酸化自己停止機構を利用した粒径制御や、窒化後の特異なトラップ生成についても明らかにしてきた。また、応用上での基礎特性として極めて重要な單一ドットの電荷保持特性について、走査プローブ顕微鏡を用いた直接観測による新たな測定技術を確立した。さらに、プロジェクトの開始時点では無理だといわれたランダムに堆積されるナノ結晶シリコンドットの位置制御についても、従来のシリコン加工技術とは全く異なる溶液を用いた方法を採用することにより、高密度化を実現した。最初に述べたナノ結晶シリコンドットの作製技術はもちろんであるが、その他の事項に関しても、ナノ結晶シリコンの電子デバイス応用を強く意識して、要素技術を確立してきているグループは世界的に見ても例がなく、きわめてオリジナリティの高い研究内容であるといえる。

今後期待される効果としては、これらの構造制御技術の確立により、ナノ結晶シリコン量子ドットの量子効果デバイスへの応用に関する研究が飛躍的に進んでいくことが予測される。「集積化されたナノ結晶シリコンドット量子効果デバイス」の実現する日が確実に近づいた事は疑う余地はない。さらなる課題としては、1)

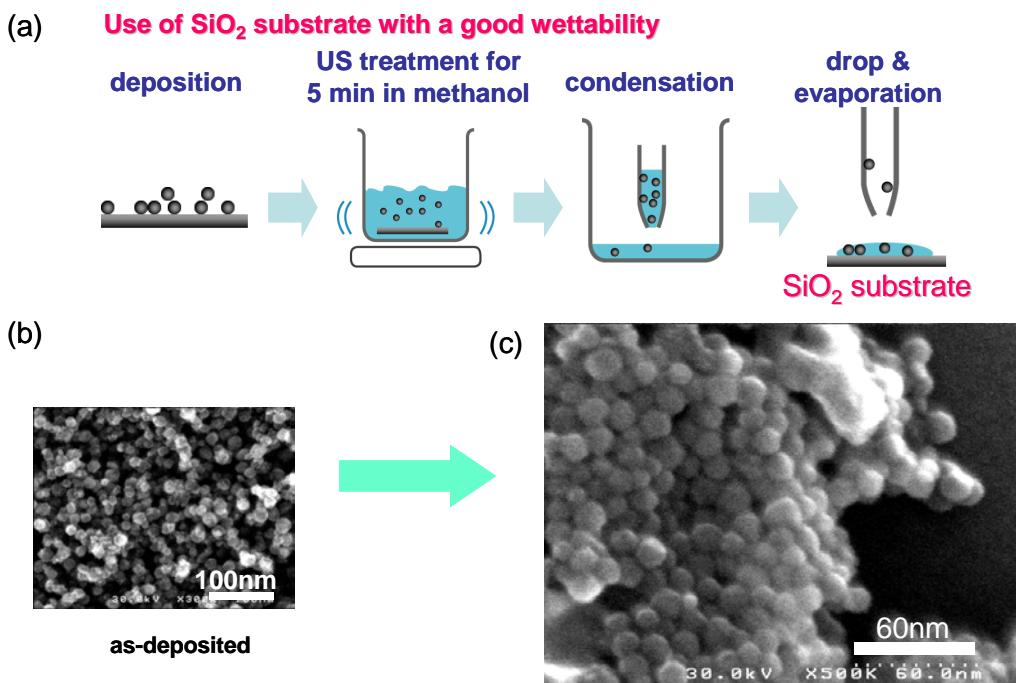


図 3.2.1.25 メタノール分散溶液法によるネオシリコンドット高密度

単分散性を保持したままさらに粒径を縮小する技術の確立、2) 単一ドット電荷保持メカニズムの解明、3) 位置制御技術の改善によるシリコン量子ドット配列形成技術開発、などが挙げられる。

3.2.2 ナノ結晶シリコン量子ドット単電子デバイス

3.2.2.1 はじめに

寸法が 10 nm 以下の量子ドット構造は、クーロンブロックード、バリスティック伝導など、ナノ構造に特有な興味深い物性が現れてくる舞台である。特に、ナノ結晶シリコン量子ドットは、既存のシリコン集積回路製造プロセス装置を用いて、シリコンチップ上に形成できるので、応用上きわめて有利である。また、理想的なポテンシャル障壁として働く良質な酸化膜、窒化膜をナノ結晶シリコンの表面に形成する技術により、さまざまな閉じ込めポテンシャルを持つ量子構造形成が可能である。シリコン集積回路中に量子効果デバイスを形成するためには、リソグラフィ技術などのトップダウン法により素子位置を精密に指定する必要がある。一方、量子効果を顕著に発現させるためには 10 nm 以下のナノ構造が必要で、電子線露光技術を用いてもトップダウン法だけでは限界があり、今後はトップダウン法とボトムアップ法を組み合わせて考えていくことが重要である。

我々は、ボトムアップ的なアプローチとして、VHF パルスプラズマプロセスを用いた直径 10 nm 以下のナノ結晶シリコンドットを制御良く作製する方法を確立してきた。また、トップダウン的な観点からは、電子線露光技術の工夫によるナノ微細構造電極の形成法や、エッチング条件の制御による加工寸法の縮小化などを検討してきた。本研究では、これらの技術を駆使し、ナノ微細構造シリコン量子ドット単電子デバイスの作製および特性評価を行った。単電子デバイスは、電子 1 個の動作が直接デバイス特性と結びついているデバイスであり、将来の超低消費電力素子への応用が期待されている。ナノ結晶シリコン量子ドットをクーロンアイランドとして用いたトランジスタの作製と特性評価について報告し(3.2.2.2)、次にナノ結晶シリコン量子ドットをフローティングゲートとして用いた単電子メモリ素子について、動作特性の評価を行った結果について述べる(3.2.2.3)。また、ナノ構造形成技術を組み合わせて作製したシリコン縦型量子ポイントコンタクトトランジスタにおいて、バリスティック伝導特性を実証したのでそれについても報告する(3.2.2.4)。

3.2.2.2 ナノ結晶シリコン単電子トランジスタ

3.2.2.2-1 プレーナ型電極素子構造

電子ビーム露光技術と ECR 反応性プラズマエッチング技術の最適化により最小間隔 15 nm のシリコン極微細構造の形成に成功した(図 3.2.2.1)。RD2000 ネガ型レジストを使用し、近接効果の補償には 2 段階露光を行っている。SOI でこの電極パターンを形成した後、この上に、VHF パルスプラズマ法によるナノ

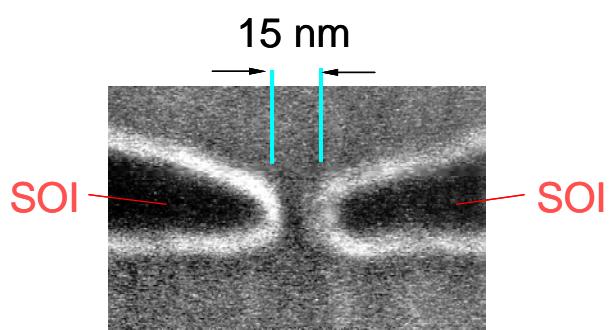


図 3.2.2.1 電子ビーム露光技術により作製した SOI プレーナ型電極構造

結晶シリコンドットを堆積する。ナノ結晶シリコン表面の酸化膜がトンネルバリアとなる。シリコン量子ドットはランダムに分布するが、電極間を流れる電流は最もトンネル抵抗の低い部分で決まると仮定すると擬1次元多重トンネル接合素子と等価的に考えることができる。このような構造では電子の帶電効果が顕著になり、単一電子の注入にしきい電圧が必要なクーロンブロックエード現象が期待される。次いでゲート絶縁膜、ゲート電極を堆積するプロセスにより、粒径8 nmのシリコン量子ドットをチャネルとするトランジスタを形成した。トランジスタの模式図を図3.2.2.2に示す。

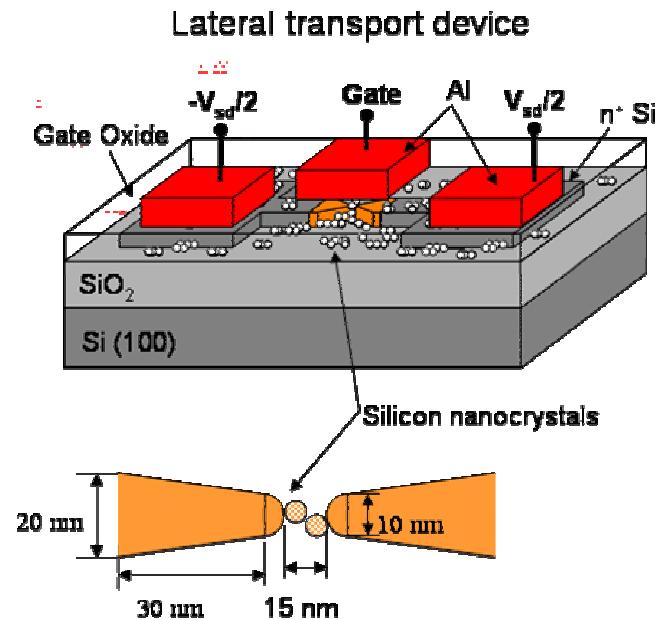


図3.2.2.2 プレーナ型電極構造单電子トランジスタの模式図

3.2.2.2-2 单電子トランジスタ特性評価

20 Kでの測定では、单電子トンネル現象に特有なクーロンブロックエードやクーロン振動が明瞭に観測された。電極間隔15 nmのSOIパターン上にシリコンドットを堆積した試料の電子輸送特性(クーロンダイヤモンド)を図3.2.2.3に示す。縦軸と横軸はトランジスタの3端子のうち2つの電極間の電圧を表し、曲線は等電流曲線を表す。曲

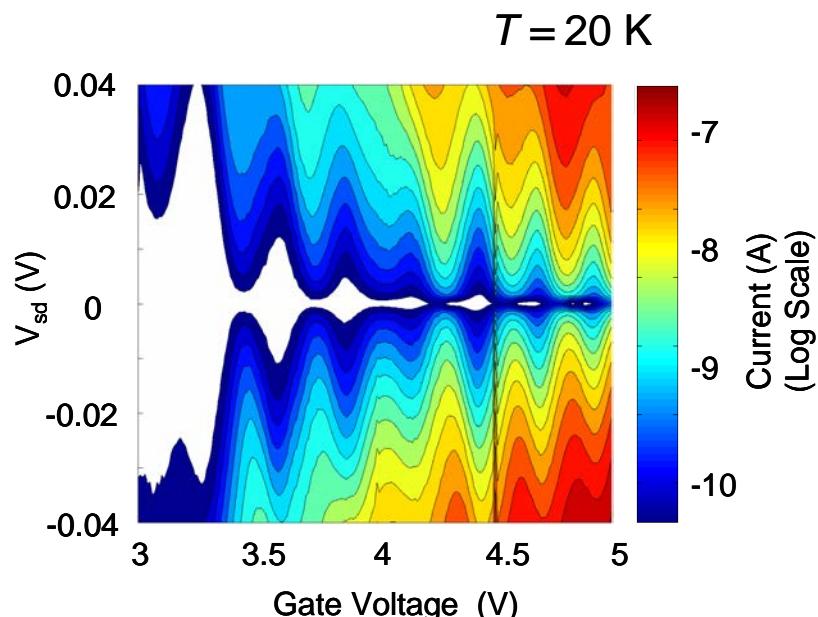


図3.2.2.3 プレーナ型電極構造单電子トランジスタにおけるクーロンダイヤモンド

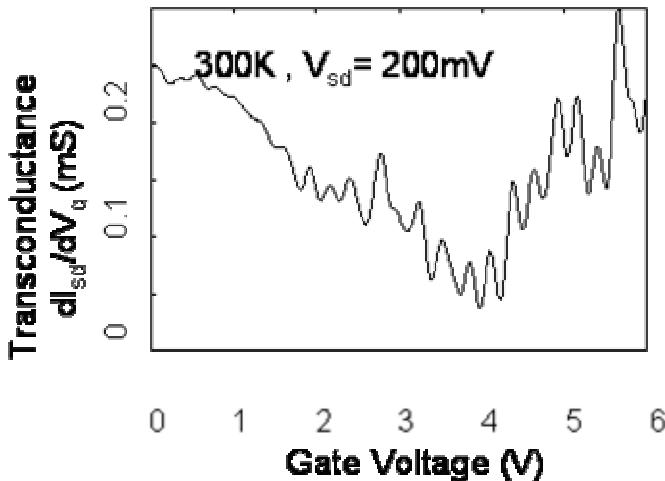


図 3.2.2.4 室温でのクーロン振動(微分測定)

特性は主として 1 個のクーロン島に依るものと考えることが出来る。クーロン振動特性の周期は規則的であるが、教科書にあるような金属アイランドの特性とは異なっている。ゲート電圧が低い領域では電流は流れない。電流の閾値電圧が存在する。電流の高さも一様ではない。

これらは、半導体の量子ドットに特有な性質である。測定温度を高温にすると振動ピークの幅は広がるが、同じゲート電圧にピークは観測される。室温においても、微分測定を行うことにより、クーロン振動を観測することができた(図 3.2.2.4)。室温での観測結果は、実用化に対しても有望であるが、同時にさらなる微細化が必要であることを意味している。多数の測定データから構成される曲線の形状から、電子輸送特性は極めて安定で再現性の高いことが分かる。20 K で測定したデータは量子効果を考慮したモデリングが可能であるのに対して、5 K で測定したデータは、ダブルエット構造が観測され複雑である(図 3.2.2.5)。トンネルバリアの一つがオーミック性を失い、隣接するドットの容量成分が関与した結果であろう。温度依存性の詳細な検討により、単一量子ドットの電子輸送特性だけでなく、ドット間のキャリヤの相関についても情報が得られる。

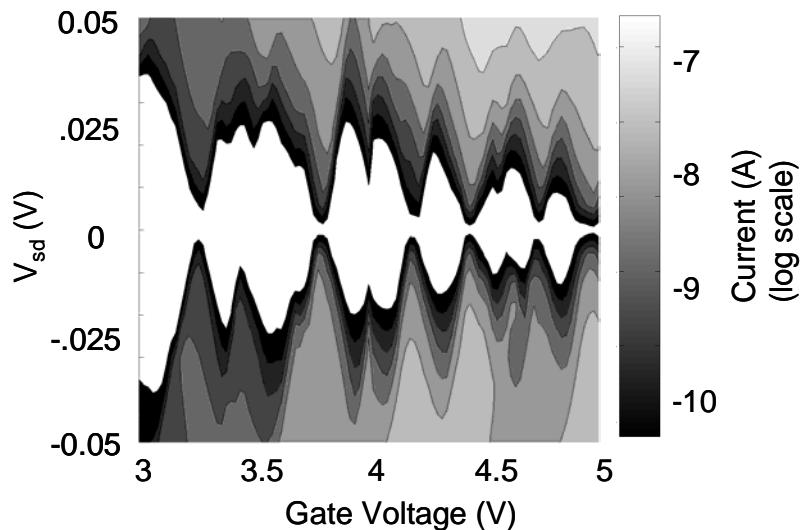


図 3.2.2.5 プレーナ型電極構造单電子トランジスタの低温測定における
クーロン振動の分裂

線が波のように振動しているのは、1 個 1 個の電子が注入する様子を表している。これは、1 個 1 個の電子の注入によりトランジスタのスイッチ動作ができる事を意味する。従来の 30 nm 間隔の電極では、チャネルを構成するドットの数が多くて、測定結果は複雑でモデリングが困難であったが、15 nm 間隔では 2-3 個のナノ結晶がチャネルを構成するので、規則的な特性が得られた。特に、電極との重なりが大きいドットはオーム接触とみなすと、輸送

3.2.2.2-3 縦型微細電極構造素子による単一シリコン量子ドットの電子輸送特性

シリコン単電子トランジスタの核になる構成要素である単一シリコン量子ドットについて、その電子輸送特性を評価する必要がある。この場合、プレーナ型電極構造を用いるよりは縦型電極構造を用いたほうが有利である。そこで、酸化膜中に寸法 10 nm 程度の微細孔を設けた構造の素子にシリコン量子ドットを堆積し、单一量子ドットによる電子輸送特性を調べた。図 3.2.2.6 に素子の模式図と平面、及び断面の SEM 像を示す。酸化膜のテーパ状エッチング特性により、上部開口は 50 nm 程度であっても、底部の開口は 10 nm 程度であり、1 個のシリコンドットが占めることになる。上部電極はポリシリコンを CVD 法により形成する。CVD の充填特性により、たとえ複数のドットが微細孔部に堆積しても、最下部のドットに接触する。シリコン量子ドットの周囲に形成される自然酸化膜がトンネルバリアとして働く。測定する個々の素子にシリコン量子ドットが実際に入っていることを確認することが困難なので、シリコン量子ドット堆積プロセスを省略した素子の測定も行い比較を行った。図 3.2.2.6 のダイオード構造の試料の電流電圧特性を種々の温度で測定し、零バイアス近傍の伝導度ディップの半値幅を解析すると接合の数が 2 個の単一量子ドットモデルで説明できる特性を得た。さらにモンテカルロシミュレーションでも單一ドット 2 接合のモデルで実験結果を再現することが出来た(図 3.2.2.7)。さらに詳細な検討を加えるため、図 3.2.2.8 に示すようなラップゲートを設けた。ゲー

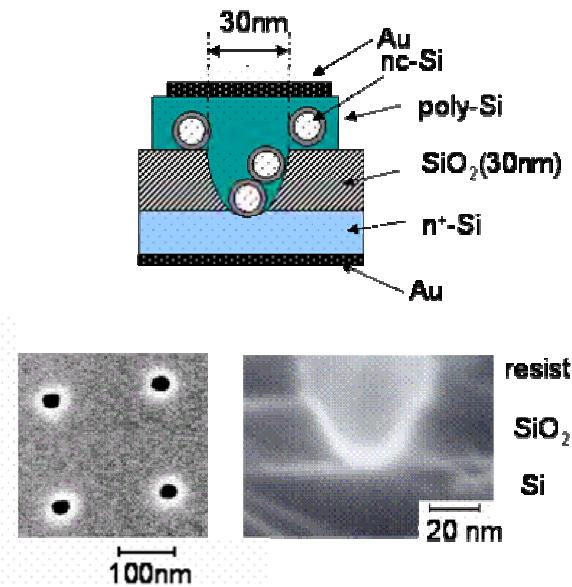


図 3.2.2.6 シリコン量子ドット輸送特性評価のための縦型電極構造

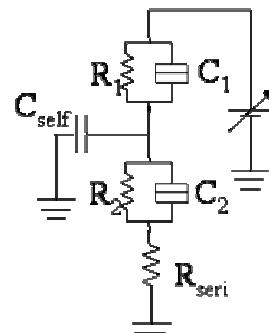
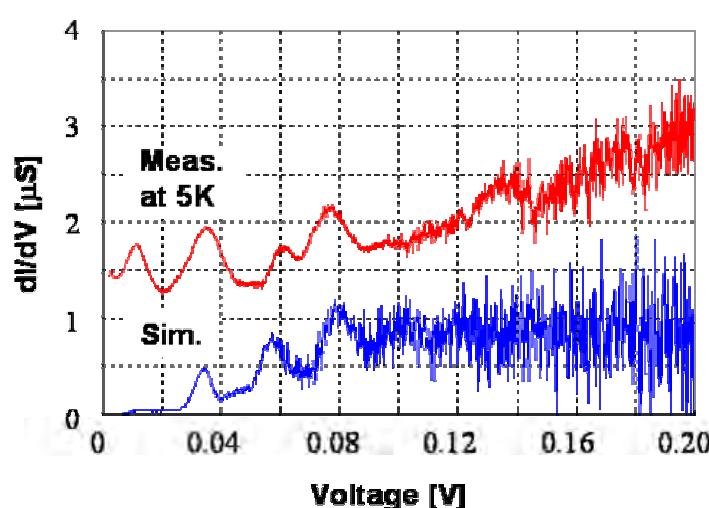


図 3.2.2.7 輸送特性の測定結果とシミュレーション結果の比較

トに電圧を加えることにより、シリコン量子ドットの帶電状態を変化させて電子輸送特性を評価することができる。5 Kで測定した結果を図 3.2.2.9 に示す。単電子輸送現象に特徴的な周期的なクーロン振動特性が観測できた。しかし、周期は单一ではなく、複数の周期が重畠している。これは、隣接する量子ドットからの寄与を考慮して説明できる。すなわち、ラップゲート縦型トランジスタ構造を用いて、単一シリコン量子ドットの電子輸送特性を定量的に評価すると同時に、量子ドット間のキャリヤ相関に関する情報も得られたことになる。これらの情報は、量子ドットを用いて、量子セルオートマトンや量子コンピュータを実現するために重要である。

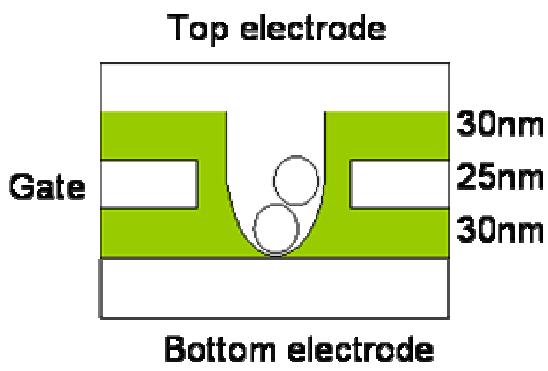


図 3.2.2.8 ラップゲート縦型
電極素子模式図

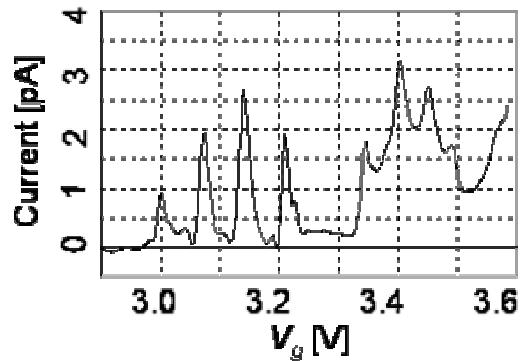


図 3.2.2.9 ラップゲート縦型電極
素子で観測されたクーロン振動

3.2.2.3 ナノ結晶シリコン単電子メモリ

3.2.2.3-1 素子構造

ナノ結晶シリコン量子ドットをトランジスタチャネルの近傍に配置させると、量子ドット中の帶電状態によりトランジスタの導電特性を変化させることができる。従って、この構造で単電子メモリデバイスを実現でき、超低消費電力の大容量不揮発性メモリへの応用が期待されている。MOSFET のチャネル近傍にトンネル酸化膜を介して配置したシリコンナノクリスタル量子ドットを蓄積ノードとする単一電子メモリ素子を作製しその特性を評価した。SOI 層は 30 nm まで薄層化して、EB 露光と ECR エッチングによりチャネル領域を 20×50 nm まで狭窄化した。膜厚 2 nm のトンネル酸化膜を形成した後に、プラズマプロセスにより、粒径 8 nm のナノクリスタルシリコン量子ドットを堆積した。膜厚 50 nm のゲート酸化膜を形成した後にポリシリコンゲートを堆積した。素子の模式図とナノ結晶シリコンドットを堆積した狭チャネル近傍の SEM 像を図 3.2.2.10 に示す。

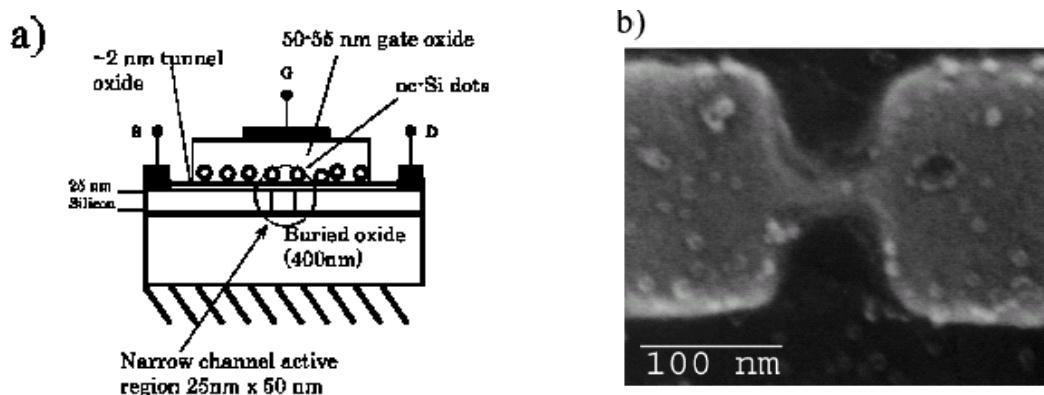


図 3.2.2.10 (a) ナノ結晶シリコン単電子メモリの模式図 (b) チャネル近傍の SEM 像

3.2.2.3-2 電気特性評価

チャネル領域 $30 \times 50 \text{ nm}$ の素子について 77 K で測定したチャネル電流のゲート電圧依存性からは、ゲート電圧の掃引範囲（書き込み電圧）を増加すると、シリコン量子ドットに電荷が蓄積されるのに伴いしきい電圧がシフトするという結果が得られた。しきい電圧は書き込み電圧に対して階段状に変化することから、電子が 1 個ずつ蓄積していく様子が分かる。しきい電圧のシフト量、書き込み電圧の幅は、素子の寸法から予想される値に一致する。 $20 \times 50 \text{ nm}$ まで狭チャネル化した素子の特性は、図 3.2.2.11 に示すように、室温においてもメモリ特性を示す。チャネル電流の過渡特性を調べると階段状に変化することから、単電子メモリ現象を裏付けている。しかし、メモリ保持時間は室温において数分程度であり、更なる保持時間特性の向上が必要である。

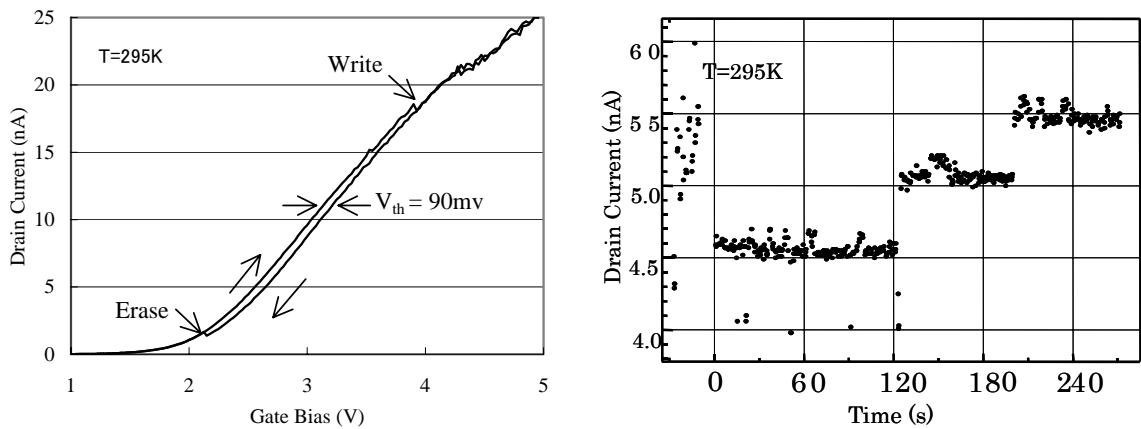


図 3.2.2.11 狹チャネルナノ結晶シリコン単電子メモリの室温における特性

3.2.2.4 縱型シリコンバリスティックトランジスタ

3.2.2.4-1 素子構造

前出の単一シリコン量子ドットの輸送特性評価に用いたものと同一の縦型電極構造を電子ビーム露光、プラズマエッチング、薄膜堆積技術を駆使して作製し、ナノ結晶シリコンを堆積せずにポリシリコンの堆積を行うと、そのポリシリコンの一部がチャネルになり、ラップゲートを有する、シリコン縦型トランジスタが作製される(図 3.2.2.12)。この構造においては、チャネル長はゲート電極のポリシリコン薄膜堆積膜厚(20 nm)で決まるので、リソグラフィ技術の制約は受けない。ラップゲートに加える電界が空乏層を形成して、シリコンチャネルを狭窄化できるので、ほぼ理想的な量子ポイントコンタクトが実現される。さらに、シリコンチャネルは2段階アニール法により形成した高品質ポリシリコン薄膜であり、チャネル内は無欠陥完全単結晶と考えられる。

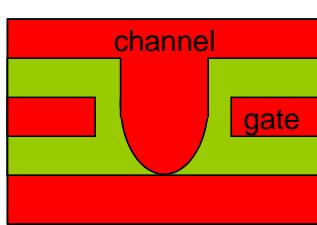


図 3.2.2.12 シリコン縦型トランジスタの模式図

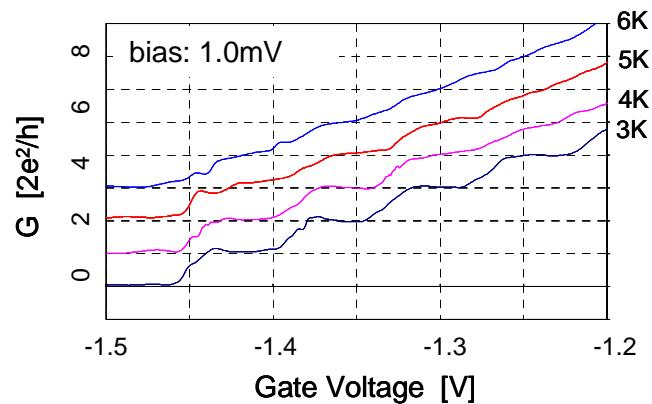


図 3.2.2.13 シリコン縦型トランジスタにおける量子化コンダクタンスの観測

3.2.2.4-2 電気特性評価

コンダクタンスの量子化に伴う階段状の I-V 特性を 3-5 K の温度範囲で観測することが出来た(図 3.2.2.13)。化合物半導体と較べて移動度の低いシリコンからの量子コンダクタンスは極低温における AC 測定を中心にいくつか報告されているが、DC 測定により明瞭な量子化コンダクタンスが観測されたのは例がない。今回作製した縦型トランジスタの CVD ポリシリコン膜の粒径が素子寸法より十分に大きいこと、ゲート電圧によりチャネル幅を 0 個、1 個と制御できること、チャネル長はポリシリコンゲート膜厚の 20 nm と短いことなどにより、シリコンでバリスティック伝導が実現できているものと思われる。

磁場を印加して測定したときの量子化コンダクタンスの振る舞いからは、スピントバレーの縮退が解けていることが分かる(図 3.2.2.14)。バイアス電圧を 100 mV と大きくなった測定では、バリスティック伝導の条件は満たさないので、コンダクタンスの値は低くなっている。コンダクタンスのプラトー値は、デバイスの形状によって異なっている。図 3.2.2.13 の測定に用いた素子はストレート形状のチャネルであるため、通常の 4 重に縮退したシリコンの特徴を反映しているが、図 3.2.2.14 の測定に用いた素子はテー

パ形状のチャネルを有するため、零磁場においても縮退が解けてい
ると考えられる。

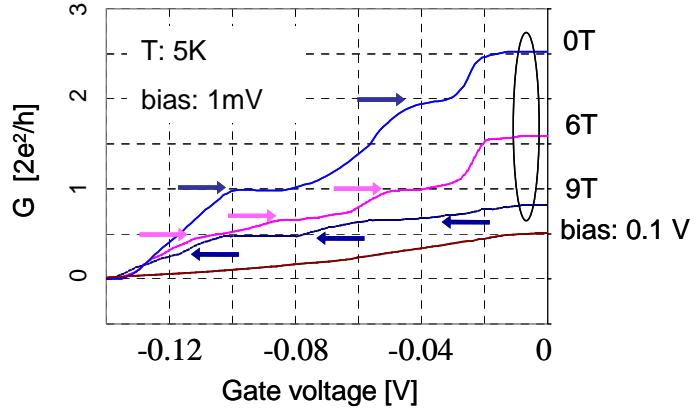


図 3.2.2.14 磁場印加時の量子化コンダクタ
ンス

3.2.2.5 得られた研究成果の評価および今後期待される効果

本研究は、現在盛んに行われているシリコンを用いた单電子デバイスの研究のひとつであり、单電子デバイスを特徴づける電荷溜めに、ボトムアップ技術により作製したナノ結晶シリコンを用いていることが大きな特徴である。プレーナ型单電子トランジスタ特性については、クーロンアイランドとして用いるナノ結晶シリコンの対称性を反映したきれいな振動特性が得られており、インパクトの大きい研究結果である。これにさらにドットの位置制御技術が加われば、特性のそろった单電子トランジスタの集積化につながるであろう。このナノ結晶シリコンの輸送特性を測定に用いた縦型電極は非常に巧妙であり、評価できる。また、2つのドットが含まれている場合には、2ドットの相互作用による2準位系の量子ビットの実現が期待できるため、更なる発展が可能である。单電子メモリの研究に関しては、メモリ素子というよりはむしろ、单電子メモリの要素としてのナノ結晶シリコンの特性に注目したもので、長い保持時間を確保するための指針を与えるものである。電子デバイス応用に対する新しい機能材料としてのナノ結晶シリコンの役割に焦点をあてて総合的に探った研究はこれまでなく、世界的にもユニークな視点であるといえる。

また、縦型トランジスタで観測されたバリスティック伝導に起因する量子化コンダクタンスは、シリコンでは世界で初めての観測であり、微細加工の工夫の賜物である。無散乱の伝導が生じるため、将来的には低電流動作が必要な素子への応用が期待される。さらには、量子化コンダクタンスに観測されるステップやプラトー構造を積極的に利用する素子の可能性も考えられる。

これらを実現するための解決すべき問題点は多い。特に、ボトムアップ技術で作製するので位置制御の観点からは精度が極めてよくない。より正確なデータを得るために、ナノ結晶シリコンの配列制御の研究も同時に進めていく必要がある。

3.2.3 ナノ結晶シリコン平面型電子放出素子

3.2.3.1 はじめに

近年、フラットパネルディスプレイにむけたさまざまなタイプの電子放出素子の開発が進んでいる。こういった電子放出素子には低駆動電圧、低消費電力、低コストなどの性能が要求されているが、その中でポーラスシリコンを用いた電子放出素子が上述の条件を満たすデバイスとして注目されている。特にこの素子においては、通常の散乱メカニズムでは説明できないような高エネルギーの電子放出が観測されており、この特異な電子放出のメカニズムについては明らかではないが、電子走行層に存在するナノ結晶シリコンが非常に重要な役割を果たしていることは、さまざまな実験により検証されつつある状況である。

我々は、VHF パルスプラズマプロセスにより気相中でナノ結晶シリコンを作製する技術を開発してきた。この技術は、1) ドライプロセスである、2) 任意の基板に堆積可能である、という点が、ポーラスシリコンと大きく異なる特徴である。

本研究では、ナノ結晶シリコンを用いた平面型電子放出素子を作製し、その電子放出性能の評価および特性向上に向けた作製プロセスの改善を行ったので、その成果について報告する(3.2.3.2節)。また、放出電子のエネルギー分布の測定を行い、ナノ結晶シリコン平面型電子放出素子においてもポーラスシリコン素子と類似の高エネルギー電子の放出が起こるということを明らかにしたので、それについても報告を行う(3.2.3.3節)。

3.2.3.2 ナノ結晶シリコン電子放出素子の作製と特性評価

3.2.3.2-1 作製プロセス

図 3.2.3.1 にこの素子の作製プロセスを示す。まず、抵抗率の低い($\rho \sim 10^{-2} \Omega \text{ cm}$)n型シリコン基板に VHF パルスプラズマプロセスにより、直径 6 nm から 10 nm で、よく粒径制御されたナノ結晶シリコンを堆積する。このときのナノ結晶シリコン層の膜厚は、0.1 – 1.5 μm 程度である。堆積後すぐに試料を電気炉に入れ、700 °C, 1 時間、続いて 1000 °C, 5 分のドライ酸化を行う。はじめの酸化はナノ結晶シリコンの周りにトンネル酸化膜を形成し、後の酸化でキャップ層を形成する。素子の断面 SEM 写真から、基板付近では球形のドットがはっきり観測され、ドット間の空隙も残存しているのに対し、上部電極に近いキャップ層は酸化が進み、ドットの判別ができにくくなっている様子がよくわかる(図 3.2.3.2)。

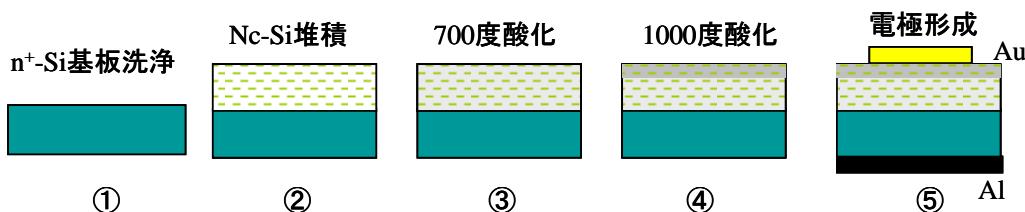


図 3.2.3.1 素子作製プロセス

均一な電子放出特性を実現するためには、素子内部の電界がなるべく均一になる必要があり、そのため、表面のラフネスを軽減する必要がある、いくつかの試料については、リフローアニールプロセスを行い、表面の平坦化を試みた。バルクの SiO_2 、及び Si の融点はそれぞれ約 1700 °C、1400 °C と高いが、このナノ結晶シリコンが SiO_2 で覆われている構造をもつ膜の場合、表面が非常に大きな割合を占めるため、融解やマイグレーションが起こりやすくなり、

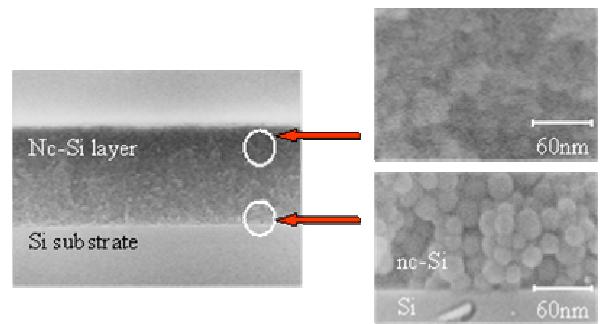


図 3.2.3.2 1000 °C酸化後の素子の断面SEM写真

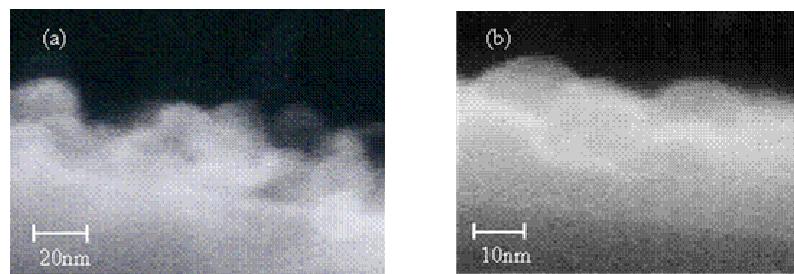


図 3.2.3.3 アニール前(a)とアニール後(b)の断面 SEM 写真

より低温でリフローによる平坦化が実現する。ナノ結晶シリコンを数層堆積した試料について、800 °Cで 5 分間酸化した後、1200 °Cで 4 時間アニールを行った。図 3.2.3.3 に示したアニール前後の試料の断面 SEM 像によると、アニール後にナノ結晶シリコンに特徴的な球状の凹凸形状が緩和されていることが分かる。

膜厚の厚い素子を形成する際には、上記の方法のみでは不十分であり、より平坦な表面の実現のために、酸化膜中にリンを拡散させて酸化膜の融点をさらに下げ、リフローアニールによって表面を平坦化するプロセスを行った。リンの拡散源は P_2O_5 を用い、窒素雰囲気中 1100°Cで 10 分間拡散する。このプロセス前後のナノ結晶シリコン層の断面の変化を図 3.2.3.4 に示した。アニール前にはナノ結晶シリコンの球状の形がはっきり分かる積層構造であったのに対し、アニール後はその輪郭はほとんど消えている。また、膜厚に関しても、最初のナノ結晶シリコンの堆積時には、層の膜厚が 150 nm であったのに対し、アニール後は 60 nm まで減少しており、これからも、平坦化が非常にうまくいっていることがわかる。この不純物拡散を用いる方法を用いたプロセスを考える場合、酸化膜やナノ結晶シリコンに拡散する不純物が、素子の特性にどのように影響を及ぼすかについても調べる必要がある。リン拡散を用いなくても、ナノ結晶シリコン

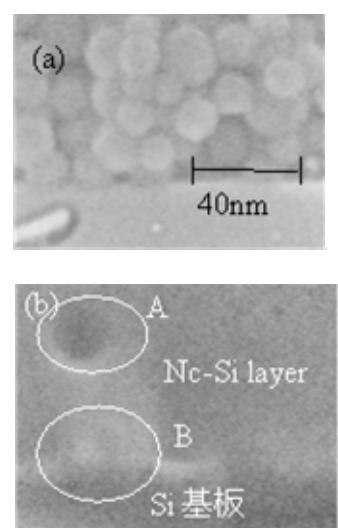


図 3.2.3.4 平坦化前(a)、後(b)の断面 SEM 写真

堆積後に酸化、アニールプロセスを数回繰り返すことにより、不純物拡散のないプロセスでトータルの膜厚が 60 nm 程度の平坦な素子を作製することができるため、この 2 つの異なる方法で作製した素子間での特性の比較を行った。電子走行層であるナノ結晶シリコン層の形成を行った後は、表面に膜厚 10 nm の金電極を電子ビーム蒸着により形成し、裏面には基板へのコンタクトを取るためのアルミニウム電極を形成する。

3.2.3.2-2 電子放出特性評価

図 3.2.3.5 は、電子放出素子の特性評価のための配線図である。測定は、 10^{-4} Pa 以下の真空チャンバー内でおこなう。素子の表面の金電極を接地し、裏面の Al 電極に負の電圧を印加する。裏面からナノ結晶シリコン層へ注入された電子は、大部分が金電極に流れ込み、ダイオード電流として観測されるが、走行層でエネルギーを得た一部の電子が金電極を通過して放出される。金電極の表面から約 5 mm 離れた位置にコレクタ電極を設け、100 V の電圧を印加しておき、放出された電子を捕集する。これが電子放出電流として観測される。電子放出素子の性能を表す指標として電子放出効率があり、これは放出電流の全電流に対する比として定義する。

平坦化を行う前のナノ結晶シリコン層の膜厚が 1 μm の試料の測定結果を図 3.2.3.6 に示す。横軸は裏面電極にかけたマイナス電圧の大きさを示す。電圧を上げるにしたがってダイオード電流が増加するが、ちょうど金の仕事関数の値 ($\sim 5 \text{ eV}$) を超えたあたりから放出電流が観測され始める。電圧 36 V で放出電流として約 $4 \text{ }\mu\text{A}/\text{cm}^2$ 、電子放出効率として 0.2 % が得られている。平坦化を行わない試料においても、表面のラフネスが小さい試料の方が高い電子放出効率を示す傾向にあり、この素子の特性に表面の凹凸の状態が重要であるということが示唆される。実際に、リン拡散を用いた平坦化プロセスを経た試料の電子放出特性を図 3.2.3.7 に示す。16 V においてエミッショントリニティ電流 $10 \text{ }\mu\text{A}/\text{cm}^2$ 、電子放出効率 4.5% が得られ

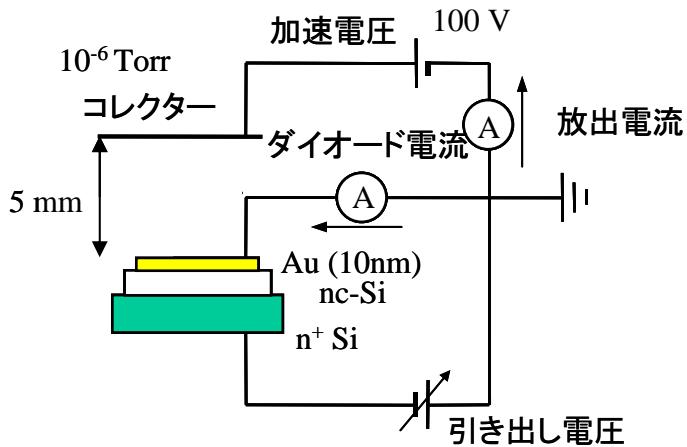


図 3.2.3.5 電子放出素子測定ダイアグラム

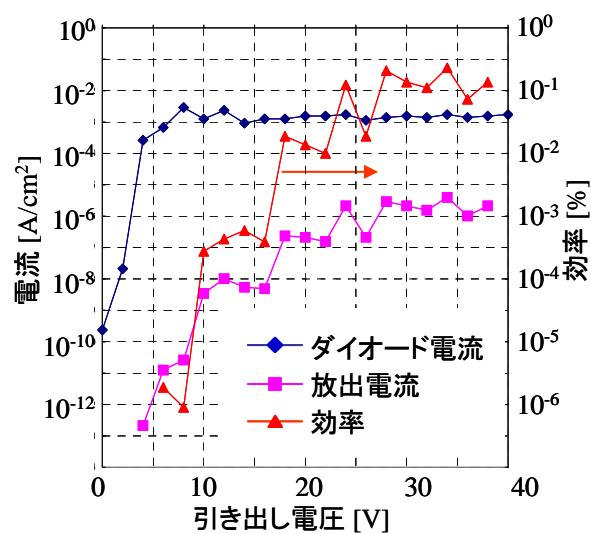


図 3.2.3.6 平坦化を行う前の試料での電子放出特性の測定結果

ており、平坦化により 1 枝以上の効率の改善が見られた。さらに、リン拡散前の酸化工程とリン拡散、アニールの工程を分離することにより、より高い効率の素子も得ることが可能である。これに対して、繰り返し酸化—アニール法により平坦化を行った素子の電子放出特性を図 3.2.3.8 に示す。トータルの酸化時間が異なる 2 つの試料の結果である。

酸化時間が長い試料の方が電流レベルは小さくなっているが、効率としては大きな値を示している。これは、酸化時間の長い試料では、電子走行層における酸化膜部分の増加により総電流量は減少するものの、電子走行層に含まれるナノ結晶シリコンの割合は小さくなるため、球形のナノ結晶シリコンに電界がかかるときに生じる電界の横成分の影響が少なくなり、電界の方向にまっすぐに走る電子の割合が相対的に多くなるからと解釈することができる。トータル 20 分酸化の試料において効率数%程度が得られており、この方法においても平坦化による素子特性の改善が明らかである。

3.2.3.2-3 放出電子エネルギー分布の評価

更なる高効率化を考えた場合、ナノ結晶シリコンで構成された電子走行層の輸送機構を明らかにすることは極めて重要である。そこで、ナノ結晶シリコン電子放出素子の放出電子のエネルギー分布を測定することにより、電子走行層における散乱機構に関する知見を得ることを試みた。測定は図 3.2.3.9 に示したような阻止電場型分析装置を用いて行った。真空中で電子放出素子を動作させ、阻止電圧と呼ばれる電圧のかかったメッシュ電極を通過してコレクタ電極に到達する阻止電圧以上のエネルギーを持つ電子による電流を、阻止電圧を変化させながら観測することでエネルギー分布を測定する。用いた試料は、リン拡散により表面平坦化を施した試料で、ナノ結晶シリコン堆積後、850°Cで 20 分酸化、1050°Cで 6 分のリン拡散の後、1100°Cで 10 分間、窒素アニール行

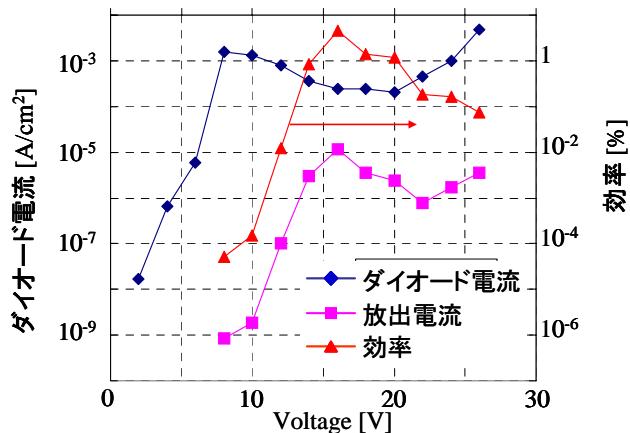


図 3.2.3.7 リン拡散による平坦化後の試料での電子放出特性の測定結果

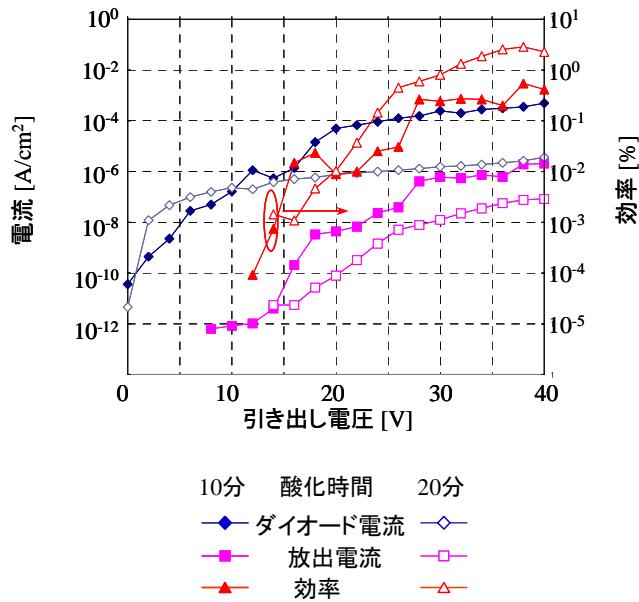


図 3.2.3.8 繰り返し酸化—アニールによる平坦化後の試料での電子放出特性の測定結果

ったものである。測定したエネルギー分布を図3.2.3.10に示す。このエネルギー分布はノイズまじりではあるが、このノイズの原因是放出電流値が時間的に安定せず、ある程度変動しているためにこの変動をロックインアンプが交流信号として拾

ってしまうことによるものと考えられる。最もこのノイズが大きくなる0V付近でもある程度小さな値に収まっていることからある程度正確なエネルギー分布を示しているといえると考えられる。

そしてエネルギー分布の様子であるが、印加したダイオード電圧の上昇に従ってエネルギー分布のピーク位置がシフトしているのがわかる。この振る舞いは、ポーラスシリコン電子放出素子で観測されている放出電子エネルギー分布と非常に良く似た振る舞いであり、明らかにMOS型の電子放出素子で報告されているようなマクスウェル分布とは異なっている。このことは、ナノ結晶シリコンを用いた電子放出素子においても電子走行層における散乱が抑制され、弾道的に伝導する電子が存在するということを示唆するものである。図3.2.3.11には100Kまで冷やして測定した結果および100Kと室温とのエネルギー分布を比較して示す。ピークが鋭くなるようが観測されており、これは低温化により電子の平均自由行程が伸びることにより散乱される電子が減少し弾道的に伝導する電子が増加したためであると考えられる。また、室温と低温での測定結果を比較した場合、低温化することにより低エネルギーの成分が抑えられてピークおよび平均エネルギーが上昇しており弾道伝導する電子が存在を示唆する。低温では、ダイオード電圧が大きくなつくるとピークが広い分布を持つようになっている様子が観測されており、これは発熱により低温化の影響が薄れたためである。

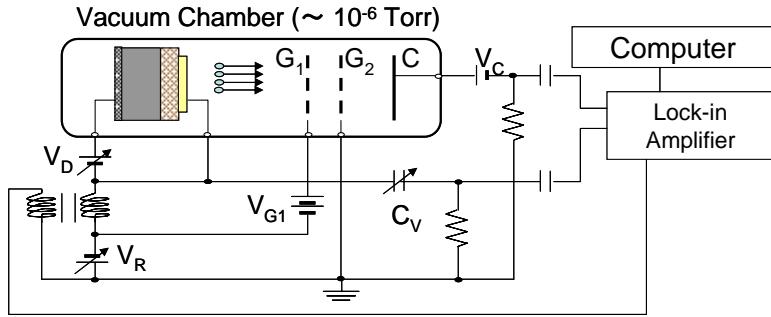


図3.2.3.9 阻止電場型エネルギー分析装置の模式図

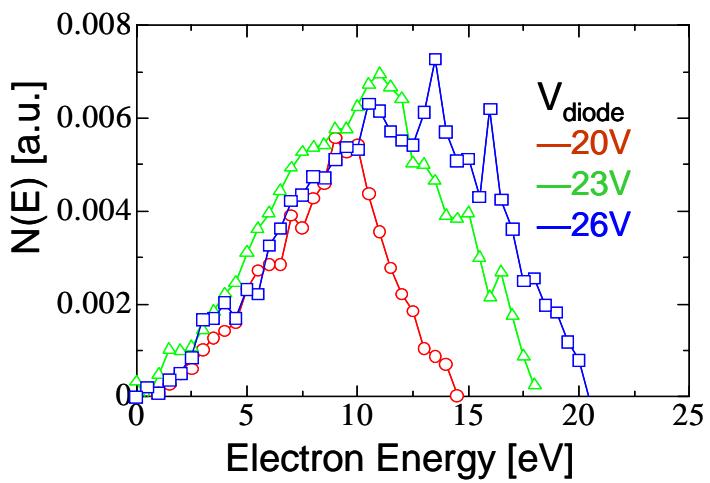


図3.2.3.10 室温での放出電子のエネルギー分布の測定結果

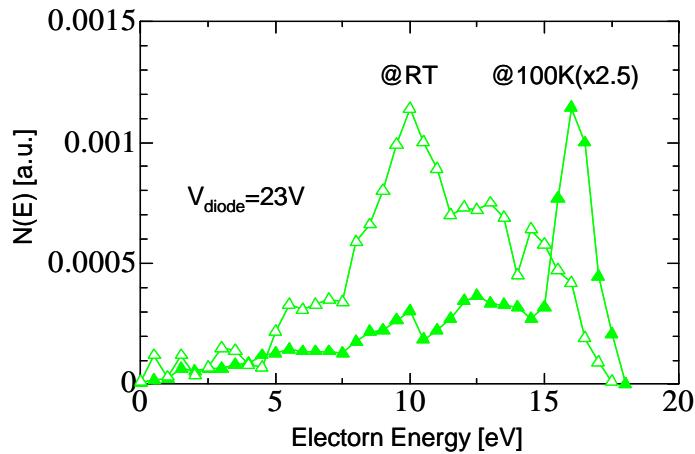


図 3.2.3.11 低温での放出電子のエネルギー分布の測定結果との比較

3.2.3.2-4 ナノ結晶シリコン層の電子輸送メカニズム

ポーラスシリコン電子放出素子とナノ結晶シリコン電子放出素子の共通点は、電子走行層にナノ結晶シリコンの鎖構造を内包しているということである。したがって、比較的高いエネルギーを持つ電子の放出とナノ結晶シリコンチェーンの存在は密接な関連があるということが示唆される。

最近宇野らはナノスケールのシリコンと SiO_2 の周期構造においてフォノンの振動モードと状態密度を理論的に計算した。それによれば、低エネルギーのフォノン振動モードにおいては、ひずみが相対的にやわらかい材料である SiO_2 部分に集中しており、その結果、ナノ結晶シリコン中に存在確率の高い電子との散乱は抑制される可能性があるということである。またフォノンの状態密度は、周期構造を作るだけでバルクのシリコンの場合と全く異なる分散関係になっており、低エネルギー領域にいくつもギャップが存在し、高エネルギー領域では完全に離散化していることがわかる。このようにフォノンの状態密度にギャップができるとそのギャップに対応する周波数に対応するフォノンは存在することができない。すなわち、電子の散乱メカニズムのひとつのフォノン散乱において、フォノンのとりうるエネルギーに制約ができるために、散乱が抑制される可能性があるということである。これらの理論と実験の対応を明らかにするためには更なる知見が必要であるが、ナノスケールであればこそ現れてくる新たな現象として非常に興味深い。

3.2.3.3 得られた研究成果の評価および今後期待される効果

本研究では、ナノ結晶シリコンの堆積とシリコンテクノロジの組み合わせにより平面型電子放出素子を作製し、電子放出を観測した。また、表面の平坦化が素子の特性向上に重要なことを明らかにし、平坦化によって最大数%の効率をもつ素子の作製に成功した。放出電子のエネルギー分布の測定により、この素子においてもポーラスシリコンで報告されているような弾道的な電子放出が起こっていることがわかった。これらのこととは、従来ポーラスシリコンで報告されていた高効率の平面型弾道電子放出素子を、

ドライプロセスによる堆積でも作製できるということを示したものである。これにより、任意の基板に作製したり、別のシリコンデバイスとの組み合わせを考えたりすることで、さらなる高機能素子への展開が期待される。また、物理的にも、なぜこのようなナノ結晶シリコンと酸化膜の周期的な構造を通過するときに散乱が抑制されているように見えるのかについては非常に興味深い問題である。ただ、素子の安定性に関してはポーラスシリコンに比べてまだ不十分であり、更なるプロセスの最適化が必要であると考えている。

3.2.4 NEMSメモリデバイス

3.2.4.1 はじめに

半導体微細加工技術の飛躍的な進展は、MOSFET の高速動作、高集積化、消費電力低減といった VLSI に課せられた厳しい要求をさらに上回る勢いで実現してきた。この加工技術の発展は、マイクロマシンという新たな分野を生み出すこととなり、センサやアクチュエータ等、既に多くの面で実用化がなされている。このマイクロマシンは、これまで MEMS (Micro Electro-Mechanical Systems) と呼ばれてきたが、近年ではさらに小さいナノスケール構造を持つ物、NEMS (Nano Electro-Mechanical Systems) の研究が盛んに行なわれている。NEMS の実現により、従来は遅いというイメージであった機械的動作が高速化する。実際に最近、シリコンカーバイドを用いて作製された、長さ $1.1 \mu\text{m}$ の微小両持ち梁構造で、共振周波数 1GHz を達成したという報告がなされた[1]。これは機械的な動作でも十分に小さいものならば非常に高速な動作ができるることを示したものであり、今後の微細化技術の進歩によって、更なる超高速動作が期待される。動作速度が GHz 程度まで高速化することで、新しい流れとして NEMS を電子デバイスに応用する可能性が現れてくる。本研究では、NEMS の高速性を活かした、新しいメモリデバイスの提案を行なう。本報告では、まず提案内容と素子の動作原理について述べ、動作速度の見積の結果を示す。つづいて、この素子の心臓部である可動フローティングゲート構造を紹介し、その後、素子作製プロセスについて述べる(3.2.4.2)。また、可動フローティングゲート構造の機械的特性について、理論、実験の両面から考察した結果についても報告する(3.2.4.3)。

3.2.4.2 NEMSメモリデバイスの提案

3.2.4.2-1 動作原理

図 3.2.4.1 に、提案する素子構造を示す。MOS トランジスタにおけるチャネルと、その直上のゲート電極間が空隙となっており、その間に可動フローティングゲートを配置した構造となる。このフローティングゲートとは、一般的にフラッシュメモリのそれとは機能的に異なる。フラッシュメモリの場合、電気的に浮いているという意味合いであるが、本素子においてこのフローティングゲートは、電気的にも、さらには構造的にも浮いた状態にある。本素子の動作においては、あらかじめこの可動フローティングゲート層に電荷が蓄積された状態にあることが必要である。この電荷に外部から電圧を加えることで、フローティングゲート層を機械的に変位させる。それにより、チャネル部の表面電位が変化し、閾値電圧がシフトする。この両持ち梁構造の可動

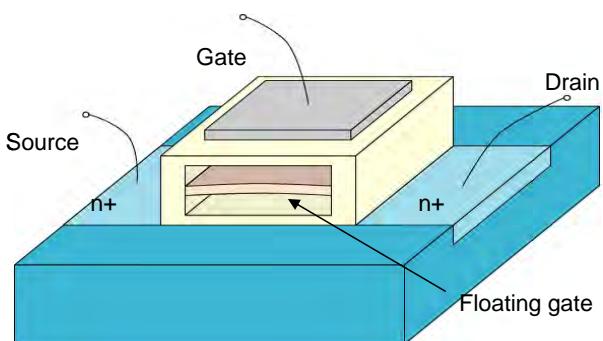


図 3.2.4.1 NEMS メモリ素子構造の模式図

フローティングゲートを、作製時にあえて湾曲させ、この梁が双安定性を持つことで、この素子は不揮発性メモリとして動作する。そしてこの安定点間の変位は、上部電極に電圧を印加する事で生じる電極とフローティングゲート間の静電気力によって行なう。例えばフローティングゲートが図 3.2.4.2(a)のような状態にあるとき、フローティングゲート内の電荷がチャネル部の表面電位に大きく影響を与えておらず、コンダクタンスの小さい“OFF 状態”である。ここで上部電極にフローティングゲート内の電荷と同極の電圧を印加する。この力によってフローティングゲートが下部に押し下げられ、図 3.2.4.2(b)の状態となる。この状態ではコンダクタンスの高い“ON 状態”となる。これらの事から、電気的に書き換え可能な不揮発性のメモリデバイスとして動作させる事が可能となる。

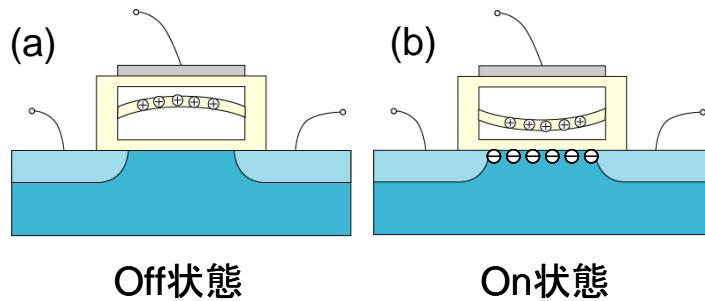


図 3.2.4.2 NEMS メモリ素子の ON と OFF

3.2.4.2-2 動作速度

次にこの NEMS メモリデバイスの動作速度について述べる。このデバイスでは ON/OFF の切り替えをフローティングゲートの変位で行なうので、ここでは上に凸となっているフローティングゲートが下に凸となるまでの時間を求める事になる。一次元モデルを考え、電界によって梁が加速される方向に働く力と、梁が圧縮される事によって働く弾性力を考慮した梁の運動方程式を解くことにより変位に要する時間を得る事ができる。この計算によれば、梁のサイズ $1 \times 1 \times 0.1 \mu\text{m}^3$ では周波数 1.7 GHz 、 $0.1 \times 0.1 \times 0.01 \mu\text{m}^3$ では 17 GHz いう値が見積もられた。また、有限要素法をもちいた梁構造の動作ミュレーションにおいても、長さ $1 \mu\text{m}$ の梁について、約 1 GHz 程度の振動数が予測されている（図 3.2.4.3）。現在一般的に使用されているフラッシュメモリの情報書き換え時間が数百ナノ秒であるから、この速度は不揮発性メモリとしては驚異的である。

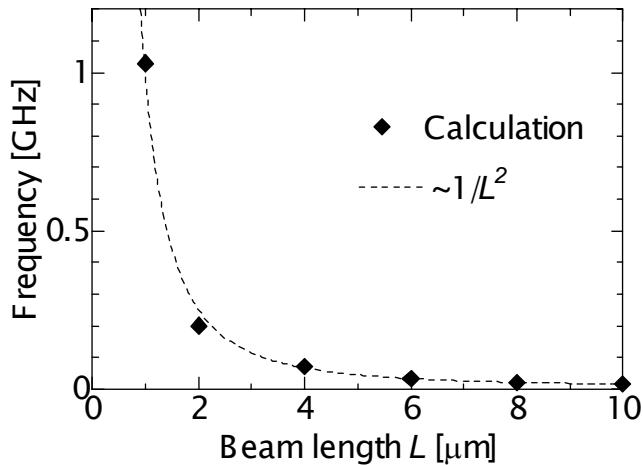


図 3.2.4.3 次元有限要素法を用いて計算した梁長さと振動数の関係

3.2.4.2-3 可動フローティングゲート

本素子の特徴である可動フローティングゲートには、素子動作のために、1) 電荷を保持できる機構である事、2) 保持する電荷量が制御可能である事、3) 変形しやすい材料である事、が要求される。この条件を全て満たす構造が、 SiO_2 薄膜中にナノ結晶シリコンを内包した構造である。このナノ結晶シリコンはシランガスをプラズマ分解して気相中で成長させる事により得られる、粒径 8 nm 程度で均一な球形の微小単結晶である。素子の一次元近似モデルを用いて考えると、保持電荷と Si 基板の表面電位の関係が導かれる。素子動作の条件として、ON 状態の時には Si 基板表面は強反転状態、OFF 状態の時には空乏又は蓄積状態である事が挙げられる。空洞の高さを 200 nm、フローティングゲート変位量を 50 nm とした場合の表面電位と電荷の関係を図に示す。条件を満たすのは図内の黄色で示された領域で、 $10^{-8} \text{ C cm}^{-3}$ のオーダーとなる。ナノ結晶シリコンは気相中で成長し、シャッターの開閉により 10^{-8} cm^{-3} オーダーで堆積量を制御可能なので、NEMS メモリデバイスに必要とされる電荷量を制御する事は十分可能であるといえる。

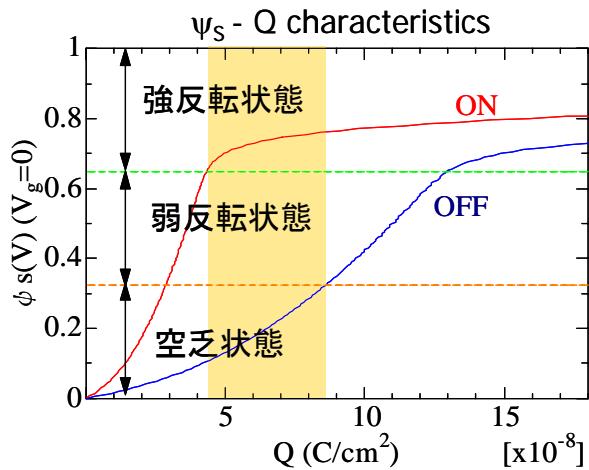


図 3.2.4.4 1 次元近似モデルで計算した保持電荷と表面電位の関係

3.2.4.2-4 素子作製プロセス

素子作製のプロセスを図 3.2.4.5 に示す。ここではまず 2 重空洞構造が作製可能かどうかの確認のための素子である。基板は SOI ウェハーを用いた。ここでは SOI 層を犠牲層 Si として用いる。基板酸化により SiO_2 層を形成し、その上にジシランを用いた熱 CVD 法によりアモルファスシリコンを堆積する。この SiO_2 層が最終的にフローティングゲートに、アモルファスシリコンが犠牲層となる。リソグラフィとしは、アモルファスシリコン層の上に、図のようなラインをパターニングし、パターンを基板に転写するために、異方性エッチングを行なう。エッチングは SOI 層が完全にエッチングされて、その下の酸化膜層を少しオーバーエッチするくらいが望ましい。レジスト剥離後、ドライ酸化により SiO_2 膜を形成する。これは最終的には両持ち梁構造の支柱部分にあたる。再度リソグラフィを行なう。ここでは 1 回目のラインと垂直に交差するようなラインをパターニングする。再び異方性エッチングを行なう。これによって一回目のパターンによって形成された部分の断面を露出させる。ここでも SOI 層が完全にエッチングされた状態にする事が理想だが、ここでは完全にエッチングしきらなくても構わない。最後に等方性エッチングを行なう。フローティングゲートや支柱部を残して、犠牲層 Si のみをエッチングする。先の異方性エッチングで残った SOI 層も、このプロセスにて完全に除去される。以上で構造の完成となる。以上のようなプロセスを行なった結果、図 3.2.4.6

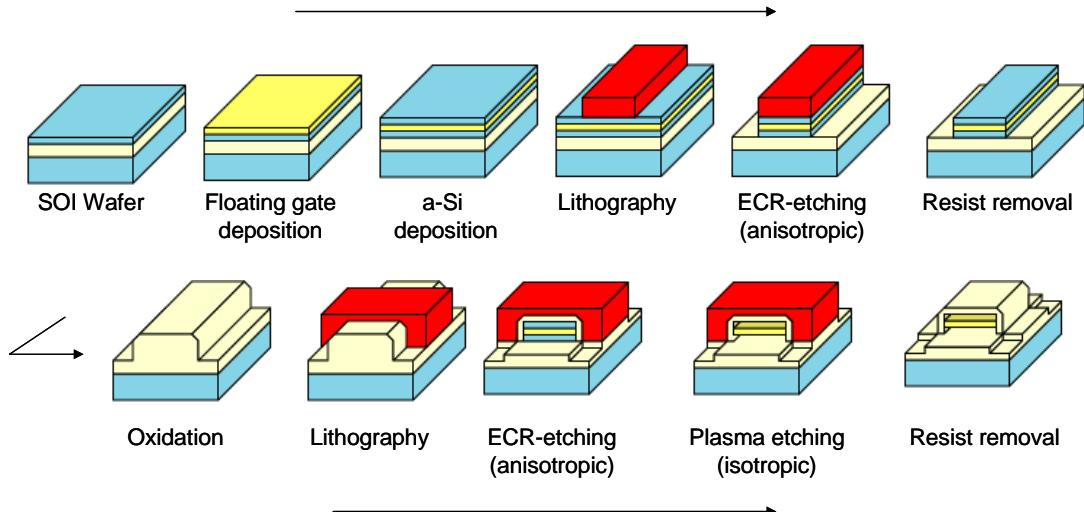


図 3.2.4.5 2重空洞構造作製プロセス

のような結果が得られた。リソグラフィによって決まる素子寸法は、横 $3\text{ }\mu\text{m}$ 、奥行き $3\text{ }\mu\text{m}$ である。フローティングゲート層及び上部酸化膜が倒壊することなく、目的とする構造が作製された事が確認された。

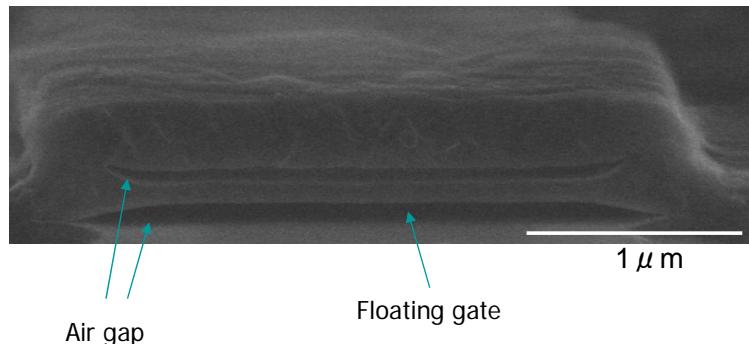


図 3.2.4.6 作製した2重空洞構造

3.2.4.3 可動フローティングゲート構造の機械的特性

3.2.4.3-1 機械的特性

この素子の動作解析を行う上で可動フローティングゲート構造の機械的特性を知ることは極めて重要である。ここで、機械的特性とは材料の変形しやすさ、やわらかさについてである。やわらかい梁を用いることは、低電圧動作に有利である。ここでは、三次元有限要素法解析により、図 3.2.4.7 のようなモデル(左：ポリシリコン、右：ナノ結晶シリコン)の機械的特性の違いを調べた。これらのモデルは全体の寸法は全く同じとし、同一の境界条件を与え、さらに電荷保持部となるポリシリコンとナノ結晶シリコンの体積を等しくした場合について、その変位量の比較を行う事で、変形しやすさの検討を行なった。その結果、右のナノ結晶シリコンモデルの方が中央の青色が濃く、より大きく変形している事が判る。これは Si_2 に対して硬いシリコンを内包させる場合、一

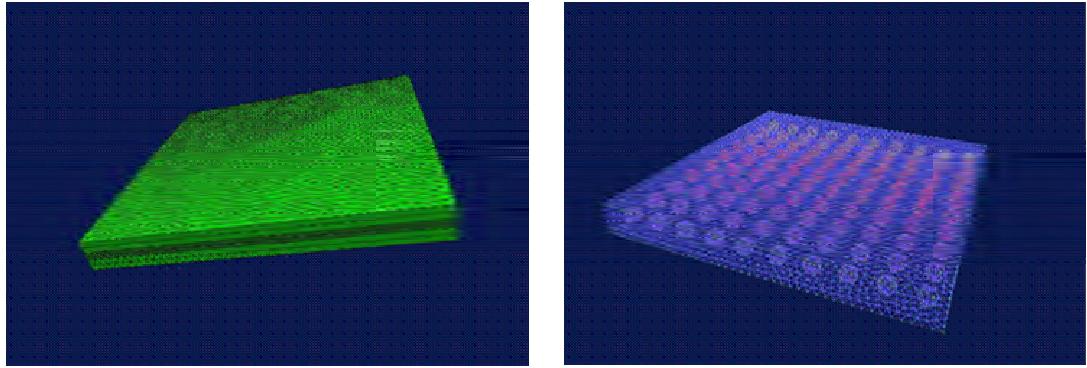


図 3.2.4.7 有限要素法による解析モデル(左：ポリシリコン、右：ナノ結晶シリコン)

様ではなくある程度局所的に配置する事でより変形しやすくする事が可能であり、機械的特性の観点からもナノ結晶シリコン内包梁構造はこの素子に対して有効であるということがわかった。

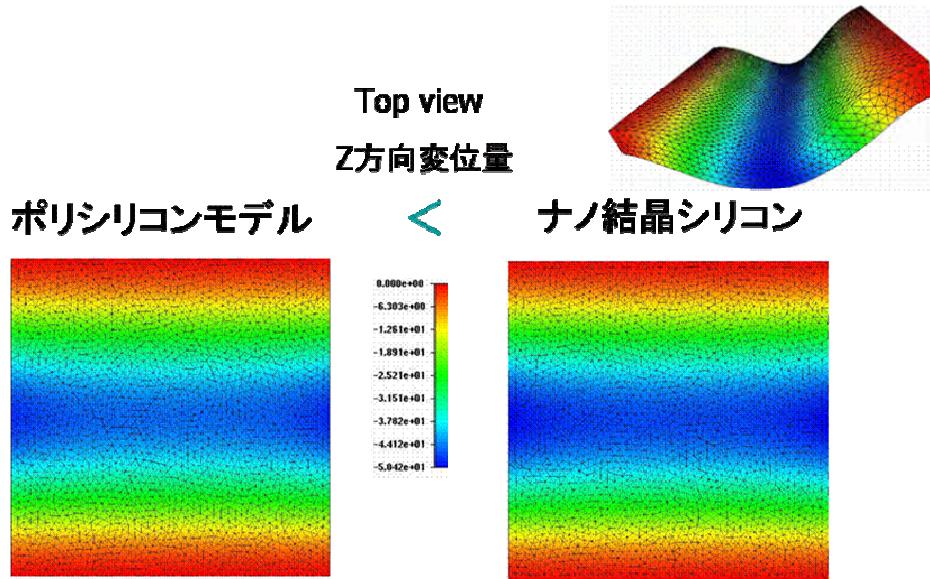


図 3.2.4.8 有限要素法による解析結果(左：ポリシリコン、右：ナノ結晶シリコン)

3.2.4.3-2 負荷試験

素子の試作段階において、図3.2.4.9(a)のようなプロセスで SiO_2 一層のみの構造を作製すると、図3.2.4.9(b)のように、上に凸となるように湾曲した構造が得られた。これは、熱酸化によってSiから SiO_2 に変化した際の体積膨張により、 SiO_2 薄膜に圧縮応力が働き、その後下地のSi部がエッチングされることで支持が無くなり、変形したものと考えられる。このような構造で実際に双安定性が得られるのかどうかを確認するために、作製した両持ち梁に試験針によって直接荷重をかける実験を行なった。図3.2.4.10に荷重前後の素子の電子顕微鏡写真を示す。試験前では上に凸であった両持ち梁が、試験後では下に凸となっていることが確認できる。両持ち梁の弾性ポテンシャルが機械的な双安定性を持っていることを直接観測することができた。

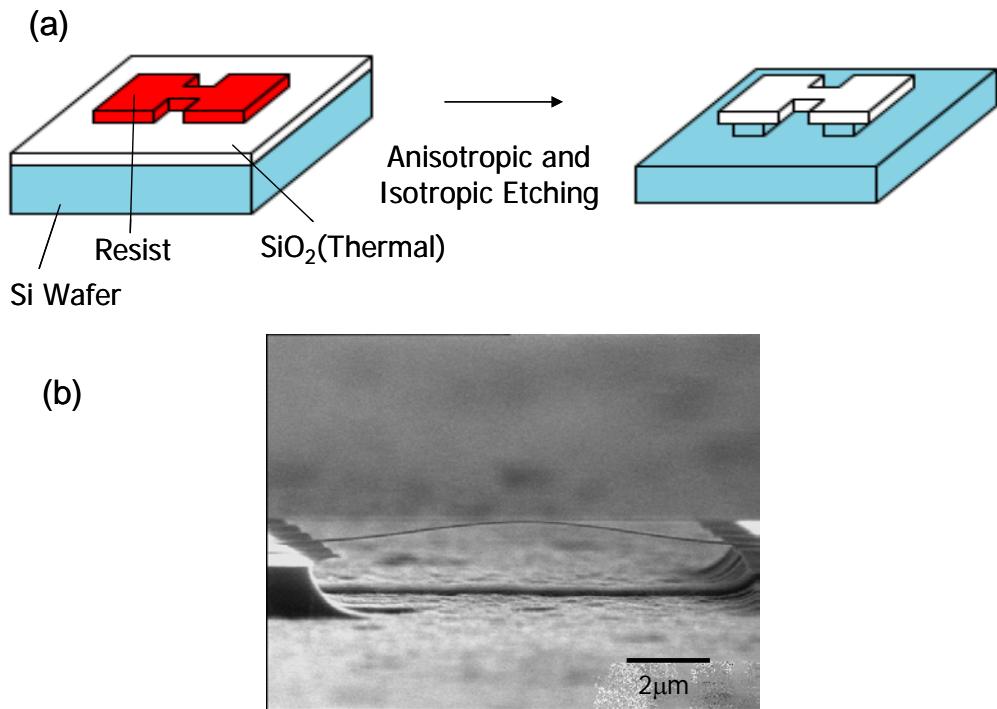


図 3.2.4.9 (a) SiO_2 層構造作成法 (b) 作製した SiO_2 ブリッジ構造

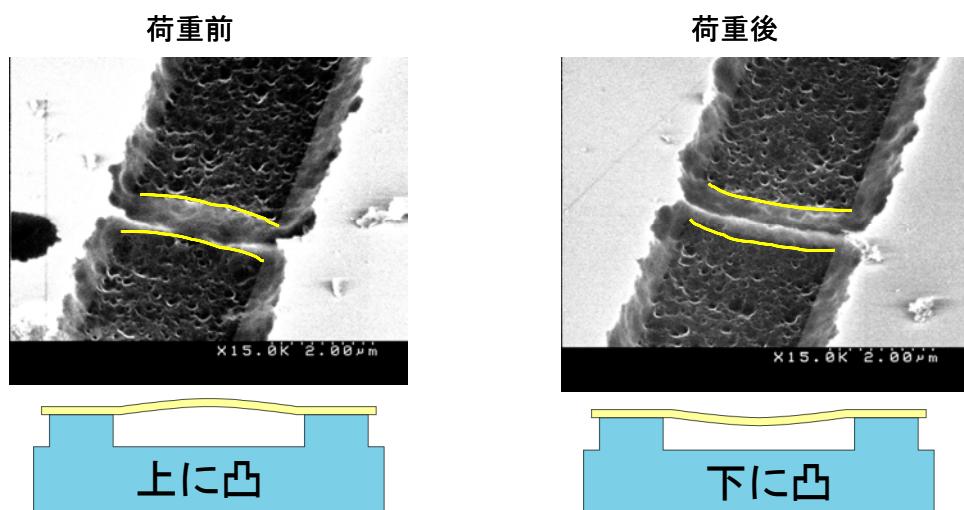


図 3.2.4.10 荷重試験前後での梁の形状の変化の観測

3.2.4.4 得られた研究成果の評価および今後期待される効果

本研究は微細化によって可動構造物が高速動作するようになるナノエレクトロメカニカルシステム(NEMS)を電子デバイスに応用するという、極めて独創的な試みであり、素子提案から作製プロセスまでの一貫した研究はこれまで世界的にも例をみない。動作速度の見積からは 1GHz 動作が可能であることが分かった。また、可動フローティングゲートにナノ結晶シリコンを埋め込み、電荷保持に用いるというアイデアは、フローティングゲート内の電荷制御という面と、機械的なやわらかさが必要という面の両面から優位であることが分かった。また、不揮発性メモリ動作の要である双安定性も確認された。これらの基礎的な評価の結果は、NEMS メモリの研究を提案のレベルからよりリアルな段階へステップアップさせといえる。

実現可能性があきらかになってきたところで今後の課題としては、まずは実際に電気的に動作する素子の作製である。また、この NEMS の電子デバイス応用ということについては、本研究で提案した高速不揮発性メモリのみならず、様々な素子に応用可能であると考えられ、本研究は必ずやその礎となるものであると信じている。

参考文献

- [1] X. M. H. Huang *et. Al.*, Nature 421, 496 (2003).

3. 3 微細構造電気特性評価グループ（ケンブリッジ大学）

Cavendish Laboratory, Microelectronics Research Centre,
M.A.H. Khaladalla, Y.T. Tan, T. Kamiya, Z.A.K. Durrani and H. Ahmed

3.3.1. Introduction:

The development of novel nanocrystalline silicon (nc-Si) materials [1, 2], consisting of crystalline silicon grains ~10 nm in size isolated by thin amorphous grain boundaries (GBs), has raised the possibility of a dramatic increase in the functionality of the silicon chip. The grains ‘naturally’ form silicon quantum dots, isolated by tunnel barriers at the GBs, over the entire area of a nc-Si thin film, leading to the observation of strong quantum confinement and single-electron charging effects [3] in the electronic transport across the film which complement the novel optical properties of nc-Si. Advanced quantum dot and single-electron transistors (SETs) can then be fabricated in the films, without the need for lithographic definition of the quantum dots. If the grains are ~10 nm or less in size, and the GB tunnel barriers are ~100 meV or higher, then the single-electron charging energy and tunnel resistances can be large enough for room temperature operation of the nc-Si QDs and SETs, opening a promising route for the development of room-temperature nano-electronics in large-scale integrated (LSI) systems.

One of the most promising devices for future nano-electronic LSI is the SET [4]. In this device, the single-electron charging effect is used to control precisely the charging of individual electrons on a conducting island. Electrons are transferred to the island from source and drain terminals by tunnelling across potential barriers. The charging of the island by single electrons can be controlled using a gate terminal. The SET has the advantages of very low power consumption, better immunity from statistical charge fluctuation and very high scalability compared to conventional complementary metal-oxide-semiconductor devices.

The practical application of SETs to LSI systems requires room temperature operation and silicon process compatibility. For room temperature operation, the single-electron charging energy of the island, $E_c = e^2/2C_\Sigma$ (C_Σ is the total island capacitance and ‘e’ is the elementary electronic charge) must be large compared to the thermal energy $\sim k_B T \approx 26$ meV (k_B is Boltzmann’s constant and temperature $T = 300$ K). Therefore, the value of the C_Σ must be ~ 1 aF or less and in practice this implies that the charging island must be < 10 nm in size. In addition, electrons must be localised on the island, which requires a large tunnel barrier resistance as compared to the quantum resistance $R_Q \sim 26$ k Ω at the operating temperature. In addition, for room temperature operation, the tunnel barrier height should be at least ~ 100 meV, i.e. high in comparison with $k_B T$ at room temperature. In addition to the work discussed in this report, there have been only a few demonstrations of silicon SETs operating at room temperature (e.g. see Refs. [5-8]). In these devices, the islands were formed by discontinuous ultra-thin polycrystalline silicon (poly-Si) layers, or were defined in crystalline silicon-on-insulator films using high-resolution lithography and controlled oxidation.

The GB tunnel barrier isolating the grains is of great importance, not only in determining the bulk resistivity of the nc-Si films, but also in determining the extent of the electrostatic and tunnel coupling between different grains, especially at low temperatures. These additional quantum effects can lead to the nc-Si thin film behaving as a system of coupled quantum dots [9-11]. In recent years, similar systems have become of great interest in the development of novel silicon-based quantum information processing devices in the solid state [12].

This report discusses research on electron transport in nc-Si devices at the Microelectronics Research Centre, University of Cambridge, during the CREST programme. The report is organised as follows. We begin by discussing the fabrication and characterisation of nanowire SETs in solid-phase crystallised polycrystalline silicon material [13], where the grains were up to 50 nm in size, and the devices operated up to 15 K (Sec. 2). We then consider our work to improve the operating temperature of the SETs by using nc-Si point contacts [14, 15] (Sec. 3.1), and the development of room temperature nc-Si point contact SETs [16-19] (Sec. 3.2). Engineering the GB structure and potential barrier is discussed in Sec. 3.3 [20-22]. We discuss inter-grain electron coupling effects in Sec. 4. These novel effects include electrostatic [9] (Sec. 4.1) and electron wavefunction (Sec. 4.2) coupling effects [10, 11], and the latter effect is observed for the first time in silicon. Finally, in Sec. 5 we conclude this report and assess the significance of our results.

3.3.2. SETs in polycrystalline silicon [13]:

The initial stages of the project concerned the fabrication and detailed characterisation of lateral, side-gated nanowire SETs in solid-phase crystallised (SPC) polycrystalline silicon films, deposited on SiO₂ layers grown on silicon substrates. A Coulomb staircase was observed at 4.2 K, and this was fully modulated by the side-gate voltage. Conductance oscillations with a sudden switch in period ('two-period' oscillations) were observed in nanowires fabricated on only 10-nm-thick buried oxide layers, while single-period oscillations are observed in nanowires fabricated on 40-nm-thick buried oxide layers. The two-period oscillations were attributed to the formation of a charge layer in the silicon substrate. The single-electron effects were studied in detail as a function of the nanowire dimensions, and annealing or oxidation treatments. The effects were then correlated to the structure of the polysilicon film, characterized using transmission electron microscopy (TEM), Raman spectroscopy, and electron spin resonance (ESR) analysis.

Our polycrystalline silicon material was prepared as follows: A 50 nm thick amorphous silicon film was deposited at 550°C by PECVD on a 10 nm thick gate quality silicon oxide layer grown on a crystalline silicon substrate (*p* doped, at $5 \times 10^{14} \text{ cm}^{-3}$). The amorphous silicon film was heavily doped to $5 \times 10^{19} \text{ cm}^{-3}$ using phosphorous ion-implantation and then crystallized into polycrystalline silicon using thermal annealing at 850°C for 30 minutes. TEM analysis indicated that the grains varied from ~5 nm – 50 nm in size, and the average grain size was ~20 nm. Lateral side-gated polysilicon nanowires of various geometry were defined in the film using electron-beam lithography on polymethyl methacrylate (PMMA) resist and reactive-ion-etching in a 1:1 plasma of SiCl₄ and CF₄. Figure 3.3.1 shows a SEM image of a device where the nanowire is 1 μm long and 40 nm wide. Nanowires of various dimensions (width: 40 nm–90 nm, length: 500 nm–1.5 μm) were fabricated. After the nanowires were defined, they were processed further using (1) thermal oxidation at 1000 °C for 15 minutes, (2) annealing in argon at 1000 °C for 15 minutes or (3) annealing followed by oxidation. The oxidation process reduced the cross-sectional area of the nanowire by ~ 10 nm and passivated the defect states. The annealing process modified the defect state density at the GBs, at the Si/SiO₂ interface and along the etched surfaces, and increased the grain size.

The drain-source I-V characteristics at 4.2 K, from an oxidized nanowire where the pre-oxidized width was 50 nm and length was 1.5 μm, are shown in Fig. 3.3.2. The characteristics show single electron charging effects which may be associated with the charging of the polycrystalline silicon grains along the nanowires, isolated by tunnel barriers at the GBs. A zero-current Coulomb gap region is observed which oscillates in

width with the gate bias, leading to trapezoidal charge stability regions at the origin in the V_{ds} - V_{gs} plane. The period of oscillation changes abruptly at ~ 0.5 V, and a larger period is observed for negative gate bias. This ‘two-period’ behaviour can be attributed to the formation of a charge layer in the silicon substrate, which changes the gate-island capacitance and does not occur in devices with thicker buried oxide layers. Current steps are also visible in the I_{ds} - V_{ds} plane, which may be attributed to a Coulomb staircase. Figure 3.3.3 shows the temperature dependence of the ‘two-period oscillations’ in the drain-source current as a function of gate voltage. We observe that the oscillations become weaker as the temperature increases and at a temperature of 15 K, the Coulomb blockade effect is overcome and the oscillations disappear completely.

The dependence of the device characteristics on nanowire dimensions was investigated in detail. The oscillation periods increased when the nanowire length was increased from 500 nm–1.5 μ m, and decreased when the nanowire width was increased from 50 nm to 60 nm. Wider wires showed only Ohmic conduction. We explained this behaviour by considering the effect of the nanowire dimensions on the grains within. The longer the nanowire, the higher was the probability of smaller grains existing along the nanowire, with smaller gate capacitances and larger observed oscillation periods. The decrease in the oscillation period with increasing width implied an increase in the lateral area of the charging island. Therefore, the electric field distribution between the side-gates and the charging island had to be considered in three dimensions, and the increase in area was associated with fringing fields below the plane of the side-gates and nanowire.

We also characterised the structure of our polycrystalline silicon films using TEM, Raman and ESR spectroscopy. The ESR spectra indicated that annealing prior to oxidation decreased the passivating effect of the oxidation process, due to segregation of dopants to the GBs and Si/SiO₂ interfaces. These effects caused an increase in the resistance of annealed nanowires. The single-electron oscillation periods in the corresponding devices were also smaller, associated with an increase in grain size. The Raman spectroscopy showed that the Raman peak in the as-deposited polycrystalline silicon film associated with the amorphous silicon component of the film disappeared after thermal treatment. In the case of argon annealing, the formation of crystalline silicon grains from the amorphous silicon reduced the intensity of this peak while oxidation caused the formation of SiO_x, which also reduced the intensity. As amorphous silicon (found in the GBs) oxidises more readily as compared to crystalline silicon, we expected the formation of SiO_x to encapsulate the crystalline silicon grains.

3.3.3. SETs in nanocrystalline silicon [14-22]:

In Sec. 2, we discussed the operation of side-gated nanowire SETs in SPC polycrystalline silicon material. These devices showed single-electron effects only up to ~ 15 K, due to the large grain size (up to ~ 50 nm) and the relatively long dimensions of the nanowire (500 nm minimum). It is possible to improve the SET operating temperature considerably by using nanocrystalline silicon (nc-Si) deposited by VHF PECVD, with small grains < 10 nm in size, in conjunction with reducing the nanowire length to ~ 50 nm or less to form a ‘point-contact’ SET. In this section, we discuss the fabrication and characterisation of point-contact SETs in as-deposited nc-Si (Sec. 3.1), and in nc-Si where a low-temperature oxidation and annealing process is used to selectively oxidise the GBs to raise the tunnel barrier height (Sec. 3.2). The later devices are capable of operating even at room temperature. We also discuss control of the inter-grain tunnel barrier by ‘GB engineering’ (Sec. 3.3).

3.3.3.1. Point-contact SETs in as-deposited nanocrystalline silicon [14-15]:

Point contact SETs fabricated in as-deposited nc-Si films showed single-electron effects up to 60 K. Our films were phosphorus-doped and deposited at 300°C by VHF PECVD. TEM and Raman spectroscopy was used to determine the grain size, crystalline volume fraction and GB thickness. The single-electron effects could be associated with islands formed by crystalline silicon grains only \sim 4 nm in size, isolated by amorphous silicon regions only \sim 1 nm in thickness. The structural characteristics of the nc-Si film could be correlated to the electrical behaviour. The electrical transport mechanism at high temperatures was attributed to percolation conduction across a distribution of tunnel barriers, with a maximum barrier height of \sim 40 meV.

Our nc-Si films were 30 nm thick, deposited using VHF PECVD from a SiF₄ : H₂ : SiH₄ gas mixture. The films were deposited on a 150 nm thick silicon oxide layer grown thermally on top of *n*-type crystalline silicon. The flow rates of the SiF₄, H₂ and SiH₄ were 30, 40 and 0.25 sccm. The films were doped *in situ* with PH₃ (1% diluted with H₂), where the concentration of PH₃ in SiH₄ was 2%. The VHF frequency was 100 MHz, the VHF power was 40 W and the reactor pressure was 200 mTorr. The carrier concentration and electron mobility, measured at room temperature by Hall measurements, were 3×10^{20} /cm³ and 1.8 cm²/Vs respectively. Figure 3.3.4 shows a TEM image of the nc-Si film, with uniformly distributed crystalline silicon grains embedded in an amorphous silicon matrix. The grain sizes range from \sim 4–8 nm. The diffraction rings shown in the inset imply that the film contains crystalline silicon and is not entirely amorphous. Additional high-resolution TEM analysis using Fresnel contrast indicated that the GBs were decorated with fine layers of amorphous silicon less than 1 nm thick. Raman spectroscopy was used to confirm the average grain size (\sim 4 nm) and determine that the crystalline volume fraction was 70%. Details of the growth, structure, and the bulk transport properties of these films can be found in our work in ref. [15].

The point contact SETs were defined using electron-beam lithography in polymethyl methacrylate resist, and reactive-ion-etching in a mixture of SiCl₄ and CF₄ gases (20 sccm each) at 13.56 MHz, 300 W and 20 mTorr. A typical point contact had a width of 20 nm. Ohmic contacts were formed to the structure using aluminium contact pads. Figure 3.3.5 shows a scanning electron micrograph of a SET.

The devices were characterised electrically from 4.2 K to 300 K. Figure 3.3.6(a) shows the drain-source (I_{ds}–V_{ds}) characteristics of the device at 8 K, as the gate voltage (V_{gs}) is varied from -2 V to 2 V in 50 mV steps. The Coulomb gap V_C, strongly modulated by V_{gs}, has a maximum width of \sim 40 mV. A non-linearity in the I_{ds}–V_{ds} characteristics corresponding to the Coulomb gap was observed up to a temperature of \sim 60 K.

Figure 3.3.6(b) shows the single-electron oscillations in I_{ds} as V_{gs} is swept from -1 V to 1 V and V_{ds} is varied from -44 mV to -4 mV, and from 4 mV to 44 mV in 4 mV steps. A dominant oscillation with a period of 500 mV, and smaller superimposed peaks with periods of 100 mV and 60 mV are seen in the characteristics. This behaviour can be attributed to single-electron conductance oscillations in a multiple tunnel junction (MTJ). We can estimate the minimum size of the charging islands from the oscillations periods and the temperature at which they disappear. The dominant oscillation of 500 mV can be associated with a \sim 4 nm island, which fits well with the grain size from TEM analysis. Similarly, we can obtain island sizes for the minor oscillations periods of \sim 6 nm and 12 nm respectively.

Figure 3.3.7 shows an Arrhenius plot of the conductance of the device as a function of inverse-temperature. The device conductivity σ is measured outside the Coulomb gap at a bias of $V_{ds} = 50$ mV (circles), and within the Coulomb gap at zero bias (triangles). From 6 K to a transition temperature $T_1 \sim 60$ K, $\log(\sigma)$ follows a T^{-1} dependence and above T_1 , $\log(\sigma)$ follows a $T^{-1/4}$ dependence. In the region of the $T^{-1/4}$ dependence, the conduction mechanism is likely to be dominated by percolation conduction through a distribution of potential barrier heights with various activation energies. The maximum gradient obtained from the region of $T^{-1/4}$ dependence corresponds to an activation energy $E_{A1} \sim 40$ meV, which can be associated with the maximum height of the amorphous silicon tunnel barriers in the nc-Si. For σ measured at zero V_{ds} , the device operates within the Coulomb gap. However, at temperatures above T_1 , the behaviour is similar to that measured at $V_{ds} = 50$ mV because the Coulomb gap in the device disappears at $\sim T_1$. The variation in the amorphous silicon tunnel barrier height can be attributed to fluctuations in the dopant and defect state distribution in the nc-Si film.

3.3.3.2. Point-contact SETs in nanocrystalline silicon operating at room temperature [16-19]:

The operating temperature of the point-contact SETs in VHF PECVD nc-Si could be raised to room temperature by selective oxidation of the amorphous silicon GBs into SiO_x . The VHF PECVD nc-Si film as deposited was 20-nm-thick, with crystalline silicon grains 4.8 nm in size, separated by amorphous silicon GBs (Sec. 3.1). Our room temperature SETs used a side-gated 20 nm \times 20 nm point-contact. By oxidising selectively the GB using a low-temperature oxidation and high-temperature argon annealing process, it was possible to engineer the GB tunnel barriers to increase the potential energy of these barriers. This formed a ‘natural’ system of tunnel barriers, consisting of SiO_x tissues that encapsulated sub-10 nm size grains, which were small enough to observe room-temperature single-electron charging effects.

The 20 nm-thick, *n*-type hydrogenated nc-Si film, was prepared by VHF PECVD from a $\text{SiF}_4 : \text{H}_2 : \text{SiH}_4$ gas mixture, as discussed in Sec. 3.1. The various material parameters of the film were also similar. The SETs were again defined in the as-deposited film using electron-beam lithography with polymethyl methacrylate resist and reactive-ion-etching in a mixture of SiCl_4 and CF_4 gases. The SETs used a 20 nm \times 20 nm point-contact defined between source and drain electrodes, with in-plane gate electrodes on either side. However, after defining the SET, a low-temperature oxidation and high-temperature annealing process was used to oxidise the GBs. This process was performed after defining the SETs, in order to simultaneously passivate the surface states in the device. We used a relatively low oxidation temperature of 750°C for 1 hour, in order to take advantage of the higher rate of diffusion of oxygen atoms at these temperatures into the GBs, in comparison with the crystalline silicon grains. The devices were then annealed at 1000°C for 15 minutes to improve the tunnel barrier height. Figure 3.3.8 shows a schematic and an SEM image of a device. Microscopy of the SET before and after the oxidation / annealing process did not show significant change in the grain shape and size due to encapsulation of the grains by SiO_x . The film was however reduced by approximately 5 nm in thickness due to the formation of a surface oxide.

We characterised electrically the oxidised and annealed nc-Si SETs from 23 K to 300 K. The source-drain current (I_{ds}) was measured with respect to the source-drain voltage (V_{ds}) and the gate voltage (V_{gs}), and single-electron effects were observed over the entire temperature range. The device characteristics were stable to repeated temperature cycling over a period of two weeks. Figure 3.3.9(a) shows single-electron

current oscillations in the I_{ds} - V_{gs} characteristics at 23 K. These characteristics are measured at various V_{ds} , increasing from -50 mV to 50 mV in 5 mV steps. There is a single oscillation period of 3 V, which may be associated with a single dominant charging island. Figure 3.3.9(b) shows the corresponding I_{ds} - V_{ds} characteristics of a device at 23 K. At $V_{gs} = 1$ V, a Coulomb gap of ~ 100 mV is observed, periodically modulated as V_{gs} increases. Figure 3.3.10 shows the temperature dependence of the current oscillations, which persist up to 300 K with an unchanged period. However, there is a fall in the peak-valley ratio as the temperature increases, due to a thermally activated increase in the tunnelling probability. We estimate that the charging island size is ~ 8 nm, in agreement with the grain size observed in the nc-Si film.

The room temperature operation of the oxidised and annealed nc-Si SET can be attributed to the formation of SiO_x at the GBs, which leads to an increase in the tunnel barrier height and better confinement of electrons on the grains even at room temperature. The tunnel barrier heights were investigated using Arrhenius plots of the device conductivity as a function of the inverse temperature. Figure 3.3.11(a) shows the conductivity of a 40 nm-wide point-contact, at a bias voltage 'V' both within and outside the Coulomb gap V_{cg} . Below 100 K, the plots are almost independent of inverse temperature, and this behaviour can be associated with electron tunnelling through GB potential barriers. Above 100 K, the conductivity of the device increases logarithmically with inverse temperature due to thermally activated carrier transport over the potential barriers. Here, the gradient of the plot would correspond to the highest potential barrier along the carrier transport path. A potential barrier height of 173 meV can be extracted from this gradient. We may compare this value to the point contact SETs in as-deposited nc-Si films (Sec. 3.1), where we observed a maximum barrier height of 40 meV. The increase in the barrier height in oxidised and annealed SETs may be associated with the formation of oxide layers at the GBs.

The oxygen incorporation in the oxidised and annealed nc-Si film was investigated further using secondary-ion mass spectroscopy (SIMS) to measure the oxygen depth profile. Here, the oxygen concentration profile showed a gradient change at a depth of ~ 10 nm, and the profile could not be fitted with a single complementary error function or Gaussian function as expected from simple oxygen diffusion. This suggested more than one oxygen diffusion path. Since the amorphous silicon GBs were less dense compared to the crystalline silicon grains, oxygen atoms could diffuse faster in the GBs and the oxygen profile in the deep region could be associated with GB diffusion. Assuming a point-contact 30 nm wide, we could estimate that SiO_x with $x=0.67$ existed in the GBs at the point contact centre. The process is shown schematically in Fig. 3.3.11(b).

3.3.3.3. Investigation of grain-boundary engineering [20-22]:

Sec. 3.1 and 3.2 have discussed the significance of the GB potential barrier in electronic conduction across a nc-Si film. Control of the height of this barrier is critical to the confinement of electrons on the grains at higher temperatures, and the operation of room temperature SETs. By contrast, the reduction of the GB potential barrier is of significance in reducing the film resistivity and improving the effective carrier mobility in the nc-Si. We have developed different 'GB engineering' processes to investigate both these possibilities.

The effect of oxidation and annealing on the electrical properties, and the structure of the GBs in heavily doped SPC polycrystalline silicon, was characterised in detail using bulk films, and using 30-nm-wide nanowires. Similar processes were used in the fabrication of our room temperature SETs (Sec. 3.2). Oxidation at 650–750°C was seen

to selectively oxidise the GBs and subsequent annealing at 1000°C was seen to increase the associated potential barrier height and resistance. These observations were explained by structural changes in the Si–O network at the GBs, and the competition between surface oxygen diffusion and oxidation from the GBs in the crystalline grains. This work suggested that a combination of oxidation and annealing provided a method for better control of the GB potential barrier height and width in the polycrystalline silicon and nc-Si thin films.

The effects of hot H₂O-vapor annealing on the GBs in low-pressure chemical vapour deposited (LPCVD) polycrystalline silicon thin films were investigated by characterising the local carrier transport properties over a few GBs in the film, using point contact devices. This work showed that hot H₂O-vapor annealing effectively reduced the GB dangling bonds and the corresponding potential barrier height. In addition, it narrowed the distribution of the barrier height value across different devices significantly. These effects could be attributed to oxidation in the vicinity of the film surface, and hydrogenation in the deeper regions of the film. These results suggested that H₂O annealing could improve the carrier transport properties by opening up shorter percolation paths, and by increasing the effective carrier mobility and density.

3.3.4. Electron coupling effects in nanocrystalline silicon SETs [9-11]:

The basic nc-Si point contact SET device can be used to investigate inter-grain electron-coupling effects in ns-Si. By varying the dimensions of the point contact, the number of grains taking part in single-electron transport can be varied, and by tailoring the GB selective oxidation process (Sec. 3.2), the inter-grain electron coupling can be controlled. It is then possible to operate the device at low temperature as a double- or multiple-quantum dot transistor, with strong electron interactions between the quantum dots formed by the grains. For these devices, we used a low-pressure chemical vapour deposited (LPCVD) nc-Si film, ~40 nm-thick and with grains ~10 – 30 nm in size. The point-contact size was ~30 nm × 30 nm × 40 nm, with two side-gates. Only a few grains existed within the channel at most, and different grains could contribute in varying degrees to the device conduction. By modifying the inter-grain coupling using selective oxidation of the GBs, we observed only electrostatic, or combined electrostatic and electron wavefunction coupling effects associated with double quantum dots, in the Coulomb oscillation pattern at 4.2 K formed as a function of the two gate voltages. Different grains influenced the Coulomb oscillations in different ways, e.g. a single or two grains could dominate the Coulomb oscillations, or nearby grains could charge-up and switch the oscillations without taking part directly in conduction across the device. Additional grains of different sizes added to the complexity of the Coulomb oscillation pattern.

We note that electrostatic coupling effects have been investigated in great detail at milli-Kelvin temperatures in double quantum dots formed in GaAs/AlGaAs two-dimensional electron gas (2-DEG) materials [23]. However, other than the work discussed in this report, there are only a few investigations of these effects in silicon [24]. In these various experiments, two gates are used to change the potentials of two quantum dots quasi-independently, and a plot of the Coulomb oscillations v.s. two gate voltages forms hexagonal regions of constant electron number on the quantum dots, associated with single-electron interactions between the dots. This creates a ‘charge stability’ diagram where the total electron number changes by one between neighbouring hexagons. If the quantum dots are strongly tunnel-coupled, then the electron wavefunctions on the two dots can also interact with each other, forming

‘quasi-molecular’ states. Resonant tunnelling through these states leads to additional peaks in the device conductance. These states have been observed only below 50 mK temperature in measurements on GaAs/AlGaAs double quantum dots [25]. In the following, we discuss the observation of these effects at 4.2 K in our nc-Si devices. We note that the formation of quasi-molecular states is a signature of coherent electron interactions in the nc-Si, which are of significance for the development of quantum computation devices in silicon.

The nc-Si point contact SETs were fabricated in a ~40 nm thick, heavily doped (*n*-type, phosphorous, doping concentration $\sim 1 \times 10^{19} \text{ cm}^{-3}$) nc-Si film, deposited by LPCVD on a 100 nm-thick SiO₂ layer grown thermally on a silicon substrate. The room temperature resistivity of the film was 0.1 Ω·cm. The nc-Si grains were ~10 nm–30 nm in size, separated by ~1 nm-thick amorphous Si GBs.

The point contact SETs were formed using channels ~30 nm × 30 nm × 40 nm in size (Fig. 3.3.12). Each transistor used two in-plane gates, defined 200 nm away on either side. The nanometre-scale of the point contact channel implied that there were only a few grains within it (high-resolution SEM image, inset to Fig. 3.3.12). The transistors were fabricated using high-resolution electron-beam lithography, followed by reactive-ion etching of the nc-Si film in 1:1 SiCl₄/CF₄ plasma. The device was then oxidised in dry O₂ at a comparatively low temperature of 750°C to oxidise selectively the GBs into SiO_x (Sec. 3.2 and Sec. 3.3). The tunnel coupling between the grains could be controlled by the oxidation temperature and duration, and by a subsequent argon anneal. In devices (Type ‘A’) oxidised in dry O₂ at 750°C for 60 minutes, followed by annealing in argon at 1000°C for 5 minutes, there was a high and wide tunnel barrier at the GBs (>100 meV) and electrostatic coupling effects dominated. In devices (Type ‘B’) oxidised in dry O₂ at 750°C for 30 minutes only and not annealed, the GB tunnel barriers remained low (~40 meV) and narrow, and the grains were more strongly coupled than those in type ‘A’ devices. These devices showed both electrostatic and electron wavefunction coupling effects.

3.3.4.1. Electrostatic coupling effects [9]:

Figure 3.3.13 shows a three-dimensional grey-scale plot of the drain–source current (I_{ds}) in a point-contact transistor (Type ‘A’ device) at 4.2 K, as a function of the voltages on gate 1 and gate 2 (V_{g1} and V_{g2} respectively). The drain–source voltage, $V_{ds} = 5 \text{ mV}$. The maximum value of the current (white regions in the plot) is relatively low ($I_{ds} = 1.2 \text{ pA}$). The plot shows a series of lines (marked using white dotted lines), created by shifts in the position of the Coulomb oscillations in I_{ds} as a function of both V_{g1} and V_{g2} . These oscillation lines occur when the single-electron energy levels in a dominant grain in the point-contact align with the Fermi energy in the source. As both the gates couple capacitively to the grain, the energy of a single-electron level relative to the source Fermi energy depends on a linear combination of the two gate voltages. At a current peak, a change in one of the gate voltages would misalign the energy level with the Fermi energy. However, the energy level can be realigned by using the other gate, e.g. a reduction in V_{g1} can be compensated by an increase in V_{g2} to keep the energy level aligned with the Fermi energy. This leads to the oscillation peaks and valleys tracing diagonal lines across the plot (white dotted lines). We also observe switching (e.g. within the dotted circle) of the position of the oscillation lines, which implies an abrupt change in the energy of the corresponding single-electron level. Additional, finer lines with a smaller separation in V_{g1} and a different slope to the major diagonal lines can also be seen.

In Fig. 3.3.13, the main Coulomb oscillations (white dashed lines) can be associated

with a dominant grain in the point-contact, and the switching behaviour can be attributed to single-electron charging of a nearby grain, coupled electrostatically to the dominant grain. The main oscillation lines are separated in V_{g1} by $\Delta V_{g1} \approx 0.3$ V. The additional, finer oscillation lines are separated in V_{g1} by only $\Delta V_{g12} \approx 0.05$ V, and have a different slope compared to the major oscillation lines. The different slope and separation implies a different grain, with a different single-electron charging energy and gate capacitance. We note that we have also fabricated nc-Si ‘cross’ transistors, where four contacts meet at a central region with ~ 10 grains. Transport through the device can be gated using four different gates. It is possible to identify multiple current percolation paths and charging grains in this device.

It is possible to qualitatively investigate the characteristics of Fig. 3.3.13 using single-electron Monte Carlo simulation of the circuit of Fig. 3.3.14(a). The circuit consists of a grain (grain ‘1’), connected to the source and drain by tunnel junctions T_1 and T_2 and coupled capacitively to the two gates by the capacitors C_{g1} and C_{g4} . A nearby grain (grain ‘2’), coupled to grain ‘1’ by the tunnel junction T_f , can be charged with electrons from the source via tunnel junction T_3 . Grain ‘2’ is also coupled capacitively to the gates by the capacitors C_{g2} and C_{g3} . The results of the Monte Carlo simulations are shown in Fig. 3.3.14(b), where the various capacitances were adjusted such that the simulation characteristics were approximately similar to the experimental results of Fig. 3.3.13. The Coulomb oscillation peaks (maximum current: 0.5 nA, black regions) associated with single-electron transport through grain ‘1’ form a series of lines as a function of the two gate voltages, and along each of lines, electron transport occurs via tunnelling through a single-electron energy level aligned with the source Fermi energy. The electron number on grain ‘1’ differs by one between regions on either side of a line and this number increases as the gate voltages become more positive. The lines switch in position when the Coulomb blockade of grain ‘2’ is overcome by the gate voltages and an electron transfers from the source onto grain ‘2’. The overlap between the single-electron oscillation lines in the experimental characteristics of Fig. 3.3.13 is also reproduced in the simulation results, and is a function of the cross capacitances C_{g3} and C_{g4} between the grains and the gates.

3.3.4.2. Electron wavefunction coupling effects [10-11]:

Figure 3.3.15(a) shows a three-dimensional plot of the drain-source conductance ($g_{ds} = dI_{ds}/dV_{ds}$) of a second point-contact transistor (Type ‘B’ device) at 4.2 K, as a function of the voltages on gate 1 and gate 2 (V_{g1} and V_{g2} respectively), measured using a lock-in amplifier. The source–drain voltage, $V_{ds} = 2$ mV. The maximum conductance is ~ 0.3 nS, and the applied bias, $V_{ds} = 2$ mV, is within the range of the Coulomb gap $V_{gap} \approx 7.5$ mV measured from the source–drain I_{ds} - V_{ds} characteristics (not shown here). In the region within the dashed circle, two oscillation lines with two different slopes are seen to intersect and split. Similar behaviour is again observed near $V_{g1} = -2.5$ V and $V_{g2} = 1.5$ V. The lines can be associated with transport through two dominant nc-Si grains with different capacitive coupling to the gates. The lines partially trace-out the hexagonal regions of charge stability observed in double coupled quantum-dot systems. There are also additional peaks within the encircled region (shown in more detail in Figure 3.3.15(b)). These peaks may be associated with electron tunnelling through additional energy levels, besides the single-electron energy levels forming the oscillation lines.

In contrast to the device characteristics discussed in Fig. 3.3.13, which show only electrostatic coupling effects between grains, in this device additional energy levels are observed within the dashed circle (Fig. 3.3.15 (a)). At each of these points, two energy levels associated with two adjacent electrostatically coupled grains are resonant with each other and with the source Fermi level. If the grains are strongly coupled across

the GB tunnel barriers then additional wavefunction coupling effects can occur. The behaviour of the device conductance g_{ds} v.s. V_{g1} is investigated further in Fig. 3.3.15(b), where V_{g1} is swept along the dashed circled region at a fixed value of $V_{g2} = -0.55$ V. The experimental data (circles, 300 points) can be fitted (solid line) using the sum of four Lorentzian peaks, a_1 , a_2 , b_1 , and b_2 , implying that the peaks can be attributed to resonant tunnelling through strongly coupled electron levels. The position of these levels, i.e. near the points ‘1’ and ‘2’, where two energy levels in adjacent grains are resonant, and the strongly-coupled nature of these levels, suggests that they may be associated with quasi-molecular ‘bonding’ (b_1 , and b_2) and ‘anti-bonding’ (a_1 , and a_2) states. These states can result from the delocalisation of the electron wavefunctions over adjacent tunnel coupled grains. By comparison, in the type ‘A’ device (Sec. 4.1), electron wavefunction delocalisation may be inhibited because of higher, wider and less transmissive GB tunnel barriers, due to the longer oxidation time, and the high temperature annealing, of the device.

3.3.5. Conclusion and assessment of results:

The Microelectronics Research Centre, Cambridge University has investigated electron transport in nc-Si devices during the CREST project. These devices consist mainly of single-electron transistors (SETs) and quantum dot (QD) transistors. Various designs of SETs have been fabricated in various polycrystalline silicon and nc-Si. The SETs consist of both nanowire and point contact designs of various dimensions (width: 20 nm-100 nm, length: 20nm-1.5 μ m), gated mainly using side gates, although gating via the substrate across a thin buried oxide layer is possible. The SETs have been fabricated in SPC polycrystalline silicon (grain size: ~5-50 nm), VHF PECVD nc-Si, (grain size: ~4-8 nm) and LPCVD nc-Si (grain size: ~10-30 nm) thin film materials. During the course of the project, the SET maximum operating temperature was raised from ~15 K for the SPC nanowire SETs, to ~60 K for the point contact SETs in as-deposited nc-Si material, to room temperature for nc-Si point contact SETs treated using a novel low-temperature oxidation and high-temperature annealing process. The importance of the GBs in the electron transport through nc-Si led to the development of ‘GB engineering’ processes, where thermal processing was used to raise or lower the potential barriers at the GBs. Finally, the behaviour of nc-Si at low temperature as a multiple coupled-quantum dot system was identified for the first time. These inter-grain electron coupling effects include electrostatic and electron wavefunction interactions, and the later effect was observed for the first time in silicon.

This research work has been published in references [9,10, 11, 13 - 22].

This project has led to the first detailed investigation of SETs in various types of nc-Si materials, and the methodology necessary to increase the operating temperature to room temperature. We note that while room temperature SETs have been demonstrated previously in thin *discontinuous* nc-Si layers [5], this project has led to the development of nc-Si room temperature SETs in continuous, doped, nc-Si layers, which operate at far lower voltages and with higher currents, raising the possibility of faster device operation. The device performance is similar to room temperature SETs in crystalline SOI material, fabricated using high resolution lithography and controlled oxidation to define the charging islands [6]. However, our nc-Si SETs have ‘naturally’ formed islands, where the dimensions can be controlled using material deposition or thermal processing techniques, and offer greater flexibility of fabrication.

This work has also led to the investigation of thermal processes to control the GB structure and potential barrier in nc-Si thin films, and the development of novel

processes to raise or lower the GB barriers.

This work has also led to the first observation of coupled quantum dots formed by the nanoscale silicon grains, and the observation of electrostatic and electron wavefunction coupling between the quantum dots. The later effect has been observed for the first time in *any* silicon based material, and the temperature of observation has been increased from milli-Kelvin to 4.2 K. These effects are of significance for the development of silicon based quantum computation systems.

Finally, this work contributes to the development of future room-temperature nano-electronics in large-scale integrated (LSI) systems, and identifies the potential for nc-Si materials and nano-scale devices to form the basis of future logic, memory and quantum computational devices.

3.3.6. References:

- [1] G.F. Grom, D.J. Lockwood, J.P. McCaffrey, H.J. Labb  , P.M. Fauchet, B. White, J. Diener, D. Kovalev, F. Koch, L. Tsybeskov, *Nature* **407**, 358 (2000).
- [2] S. Oda and K. Nishiguchi, *J. Phys. IV* **11**, 1065 (2001).
- [3] H. Grabert, and M.H. Devoret, *Single charge tunneling, Coulomb blockade phenomena in nanostructures*, (NATO ASI series B, vol. 294, Plenum Press, New York, 1992).
- [4] Marc Kastner, *Nature* **389**, 667 (1997).
- [5] K. Yano, T. Ishii, T. Hashimoto, T. Kobayashi, F. Murai, K. Seki, *IEEE Trans. Electr. Dev.* **41**, 1628 (1994).
- [6] H. Ishikuro and T. Hiramoto, *Appl. Phys. Lett.* **71**, 3691 (1997)
- [7] A. Fujiwara, Y. Takahashi, H. Namatsu, K. Kurihara, K. Murase, *Jap. J. Appl. Phys.* **37**, 3257 (1998).
- [8] L. Zhuang, L. Guo, S. Y. Chou, *Appl. Phys. Lett.* **72**, 1205 (1998).
- [9] M. A. H. Khalafalla, H. Mizuta, Z. A. K. Durrani, *IEEE Trans. Nanoelectronics*, **2**, 271 (2003).
- [10] M. A. H. Khalafalla, Z. A. K. Durrani, H. Mizuta, *Appl. Phys. Lett.*, **85**, 2262 (2004).
- [11] M. A. H. Khalafalla, Z. A. K. Durrani, H. Mizuta, H. Ahmed, S. Oda, To be published in *Thin Solid Films*.
- [12] P. A. Cain, H. Ahmed, D. A. Williams, *J. Appl. Phys.* **92** (2002) 346.
- [13] Y. T. Tan, Z. A. K. Durrani, H. Ahmed, *J. Appl. Phys.* **89**, 1262 (2001).
- [14] Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed, *Appl. Phys. Lett.* **78**, 1083 (2001).
- [15] T. Kamiya, K. Nakahata, Y. T. Tan, Z. A. K. Durrani, I. Shimuzu, *J. Appl. Phys.* **89**, 6265 (2001).
- [16] Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed, *J. Appl. Phys.* **94**, 633 (2003).
- [17] Z. A. K. Durrani, T. Kamiya, Y. T. Tan, H. Ahmed, *Microelectronics Engineering*, **63**, 267 (2002).
- [18] Z. A. K. Durrani, *Physica E* **17**, 572 (2003).
- [19] Z. A. K. Durrani, T. Kamiya, H. Mizuta, in *Recent Research Developments in Applied Physics* (Vol. 7), Transworld Research Network, (2004).
- [20] T. Kamiya, Z. A. K. Durrani, H. Ahmed, *Appl. Phys. Lett.* **81**, 2388 (2002).
- [21] T. Kamiya, Y. T. Tan, Z. A. K. Durrani, H. Ahmed, *J. Non-Cryst. Solids*, **299-302**, pt.1, 405 (2002).
- [22] T. Kamiya, Z. A. K. Durrani, H. Ahmed, T. Sameshima, Y. Furuta, H. Mizuta, N. Lloyd, *J. Vac. Sci. and Tech. B* **21**, 1000 (2003).
- [23] W. G. van der Wiel, S. De Franceschi, J. M. Elzerman, L. P. Kouwenhoven, T. Fujisawa, S. Tarucha, *Rev. Mod. Phys.* **75**, 1 (2003).
- [24] A. J. Ferguson, D. G. Hasko, H. Ahmed, *Appl. Phys. Lett.* **82**, 4492 (2003).
- [25] R. H. Blick, D. Pfannkuche, R. J. Haug, K. v. Klitzing, K. Eberl, *Phys. Rev. Lett.* **80**, 4032 (1998).

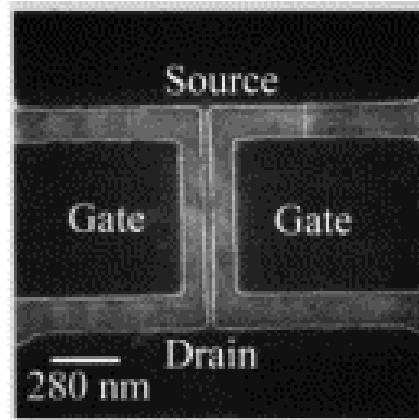


Fig. 3.3.1. Scanning electron micrograph of the side-gate nanowire single-electron transistor fabricated in a solid-phase crystallized polysilicon film (Ref. [13]).

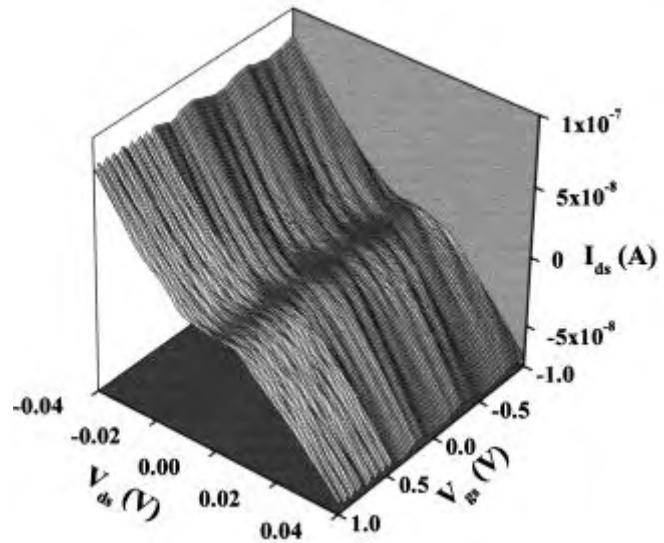


Fig. 3.3.2. Current–voltage characteristics of an oxidized nanowire fabricated on a 10-nm-thick buried oxide layer with varying side-gate voltage at 4.2 K. V_{ds} denotes drain-source voltage, V_{gs} denotes gate-source voltage, and I_{ds} denotes drain-source current (Ref. [13]).

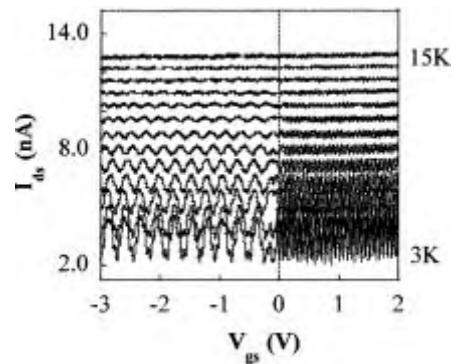


Fig. 3.3.3. Dependence of ‘two-period’ oscillations on temperature. $V_{ds} = 1$ mV and the curves are offset by 0.5 nA per 1 K step (Ref. [13]).

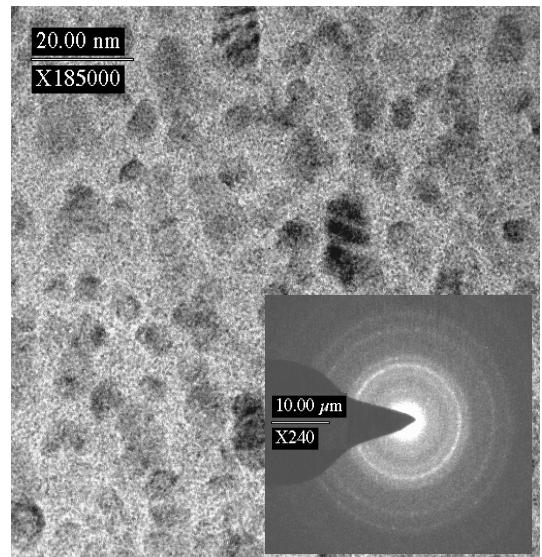


Fig. 3.3.4. TEM planar image of nc-Si. The inset shows the diffraction rings from the film, indicating the presence of crystalline silicon (Ref. [14]).

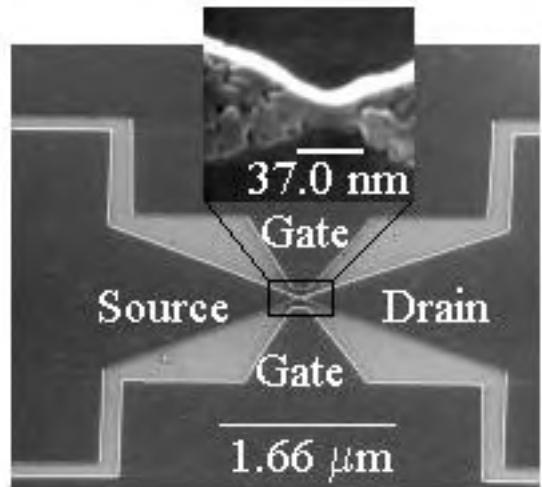


Fig. 3.3.5: SEM image of a side-gate point contact SET in as deposited VHF PECVD nc-Si material. The inset shows a high resolution image (Ref. [14]).

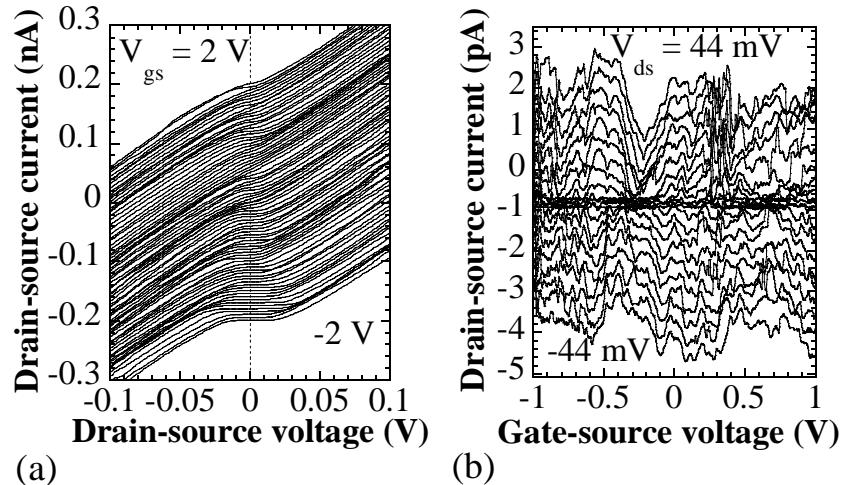


Fig. 3.3.6. (a) I_{ds} - V_{ds} characteristics at 8 K, in a point-contact SET in as-deposited nc-Si. V_{gs} is varied from -2 V to 2 V in 50 mV steps, and the curves are offset 20 pA per gate step for clarity. (b) I_{ds} - V_{gs} characteristics at 4.2 K. V_{ds} are varied in 4 mV steps (Ref. [14]).

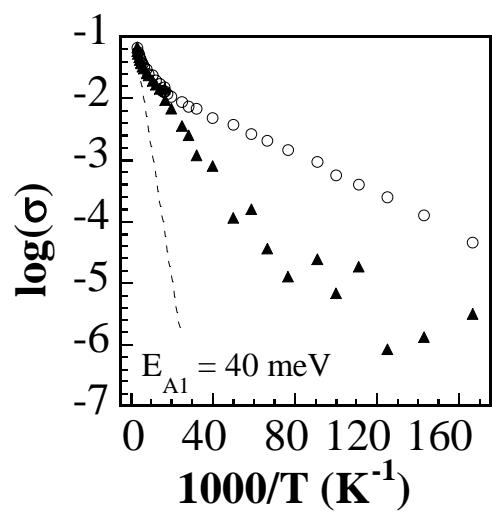


Fig. 3.3.7. Arrhenius plot of the conductance v.s. $1/T$, in an as-deposited nc-Si point-contact SET. V_{ds} is biased at 50 mV (circles) and at 0 V (triangles) (Ref. [14]).

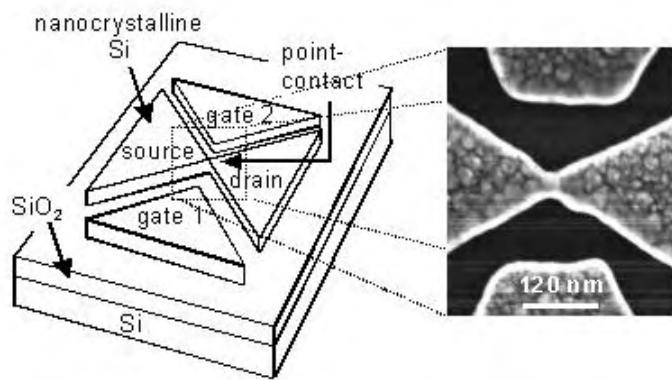


Fig. 3.3.8. Schematic diagram and SEM image of an oxidised and annealed point contact SET. The channel is 20 nm wide and 20 nm long (Ref. [16]).

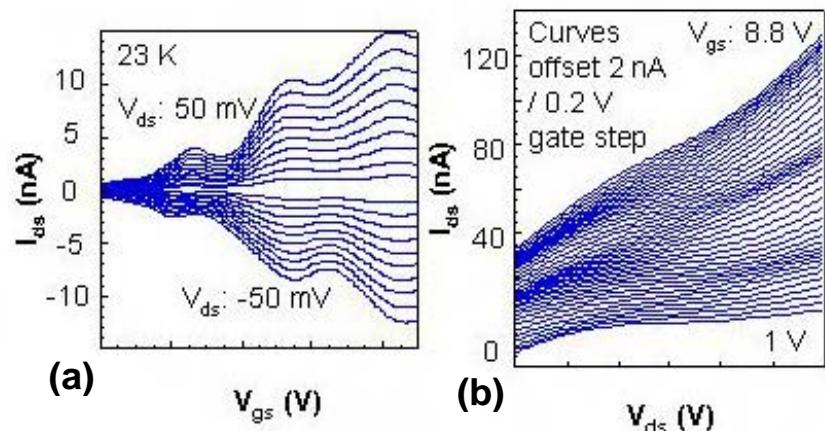


Fig. 3.3.9. I_{ds} - V_{gs} and I_{ds} - V_{ds} characteristics of an oxidised and annealed point contact SET at 23 K.

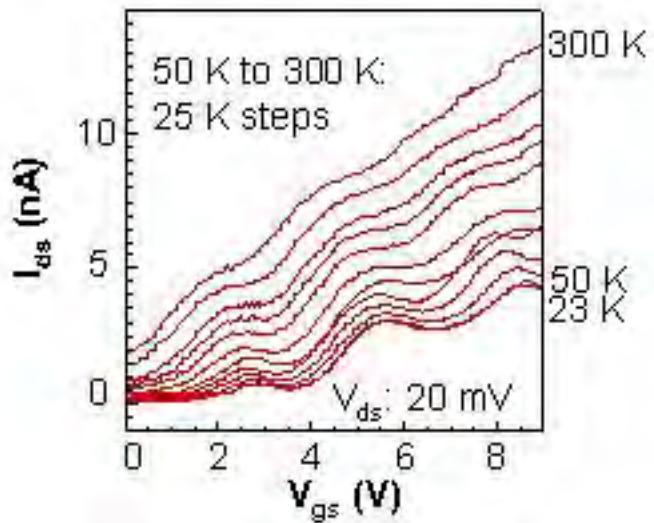


Fig. 3.3.10. Temperature dependence of the I_{ds} - V_{gs} characteristics of an oxidised and annealed point contact SET. Room temperature single-electron effects are observed (Ref. [16]).

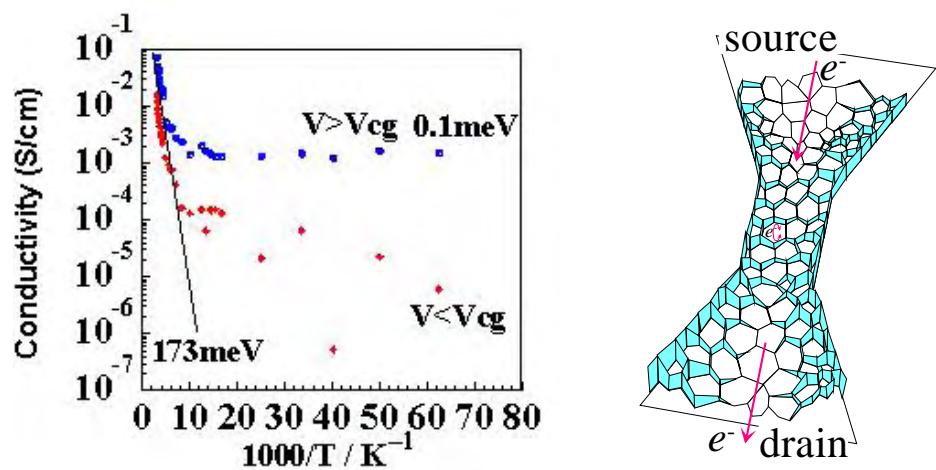


Fig. 3.3.11. Arrhenius plot of the conductivity of an oxidised and annealed point contact SET, measured both outside and within the Coulomb gap V_{cg} . The maximum activation energy is 173 meV. The right-side figure shows a schematic of the GB oxidation process in the point contact (Refs. [16, 17]).

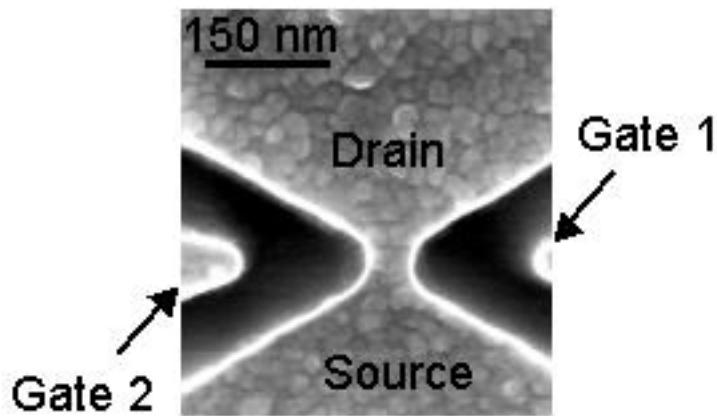


Fig. 3.3.12. SEM image of a dual-gate point contact SET in LPCVD nc-Si material. The device can be used to investigate inter-grain electron coupling effects (Ref. [9]).

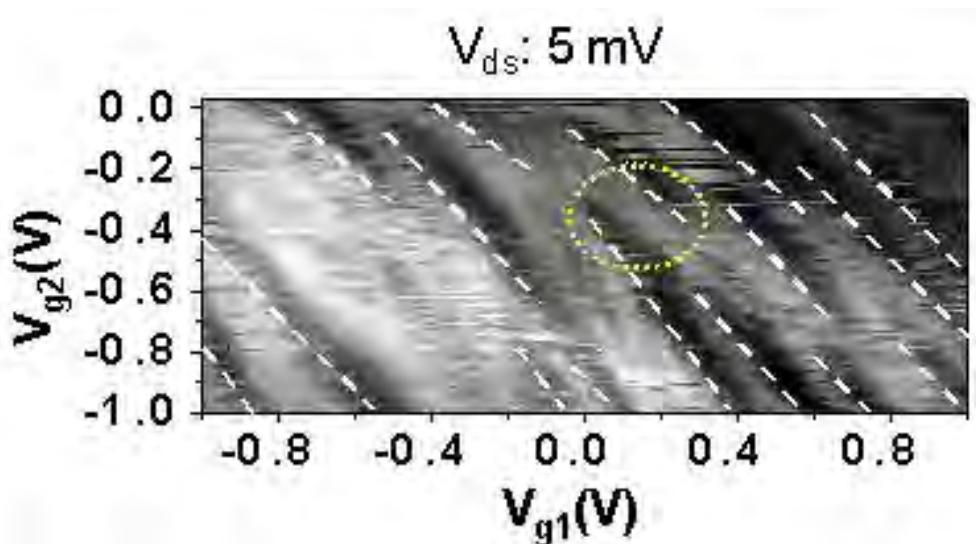


Fig. 3.3.13. Three-dimensional grey-scale image, at a temperature of 4.2 K, of the drain-source current I_{ds} in a point-contact transistor as a function of the gate voltages V_{g1} and V_{g2} , at $V_{ds} = 5$ mV. Maximum value of $I_{ds} = 1.2$ pA (white regions). This device (type 'A') was both oxidised (dry O₂, 750°C, for 60 minutes) and annealed (Ar, 1000°C, for 5 minutes) (Ref. [9]).

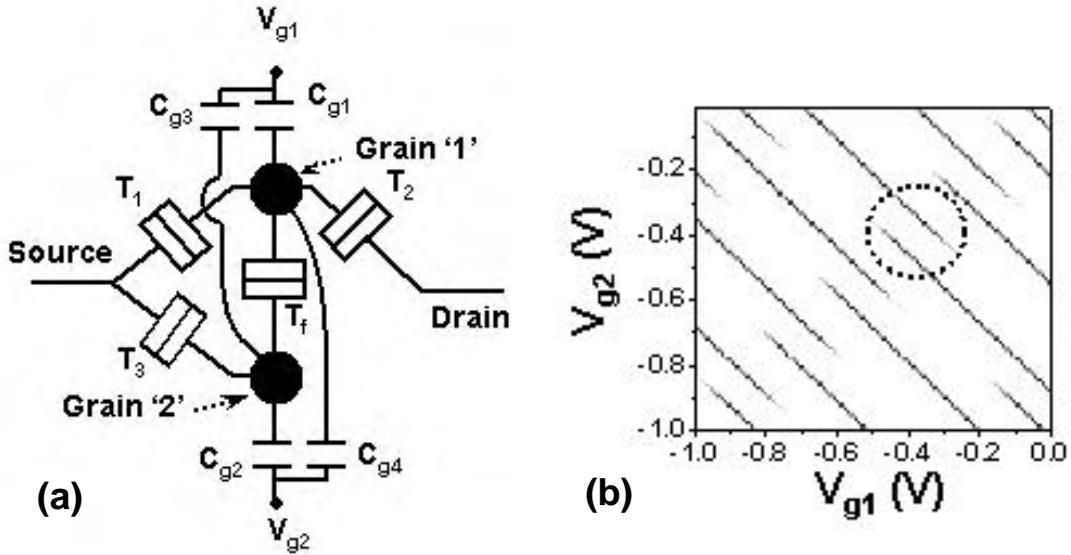


Fig. 3.3.14. (a) Circuit model for the device of Fig. 13, for the investigation of inter-grain electrostatic coupling effects using Monte Carlo single-electron simulation. The circuit parameters are: Tunnel junction T_f : $C_f = 5 \text{ aF}$, $R_f = 1 \text{ M}\Omega$. Tunnel junctions T_1 , T_2 , and T_3 : $C_1 = C_2 = C_3 = 0.8 \text{ aF}$, $R_1 = R_2 = R_3 = 1 \text{ M}\Omega$. Gate capacitors $C_{g1} = C_{g2} = 0.6 \text{ aF}$ and $C_{g3} = C_{g4} = 0.4 \text{ aF}$. (b) Monte-Carlo single-electron simulation results for the circuit, at $V_{ds} = 2 \text{ mV}$ and $T = 4.2 \text{ K}$. Maximum current is 0.5 nA (black regions) (Ref. [11]).

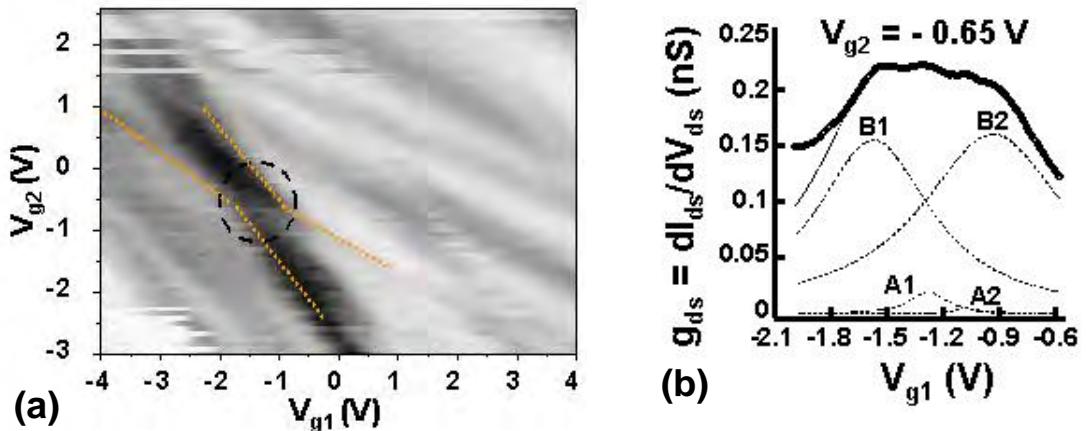


Fig. 3.3.15. (a) Three-dimensional grey-scale plot at 4.2 K, of the drain-source conductance ($g_{ds} = dI_{ds}/dV_{ds}$) in a point-contact transistor as a function of the gate voltages V_{g1} and V_{g2} , at $V_{ds} = 2 \text{ mV}$. The maximum conductance is 0.3 nS (black regions). This device (Type 'B') was oxidised only (dry O_2 , 750°C for 30 minutes). (b) Drain-source conductance $g_{ds} = dI_{ds}/dV_{ds}$ as a function of V_{g1} with $V_{g2} = -0.55 \text{ V}$ and $V_{ds} = 2 \text{ mV}$. The experimental data (circles, 300 points) can be fitted theoretically (solid line) by the sum of four Lorentzian peaks, a_1 , a_2 , b_1 , and b_2 (Ref. [10]).

3. 4 少数電子デバイスグループ（日立ヨーロッパ社）

3. 4. 1 ネオシリコンにおける電子輸送・電子放出の理論解析

（日立ケンブリッジ研究所 宇野重一、中里和郎、水田 博）

3. 4. 1. 1 はじめに

1995 年に Koshida らによって発光ポーラスシリコンからの電子の真空放出が発見された[1]。同様の電子放出は Nishiguchi らの nc-Si ドット層を用いた実験でも観測されており[2]、ネオシリコン特有の現象として注目に値する。ネオシリコンから放出される電子のエネルギー分布は Maxwell 分布と異なり、ピーク値を持つ[3, 4]。またエネルギーピーク値はネオシリコンに印加した電圧の増加に伴い高エネルギー側にシフトする[3, 4]。その後の研究により、ネオシリコン層の Porosity を multi-layer 構造にすると高効率の放出が得られる事が明らかになった[3, 5]。また、低温ではより高エネルギーの電子が放出されることが明らかになった[6, 7]。この電子放出は電子がネオシリコン層内で長距離にわたり散乱をほとんど受けずに走行することによるものであると説明されており[3, 4, 6]、その理論的検証も行われている[8, 6]。一方で、電子は nc-Si から直接真空中に電界放出されるという説もある[9]。このようにネオシリコンからの電子放出については活発な調査がおこなわれているが、電子放出現象について満足な理論的解析・考察がなされているとはいえない。

本報告書では、ネオシリコンからの電子放出およびネオシリコン中の電子輸送に関する理論的調査の成果を報告する。まずネオシリコンから放出される電子のエネルギーピーク値と分布形状の印加電圧依存性について詳細な解析を行い、その解析結果を元にネオシリコンからの放出メカニズムを議論する。次にネオシリコン中の電子輸送を理論的に調査するため、理想化されたネオシリコンモデル構造での電子・フォノン相互作用に関する理論的解析について報告する。ここではこの構造での電子・フォノン相互作用を簡潔に近似計算する新しい理論的枠組みを提案し、電子状態、フォノン状態、および電子・フォノン相互作用についての詳しい解析を行う。

本報告の構成は以下のようになっている。3. 4. 1. 2. 節ではネオシリコンから放出された電子のエネルギー分布についての解析とそれを基にした放出メカニズムの検証について報告する。3. 4. 1. 3. 節では 1DSiQDA での電子状態、フォノン状態、及び電子・フォノン相互作用の理論的調査結果について報告する。

3. 4. 1. 2 放出電子エネルギー分布の解析

3. 4. 1. 2. -1 電子放出デバイスと放出電子エネルギー分布

図 3. 4. 1 はポーラスシリコンダイオードからの電子放出の様子を模式的に示したものである。ポーラスシリコン層に図 3. 4. 1 (a) のように V_{ps} の電圧を印加すると電子が Si 基板からポーラスシリコン層に注入され、それらはホットエレクトロンとなって真空中に放出される。このようにして放出された電子のエネルギー分布を測定すると図 3. 4. 1 (b) のようなものになり、分布のピークエネルギーは V_{ps} の増加に伴って高エネルギー側にシフトする。

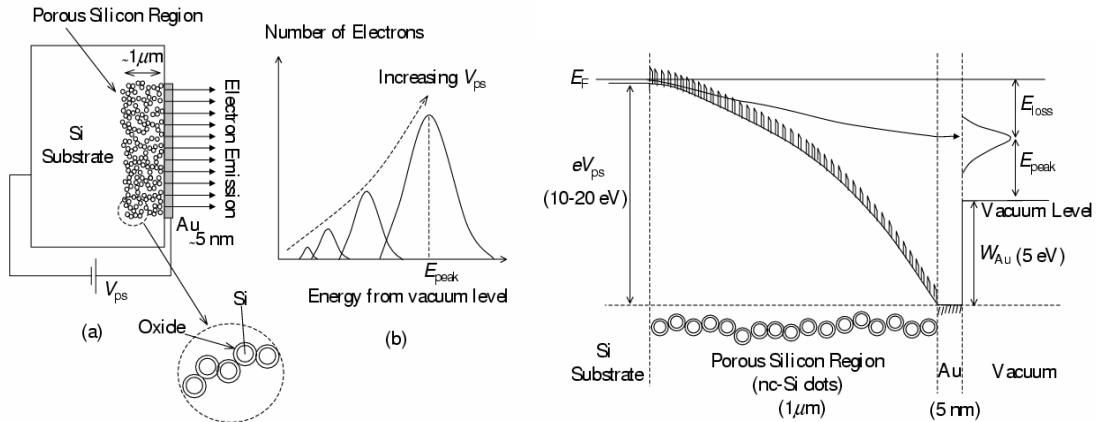


図 3.4.1 ポーラスシリコンからの電子放出の模式図

図 3.4.2 電子放出時のバンド図

また同時に放出電子量も指数関数的に増加する。図 3.4.2 はポーラスシリコン電子放出デバイス動作時のバンド図を模式的に示したものである。ポーラスシリコンは高濃度にドープされた n 型シリコン基板よりも高抵抗であるため、基板・Au の間に印可した電圧は全てポーラスシリコン層に集中する[1]。ここでシリコン基板と Au のフェルミエネルギー差は V_{ps} [eV] に等しく、シリコン基板からポーラスシリコン層に注入された電子はポーラスシリコン層中を走行したのち、真空中にピークエネルギー E_{peak} [eV] をもつた分布で放出される。Au のフェルミエネルギーと真空準位との差(仕事関数)を W_{Au} [eV]、シリコン基板のフェルミエネルギーと放出電子のピークエネルギーの差は E_{loss} [eV] とすると、図から

$$E_{peak} = V_{ps} - W_{Au} - E_{loss} \quad (3.4.1)$$

が成り立つ。

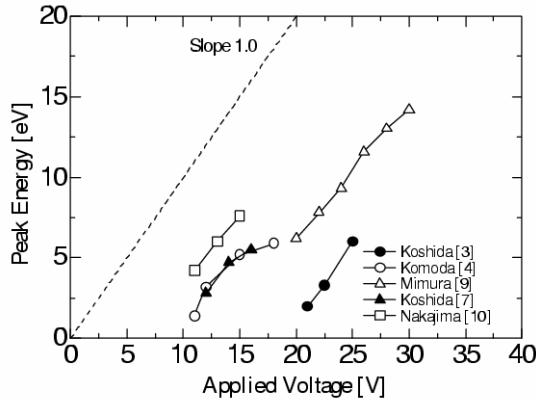


図 3.4.3 ピークエネルギーの印加電圧依存性

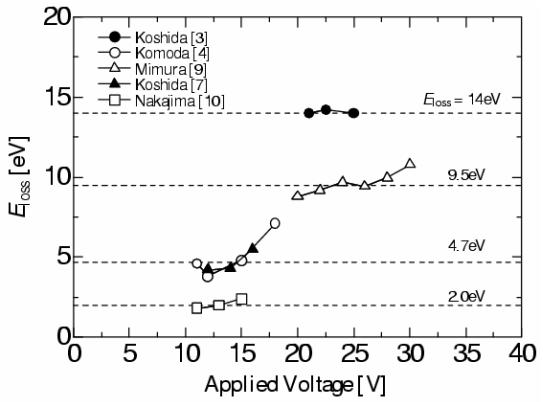


図 3.4.4 E_{loss} の印加電圧依存性

図 3.4.3 は異なるデバイスで観測された E_{peak} を V_{ps} の関数としてプロットしたものである。図から、 E_{peak} は V_{ps} にほぼ直線的に依存することがわかる。この直線の傾きはデバイス作成条件によらず 1 にほぼ等しい。一般に式(1)中の E_{loss} は V_{ps} の関数であるが、直線の傾きが 1 であることはすなわち E_{loss} が V_{ps} にほとんど依存しないことを意味している。確かに E_{loss} を V_{ps} に対してプロットした図 3.4.4 を見ると、このことをより明瞭に確認することができる。

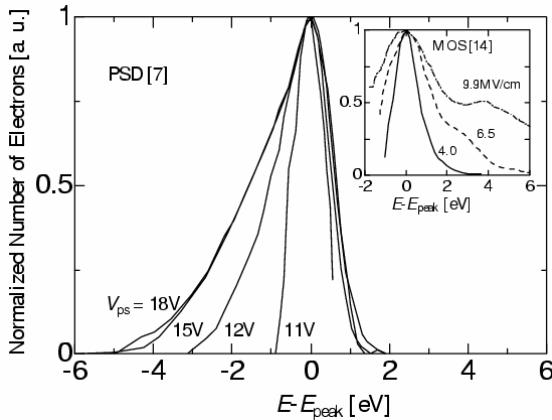


図 3.4.5 放出電子のエネルギー分布

図 3.4.5 は放出電子エネルギー分布形状の V_{ps} 依存性を示したものである。エネルギー分布の広がりは 2~8V の間で V_{ps} に依存することがわかる。 E_{peak} よりも低エネルギー側は V_{ps} の変化によって大きく裾を引くのに対して、高エネルギー側のエネルギー分布形状はほとんど変化しない。これはポーラスシリコンからの電子放出特有の特徴である。

3.4.1.2.-2 放出メカニズムに関する議論

以上の解析結果は電子放出メカニズムを議論するうえで非常に重要な手がかりとなる。

Mimura らはポーラスシリコン表面をナノサイズの従来型電界放出 tip の集まりとみなせると主張している[9]。ここではこのモデルのことを「電界放出モデル」と呼ぶこととする。電界放出モデルでは、電子は放出先端として機能する nc-Si から FN トンネリングによって真空に直接放出され[11, 12]、放出される電子の殆どは先端の nc-Si の伝導帯エネルギーにはほぼ等しいエネルギーをもって放出される[13]。このモデルでは V_{ps} の殆どは tip 先端と Au の間の真空層に印加されるため、放出先端の nc-Si 伝導帯エネルギーはシリコン基板のフェルミエネルギーにはほぼ等しい。従って電子は常にシリコン基板のフェルミエネルギーで放出され、 E_{loss} は V_{ps} に依らない。このようにこのモデルは図 3.4.4 の結果を説明することが可能である。しかしながら、このモデルでは $E_{loss} \neq 0$ となることを説明できない。また、図 3.4.5 からポーラスシリコン層からの放出のエネルギー分散は 5~10eV であるが、電界放出による電子のエネルギー分散は図 3.4.6 内の TIP で示されているように、高々 1eV 程度である[13]。従ってこのモデルは図 3.4.5 の結果を説明できていない。以上から、電界放出モデルはポーラスシリコン層からの電子放出を説明するうえでは不十分である。

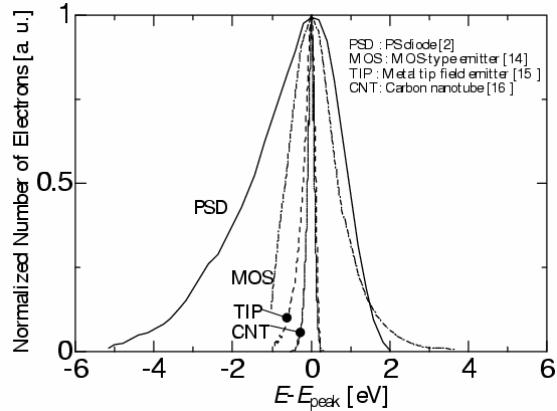


図 3.4.6 各種電子放出デバイスでのエネルギー分布

酸化処理を施されたポーラスシリコン層内の nc-Si ドット密度は放出表面に近づくほど減少することが知られている[17]。このためポーラスシリコン層をシリコン層+酸化膜層として近似することが可能かもしれない。これは MOS、MIS 型の電子放出デバイス[18, 19]に対応するため、本論分では「MOS モデル」と呼ぶこととする。MOS モデルを議論する際には、表面からどのくらいの深さまでを酸化膜層と近似するかが重要である。まず酸化膜層を放出表面から数 nm 程度とした場合を考えよう。この場合、電子の酸化膜中でのエネルギー緩和距離が約 4.0nm であることから[20, 21]、電子は酸化膜中をほぼ Ballistic に走行する[21]。すると放出の基本特性は上述の電界放出デバイスと実質的に等しくなるであろう。上述と同様の議論から、これは $E_{loss} \neq 0$ であること及びエネルギー分散が大きいことを説明できない。一方酸化膜層がエネルギー緩和距離に比べて十分厚ければ、電子は酸化膜中でエネルギー損失を受ける。Broson らは酸化膜厚 50nm の MOS からの真空放出電子のエネルギー分布を測定した[14]。この結果は図 3.4.5 中の小さな挿入図で記されているが、放出電子のエネルギー分布形状は Vps の増加に伴い高エネルギー側のテールが大きく変化することが容易にわかる。これは図 3.4.5 中のポーラスシリコンダイオードからの放出とは逆の傾向である。以上の議論から、MOS モデルもやはりポーラスシリコンダイオードからの放出は説明できない。

我々はこの現象は、電子がネオシリコン層内で Quasi-Ballistic に走行することに起因するものであると考えている。

3.4.1.3 1DSiQDA での電子フォノン相互作用の理論的解析

本節では、ネオシリコンの理想化されたモデルとして酸化膜でつながれた 1 次元シリコン量子ドットアレイ(one-dimensional Si quantum dot array interconnected with thin oxide layer : 1DSiQDA)を考え、ここでの電子輸送を調べるうえで必要な電子状態、フォノン状態、および電子フォノン相互作用の性質についての理論的解析を行う。

3.4.1.3-1 理論

3.4.1.3-1-1 : モデル

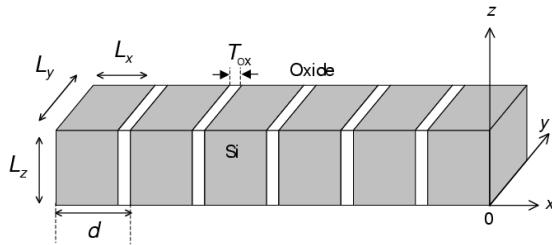


図 3.4.7 1DSiQDA の模式図

図 3.4.7 は我々がネオシリコンの理想化されたモデルとして用いる 1DSiQDA の模式図である。この構造では Si ドットがシリコン酸化膜を介して 1D の Array となっており、構造は x 軸方向に無限の長さを持つとする。ここでは周期的な構造を仮定し、Free standing またはそのように近似できる材質中に埋め込まれているとする。

3.4.1.3-1-2 : 電子状態

シリコン量子細線 (Silicon quantum wire :SiQW) では k_x 軸上の 2 つの X バレーと、 $k_x=0$ 近傍の Γ ライクなバレーが存在することが知られている。ところが 1DSiQDA 系では x 方向に導入された周期性により、SiQW で見られる k_x 軸上の X バレーは $k_x=0$ 近傍に折りたたまれている。このため 1DSiQDA では $\mathbf{k}=0$ 近傍の単一バレーのみが存在する。本報告ではこのバレー内の電子状態を有効質量近似を用いて記述する。

この系での電子波動関数は x, y, z 方向に変数分離することができ、1DSiQDA 軸に沿った電界が非常に弱いときには波動関数は以下のように表される

$$\begin{cases} \langle x | k_x b_e \rangle = \frac{1}{\sqrt{L}} u_{k_x, b_e}(x) e^{i k_x x} \\ \langle y | n_y \rangle = \sqrt{\frac{2}{L_y}} \sin \left[\frac{n_y \pi}{L_y} y \right] \\ \langle z | n_z \rangle = \sqrt{\frac{2}{L_z}} \sin \left[\frac{n_z \pi}{L_z} z \right] \end{cases} \quad (3.4.2)$$

ただし $u_{k,b}(x)$ は Si ドット・酸化膜による周期的ポテンシャル内での Bloch 関数、 L は 1DSiQDA の x 方向の全長、 d は x 方向の周期、 k_x は x 方向の波数、 b_e はバンド番号、 L_y, L_z はドットの y, z 辺の長さ、 n_y, n_z は横方向閉じ込めの量子数である。
電子エネルギーは以下の式で与えられる

$$E_{\text{total}} = E_x(k_x b_e) + \frac{\pi^2 \hbar^2}{2} \left(\frac{n_y^2}{m_y^* L_y^2} + \frac{n_z^2}{m_z^* L_z^2} \right) \quad (3.4.3)$$

ただし E_x は x 方向のエネルギー、 m_y^*, m_z^* はそれぞれ y, z 方向の有効質量である。

x 方向の波動関数 $u_{k_x}(x)$ は解析的に計算することができ、エネルギー準位も簡単な数値計算によって容易に求めることができる。

一方、1DSiQDA に印加された電界が大きなときには、 x 軸方向の電子波動関数は Airy 関数を用いて書き表される。各 Si ドット内及び Oxide 層内の Airy 関数を界面で滑らかに接続させることで、全系の波動関数とそのエネルギー固有値を得る。

3.4.1.3-1-3 : フォノン状態

Morse によると、四角い断面を持った QW でのフォノン基準モード $\mathbf{u}(\mathbf{r})$ は x 方向へ進行する平面波と、 y, z のみに依存する関数との積に比例する[22] :

$$\mathbf{u}(\mathbf{r}) \propto \mathbf{v}_Q(\mathbf{R}) e^{iq_x x} \quad (3.4.4)$$

ただし q_x は x 方向の波数ベクトル、 \mathbf{Q} は y, z 方向の波数ベクトル、 \mathbf{R} は y, z 方向の位置を表し、

$$\mathbf{R} = \begin{pmatrix} y \\ z \end{pmatrix}, \quad \mathbf{Q} = \begin{pmatrix} q_y \\ q_z \end{pmatrix} \quad (3.4.5)$$

である。

$\mathbf{v}_Q(\mathbf{R})$ は三角関数を用いてあらわされ、多くの場合は壁面で開口端をもつ平面波で近似される。これは 1DSiQDA でも同様に正しいが、 x 方向のフォノン波動関数は平面波とはならない。これは Si、 SiO_2 での Young 率にそれぞれ 180GPa, 70GPa と大きな違いがあるため、Si 層と Oxide 層での力学的性質が大きく異なることに起因する。このため、1DSiQDA 内でのフォノン振動は下記の式によって表される。

$$\begin{cases} \mathbf{S}(\mathbf{r}) = \sum_{\mathbf{q}} C_{\mathbf{q}} (a_{\mathbf{q}} + a_{-\mathbf{q}}^+) e^{i\mathbf{Q}\cdot\mathbf{R}} S_{q_x}(x) \mathbf{s}_{\mathbf{q}} \\ C_{\mathbf{q}} \equiv \sqrt{\frac{\hbar}{2\omega_{\mathbf{q}}}} \frac{1}{N_y N_z} \end{cases} \quad (3.4.6)$$

ただし \mathbf{q} はフォノンの波数ベクトル、 $a_{\mathbf{q}}^+, a_{\mathbf{q}}$ は生成・消滅演算子、 $\omega_{\mathbf{q}}$ はフォノンの周波数、 $N_y N_z$ は断面内に含まれる総原子数、 $\mathbf{s}_{\mathbf{q}}$ は振動方向を示す単位ベクトルであり、 $S_{q_x}(x)$ は x 方向の 1 次元フォノン基準モードである。

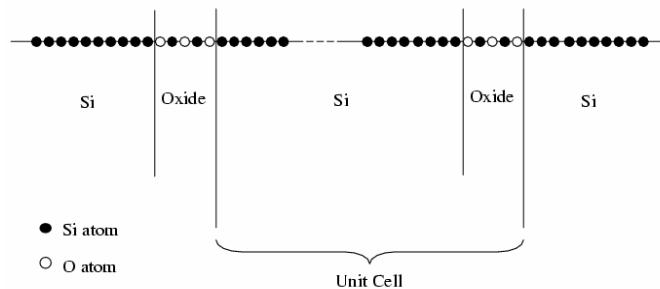


図 3.4.8 1D フォノン波計算モデル

1D フォノン波動関数 $S_{qx}(x)$ は図 3.4.8 のような linear atomic chain model を用いて計算する。ここでは Si ドット領域は Si 原子のみによって構成されており、酸化膜領域は Si 原子と Oxygen 原子が交互に位置しているものとしてモデル化される。各原子間の相互作用は Harmonic 近似によって記述することとし、最近接原子間の相互作用のみを考慮する。原子間距離は Si の質量密度から 0.25nm と仮定し、Oxide 内での原子間距離も同じ値に設定する。Si ドット領域および酸化層に含まれる原子の個数は、Si ドットサイズ及び酸化膜厚から換算して原子の個数を求める。

Si、Oxygen の原子質量は原子核のものを用い、それぞれ N_A をアボガドロ数として、 $M_{Si}=16.0 / N_A [g]$, $M_O=28.09 / N_A [g]$ とした。Si-Si 間結合のばね定数は、全原子を Si としたときのフォノン最高エネルギーが Si (100) 方向の縦波フォノンのもの (0.06eV) に一致するように定めた。一方、Si-O 間結合のばね定数は、Si-Si 間ばね定数との比がバルク Si と SiO₂ フィルムの Young 率の比を満たすように定める。

この系でのフォノンはこれらの各原子の運動方程式を連立させることで得られる。この方程式の解として定常的な基準モードを仮定すると固有値方程式が導かれ、固有関数が 1D フォノン基準モード $S_{qx}(x)$ となり、固有値が各基準モードの固有エネルギーを与える。

3.4.1.3-1-4 : 電子フォノン相互作用

電子がフォノンを介して始状態 $\mathbf{k} c$ から終状態 $\mathbf{k}' c'$ に遷移する確率は以下の Fermi の式によって与えられ、Acoustic Deformation Potential (ADP) 散乱での摂動ポテンシャルは下式によって計算される。

$$H_{ADP}(\mathbf{r}) = D_{aco} \nabla \cdot \mathbf{S}(\mathbf{r}) \quad (3.4.7)$$

上式に 1DSiQDA でのフォノン波動関数(6)を代入して電子波動関数と共に積分すると Matrix Element は下式のようになる :

$$\begin{aligned} & \langle \mathbf{k}' c' | H_{ADP}(\mathbf{r}) | \mathbf{k} c \rangle \\ &= D_{aco} \left(\frac{C_q \sqrt{n_q}}{C_{-q} \sqrt{n_{-q} + 1}} \right) \langle n'_y n'_z | e^{\pm i \mathbf{Q} \cdot \mathbf{R}} | n_y n_z \rangle \\ & \times \left\{ \pm i (q_y s_{\pm q, y} + q_z s_{\pm q, z}) \langle k'_x b'_e | S_{\pm q_x}(x) | k_x b_e \rangle + s_{\pm q, x} \langle k'_x b'_e | \frac{\partial S_{\pm q_x}(x)}{\partial x} | k_x b_e \rangle \right\} \end{aligned} \quad (3.4.8)$$

ここで y, z 方向の電子波動関数は空間的に L_y, L_z 中に局在しているため、 y, z 方向の積分が有意な値を持つ q_y, q_z は $q_y \sim 1/L_y, q_z \sim 1/L_z$ の程度となる。 $L \sim 4\text{nm}$ 前後だとこのようなフォノン波数に対応するエネルギーは~1meV であり、大部分の Acoustic フォノンは x 方向にこれに比べ十分大きなエネルギーをもつ。したがって、式(7)は

$$|\langle \mathbf{k}' c' | H_{ADP} | \mathbf{k} c \rangle|^2 \propto \left| \langle k'_x b'_e | D_{aco} \frac{\partial S_{\pm q_x}(x)}{\partial x} | k_x b_e \rangle \right|^2 \quad (3.4.9)$$

と近似することができ、遷移確率は次式によってあらわされる。

$$\left\{ \begin{array}{l} T(\mathbf{k} \rightarrow \mathbf{k}') = \frac{2\pi}{\hbar} \frac{\hbar}{2\omega_{\pm q_x}} \frac{1}{N_y N_z} \left\{ \begin{array}{l} n_{q_x} \\ n_{-q_x} + 1 \end{array} \right\} \left(1 + \frac{1}{2} \delta_{n_y n'_y} \right) \left(1 + \frac{1}{2} \delta_{n_z n'_z} \right) \\ \times \left| \langle k'_x b'_e | H_{\text{el-ph}}(x) | k_x b_e \rangle \right|^2 \delta [E(\mathbf{k}') - E(\mathbf{k}) \mp \hbar \omega_{\pm q_x}] \\ H_{\text{el-ph}}(x) \equiv D_{\text{aco}} \frac{\partial S_{\pm q_x}(x)}{\partial x} \end{array} \right. \quad (3.4.10)$$

ただし

$$\sum_{\mathbf{Q}} \left| \langle n'_y n'_z | e^{\pm i \mathbf{QR}} | n_y n_z \rangle \right|^2 = \left(1 + \frac{1}{2} \delta_{n_y n'_y} \right) \left(1 + \frac{1}{2} \delta_{n_z n'_z} \right) \quad (3.4.11)$$

を用いた。

Optical Deformation Potential (ODP) 散乱についても ADP 散乱と同様の結果を得ることができ、この場合の 1 次元散乱ポテンシャルは

$$H_{\text{el-ph}}(x) = D_{\text{opt}} S_{\pm q_x}(x) \quad (3.4.12)$$

として与えられる。このように、1DSiQDA 系での遷移確率は変数 x のみに関する相互作用積分に帰着できるところが特徴的である。

SiQW での x 方向の遷移は、Bulk Si と同様に、低エネルギーの Acoustic フォノンを介して単一の X バレー内で発生する Intra-valley 散乱と、ある特定のエネルギーに限られたフォノンを介して異なるバレー間で発生する Inter-valley 散乱の 2 種類に分類される。ところが 1DSiQDA では電子エネルギーバンドは $\mathbf{k}=0$ 近傍に折りたたまれている。またフォノン分散関係も同様に $q_x=0$ 近傍の小さな Brillouin Zone 内に折りたたまれている。このため、原理的にはあらゆるエネルギーでのフォノンを介した散乱が可能である。このことから、1DSiQDA での散乱を取り扱う際には全エネルギー領域でのフォノンに対応した散乱の式を求める必要がある。ここではこのような式を近似的に導出する。

Deformation Potential は局所的な体積変化が電子エネルギーバンド構造にもたらす摂動として定義される。これは式で書くと

$$H_{\text{el-ph}}(x) = D \frac{\delta a}{a} \quad (3.4.13)$$

と表される。ただし a は位置 x における原子間隔を表す。この原理を 1D でのフォノン波を用いて書き下すと次式のようになる

$$H_{\text{el-ph}}(x) = D \frac{S_{q_x}(x+a) - S_{q_x}(x)}{a} \quad (3.4.14)$$

任意のエネルギーを持つフォノンによる摂動ハミルトニアンもこの式によって計算されるであろう。この式はフォノン波が a に比べて十分緩やかに変化するときは ADP に収束しなければならず、フォノン波の半波長が a になるときには ODP に収束しなければならない。したがって次式を満たすことが要求される

$$\left\{ \begin{array}{l} D \frac{\partial S_{q_x}(x)}{\partial x} = D_{\text{aco}} \frac{\partial S_{q_x}(x)}{\partial x} \quad (\text{at acoustic limit}) \\ D \frac{2}{a} S_{q_x}(x) = D_{\text{opt}} S_{q_x}(x) \quad (\text{at optical limit}) \end{array} \right. \quad (3.4.15)$$

一般に $D_{\text{aco}} \neq D_{\text{opt}} \times a/2$ であるから、これらが満たされたためには Coupling Constant D は

定数ではなく、各フォノンモードに対して異なる値でなければならない。本研究ではこれをみたす Coupling Constant として次式を仮定する。

$$D(\hbar\omega) = D_{\text{Aco}} + \frac{\hbar\omega}{\hbar\omega_{\max}} \left(\frac{a}{2} D_{\text{Opt}} - D_{\text{Aco}} \right) \quad (3.4.16)$$

特に散乱の前後で $E_{y,z}$ が変わらない場合にはフォノンのやり取りによって生じるエネルギー変化は全て E_x の変化となる。このときは $n_y = n'_y$, $n_z = n'_z$ であり、式(3.4.10)は

$$\begin{aligned} T(k_x b_e \rightarrow k'_x b'_e) &= \frac{1}{N_x N_y} \left(1 + \frac{1}{2} \right) \left(1 + \frac{1}{2} \right) \frac{\pi}{\omega_{\pm q_x}} \left\{ \begin{array}{l} n_{q_x} \\ n_{-q_x} + 1 \end{array} \right\} \\ &\times \left| \left\langle k'_x b'_e \left| \frac{D(\hbar\omega_{\pm q_x})}{a} \left\{ S_{\pm q_x}(x+a) - S_{\pm q_x}(x) \right\} \right| k_x b_e \right\rangle \right|^2 \delta \left[E(k'_x, b'_e) - E(k_x, b_e) \mp \hbar\omega_{\pm q_x} \right] \end{aligned} \quad (3.4.17)$$

となる。

散乱レートは終状態に関する和として与えられ、

$$W(k_x b_e) = \frac{d}{2\pi} \sum_j \frac{\tilde{T}(k_x b_e \rightarrow k'_x b'_e)}{\left| F'(k'_x = k'_j) \right|} \quad (3.4.18)$$

となる。ただし、

$$\begin{cases} \tilde{T}(k_x b_e \rightarrow k'_x b'_e) \equiv \frac{T(k_x b_e \rightarrow k'_x b'_e)}{\delta \left[E(k'_x, b'_e) - E(k_x, b_e) \mp \hbar\omega_{\pm q_x} \right]} \\ F(k'_x) \equiv E(k'_x) - E(k_x) \mp \hbar\omega_{\pm q_x} \end{cases} \quad (3.4.19)$$

であり、 k'_j ($j = 1, 2, \dots$) は $F(k'_x b'_e) = 0$ の根である。

3.4.1.3-2 : フォノン状態計算結果

C-2-1 : フォノン状態

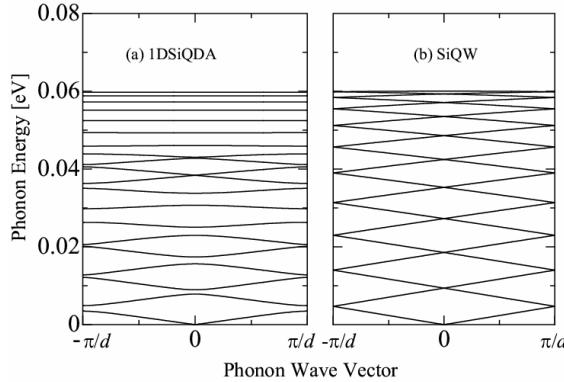


図 3.4.9 フォノン分散関係

図 3.4.9 (a)は計算によって得られた 1DSiQDA での x 方向フォノン分散関係である。計算では上述の 1D フォノン計算方法が用いられた。図からフォノン基準モードのとりうるエネルギーはバンド構造を形成し、フォノンバンドギャップが生じることがわかる。これは Oxide 層でのバネ定数が Si 層での値と異なること、及び Oxide 層に Si とは質量

が異なる O 原子が含まれていることに起因しており、標準的な教科書の例題に見られる diatomic linear chain model での第 1Brillouin Zone 端でのフォノンプランチ分離と本質的に同じ現象である[24]。特に光学モードに対応する高エネルギーのフォノン基準モードでは分散のほとんどないフォノンバンドが見られる。これは超格子でのフォノンに特有のものであり、このようなフォノンは Si 層内にのみ振幅を持つ[25]。

3. 4. 1. 3-2-2 : ADP 強度の減少

ここでは計算によって得られた ADP 強度を SiQW でのものと比較する。

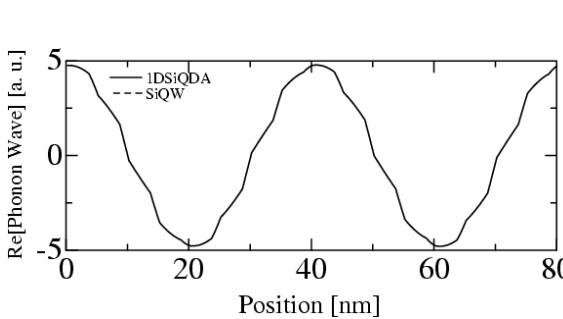


図 3.4.10 フォノン波動関数

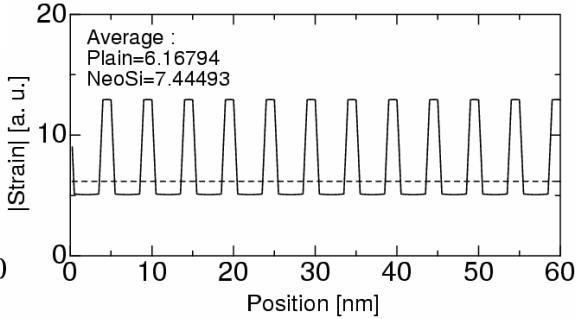


図 3.4.11 フォノン振動による歪分布

図 3.4.10 は計算によって得られた 1DSiQDA 内での 1D フォノン波動関数である。横軸は x 軸上での位置である。縦軸は各位置での原子の格子点からの変位の実部である。計算では Si ドットサイズを 4nm、酸化膜厚を 1nm としたため、 $5.0 n - 1.0 < x < 5.0 n$ 内の領域が酸化膜層となり、そのほかの領域が Si ドットに対応する。図から、酸化膜層では隣り合った原子間での原子振幅の差が大きいことがわかる。これは酸化膜層でのばね定数のほうが小さいため、各原子間の距離が開きやすい傾向にあることに起因している。

図 3.4.11 は図 3.4.10 の結果を元に計算された Strain 強度を位置の関数としてプロットしたものである。各格子点でのストレインは以下の式で計算される。

$$|\varepsilon_n| = \left| \frac{S(x_{n+1}) - S(x_{n-1})}{2a} \right| \quad (3.4.20)$$

ここでは SiQW 内で同じエネルギーを持つフォノンモードに対して計算された結果も合わせて破線で表示した。図から、ストレイン強度は Si ドット内よりも酸化膜層内のほうが大きいことがわかる。

これは酸化膜層でのばね定数が小さいため（つまり材料が柔らかいため）、隣り合った原子間での振動振幅の違いがより大きくなったことに起因する。また、Si ドット内でのストレイン強度は SiQW での値に比べて減少していることがわかる。これは Oxide 層での Strain 強度が上昇することによって、Si ドット内での Strain 強度が弱められていることを示している。本報告ではこの効果を「Strain 吸収効果」と呼ぶ。

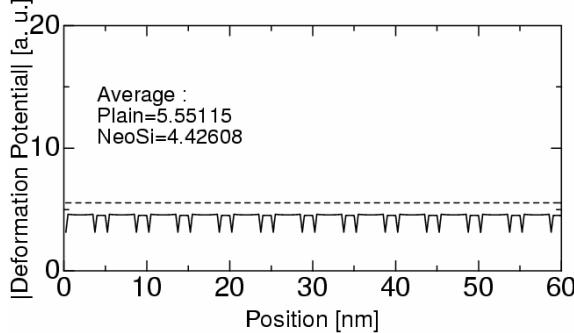


図 3.4.12 ADP 散乱ポテンシャル

図 3.4.12 は図 3.4.11 の結果をもとに得られた ADP 散乱ポテンシャルの強度を位置に関してプロットしたものである。ADP 散乱ポテンシャル強度は下記の式を用いて計算された。

$$|H_{\text{ADP}}| = D_n |\epsilon_n| = D_n \left| \frac{S(x_{n+1}) - S(x_{n-1})}{2a} \right| \quad (3.4.21)$$

図から、ADP 強度は全領域において SiQW でのものより少ないことがわかる。ここで、強い Strain の生じていた Oxide 層での ADP 強度が SiQW でのものよりも減少したことは重要である。これは Oxide 層での D が Si での値よりも小さいことに起因する。すなわち、電子とフォノンのカップリングの強い Si ドット内での Strain が、カップリングの弱い Oxide 層によって吸収されたことにより、全領域での ADP 散乱強度が減少したのである。以上から、1DSiQDA では Oxide 層の Strain 吸収効果により、SiQW 中に比べて ADP 散乱ポテンシャル強度が減少する。

3.4.1.3-3：弱電界下における電子状態および電子フォノン相互作用計算結果

以下の計算では電子の横方向エネルギーは散乱の前後で常に基底状態にあるという条件で行う。

3.4.1.3-3-1：電子状態

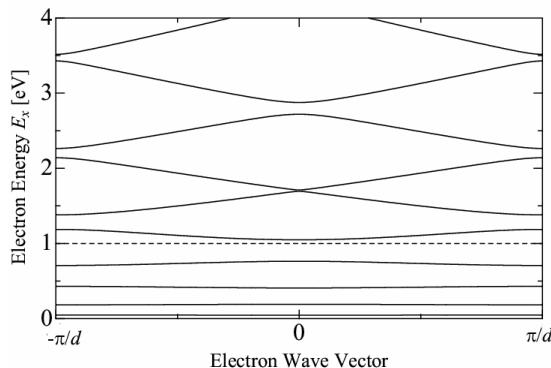


図 3.4.13 電子ミニバンド

図 3.4.13 は計算によって得られた電子エネルギー分散関係 $E_x(k_x)$ である。Oxide 層のバリアハイトは 1.0eV とし、酸化層の厚み T_{ox} は 1.0nm、Si ドットの一辺は $L_x = 4.0\text{nm}$ とした。この値はポーラスシリコンでの光学測定結果から得られた値である[23]。有効質量は Si 領域で $0.35m_0$ 、Oxide 層で $0.50m_0$ とした。図から、電子はミニバンドとよばれる

バンド構造を形成していることが分かる。破線で示されたバリアハイトより低エネルギーの電子は分散がほとんどない。

3.4.1.3-3-2：ミニバンド間での電子フォノン散乱

図3.4.14は図3.4.13の各ミニバンド間のギャップエネルギーをプロットしたものである。 n 番目のギャップエネルギーは n 番目のミニバンド上端と $n+1$ 番目のミニバンド下端のエネルギー差として与えられている。

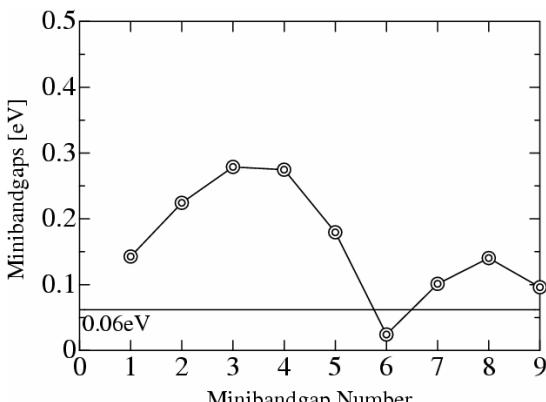


図 3.4.14 ミニバンド間エネルギー

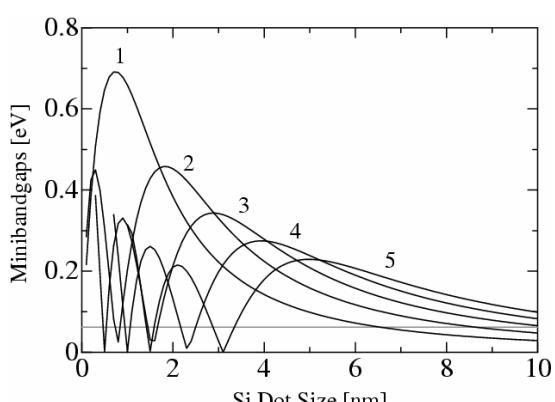


図 3.4.15 ミニバンド間エネルギーのドットサイズ依存性

電子がフォノン散乱によってミニバンド間で遷移するためには、エネルギー保存則から、ミニバンド間エネルギーは少なくともフォノンの最高エネルギーよりも小さくなければならない。しかしながら、図から、ほとんどのミニバンド間エネルギーはフォノンの最高エネルギーよりも大きいことがわかる。このことは、ポーラスシリコン電子放出デバイスで最も標準的な構造パラメータである酸化層の厚み $T_{ox}=1.0\text{nm}$ 、Si ドットの一辺 $L_x=4.0\text{nm}$ という条件下においてはミニバンド間散乱はほとんど発生しないことを意味する。図3.4.15はいくつかのミニバンド間エネルギーをさまざまなSi ドットサイズ L_x に対してプロットしたものである。この図から、Si ドットサイズが 6nm 程度以下であればほとんどのミニバンド間エネルギーがフォノン最高エネルギーよりも大きく、ミニバンド間散乱の抑制が期待できることがわかる。

3.4.1.3-3-3：ミニバンド内での電子フォノン散乱

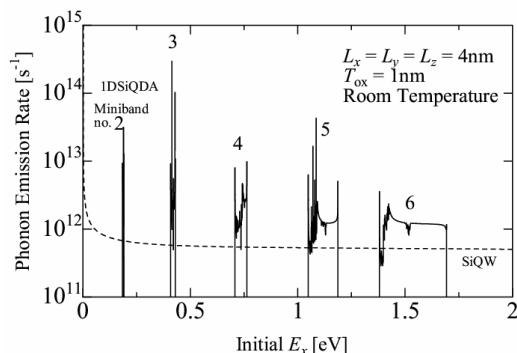


図 3.4.16 フォノン放出レート

図 3.4.16 はフォノン散乱レート（フォノン放出）を電子の初期エネルギーに対してプロットしたものである。実線は 1DSiQDA でのフォノン放出レート、破線の結果は SiQW での散乱レートを $k_x=0$ を中心とした放物線型の電子バンド構造を仮定して計算したものに相当する。厳密な意味では SiQW での散乱レートは k_x 軸上にある 2 つの X バレーと 1 つの Γ バレーを考慮しなければならないため、ここでの計算結果はこのバレー構造を無視した近似的なものであるといえる。1DSiQDA の散乱レートはバリアがない場合に比べて増加している。これはミニバンドが形成されることによってエネルギー分散が弱くなり、状態密度が上昇することに起因する。これは上述の ADP 散乱ポテンシャル減少の効果を打ち消してしまっている。

図 3.4.17 は図 3.4.16 中の 5 番目のミニバンドでのフォノン放出レートを、それぞれ (a) 1-5, (b) 6-10, (c) 11-15, (d) 16-20 番目のフォノンプランチを介した散乱成分に分解して表示したものである。図中の○で示されたデータは総フォノン放出レートであり、各プランチを介した散乱レートの総和に相当する。図から、各フォノンプランチを介したフォノン散乱レートがいずれも左端で発散していることが分かる。これは遷移の終状態がミニバンドの下端近くになり、散乱先での電子のエネルギー状態密度が発散することに起因する。また、ミニバンド下端付近での散乱レートはエネルギーの小さなフォノンプランチによってのみ構成されていることがわかる。これはミニバンド下端付近では高エネルギーのフォノンを放出しても電子の遷移先がミニバンドギャップ中にあたるため散乱が生じないことに起因する。このためミニバンド下端付近に近づくほど散乱に関与できるフォノンプランチの数は減少し、下端付近では最もエネルギーの小さなフォノンプランチ#1 を用いた散乱のみが発生する。

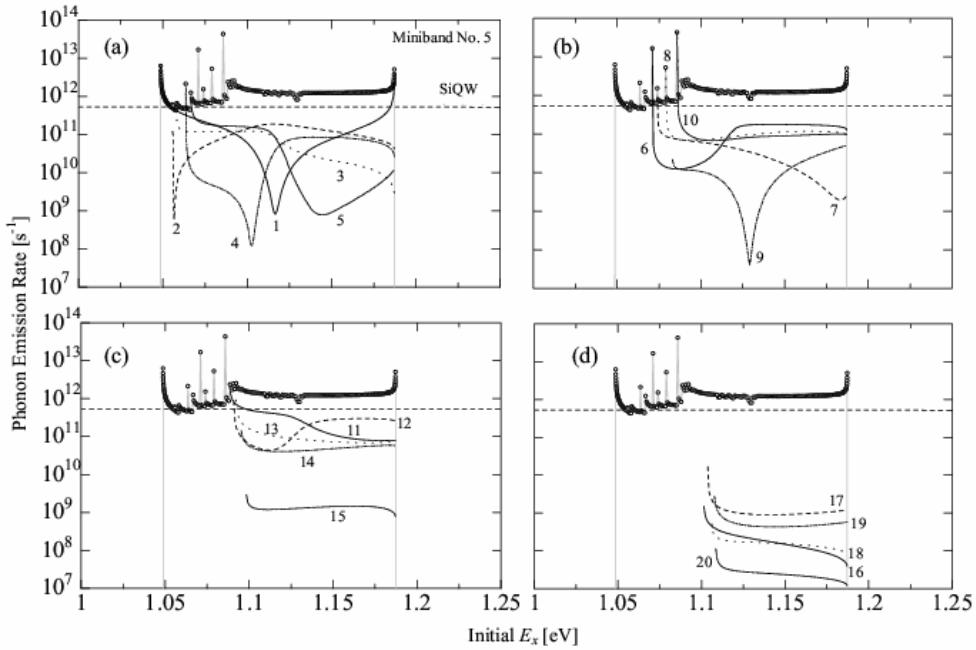


図 3.4.17 第 5 番目のミニバンドのフォノン放出レート

その他の領域では中・高エネルギーのフォノンプランチを介した散乱も発生する。図 3.4.17 (c) (d) から、フォノンプランチ#15 以降ではフォノンプランチが高エネルギーになるほど総散乱レートへの寄与は小さくなる傾向にあることがわかる。これは高エネルギー

一のフォノンであるほど Bose-Einstein 統計によって記述されるフォノン存在確率が指数関数的に減少するからであり、この傾向は低温においてより顕著に現れる。

以上の性質は 5 番目のミニバンドでのフォノン放出レートだけに限らず、他の Miniband にも当てはまる一般的なものである。

3.4.1.3-3-4：エネルギー損失レート

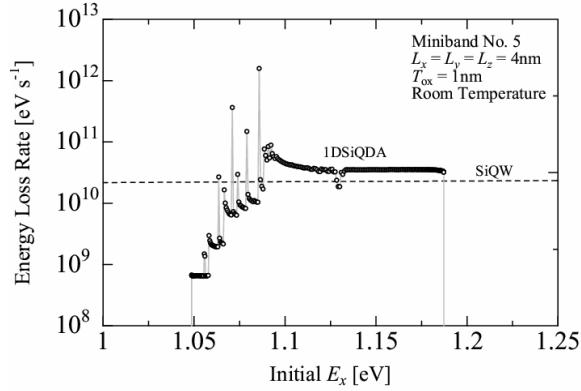


図 3.4.18 エネルギー損失レート

図 3.4.18 はエネルギー損失レートを図示したものである。エネルギー損失レートは単位時間あたりに電子がフォノン放出によってエネルギーを損失する量の期待値として次式によって定義される：

$$R_{E_{\text{loss}}} = \sum_{k'_x b_p} T(k_x \rightarrow k'_x) \hbar \omega_{-q_x} \quad (20)$$

ただし E_{ini} は電子の始状態でのエネルギーである。図中の○で表されたデータは 1DSiQDA での結果を示し、破線は SiQW での結果である。図から大半のエネルギー領域で 1DSiQDA でのエネルギー損失レートは SiQW での結果よりやや大きいが、ミニバンド下端付近では急激に減少することがわかる。これはミニバンド下端付近では高エネルギー フォノンを介した散乱が許されないため、低エネルギー フォノンを介した散乱のみが生じることに起因する。すなわち、電子のフォノン散乱レートはミニバンド内のどのエネルギーでもさほど変わりはないが、単位時間あたりのエネルギー損失レートはミニバンド下端付近において大きく抑制されるのである。

3.4.1.3-4 : 強電界下における電子状態および電子フォノン相互作用

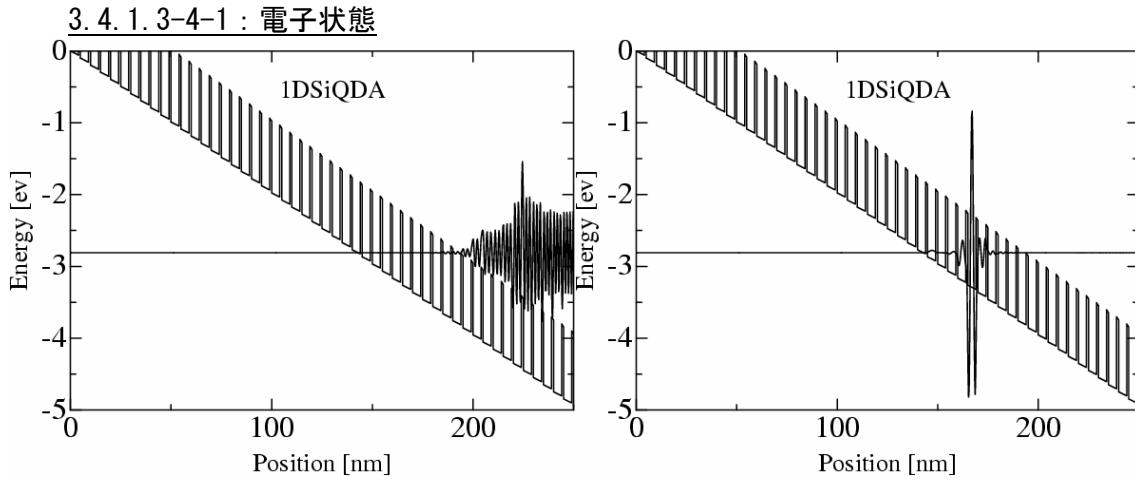


図 3.4.19 非局在化電子状態

図 3.4.20 局在化電子状態

図 3.4.19、図 3.4.20 は電界が印加された 1DSiQDA 内での電子波動関数の様子を示している。計算では簡単のため 250nm のところにポテンシャル障壁があると考えて束縛状態についての計算を行った。これは図 3.4.2 のポテンシャル形状をモデル化したものであり、右端のポテンシャル障壁は Au での伝導帯下端と真空準位との間にある仕事関数分のバンド・ディスコンティニュイティに対応する。このような束縛電子状態の多くの性質は、右端のバリアがない場合に得られる非束縛状態でも見ることができる。数学的には束縛状態のほうが取り扱いが容易であるため、このような問題設定は数学的な困難を回避しつつ一般的な議論を進めるのに有効である。このような系での電子状態は、図 3.4.20 のように Si ドット内に束縛された状態と、図 3.4.19 のように Si ドット外で広がった状態のいずれかに分類される。このような事情は 1DSiQDA に特有のものであり、SiQW では図 3.4.21 のようにいずれの電子状態も系内に広がった非局在状態となる。

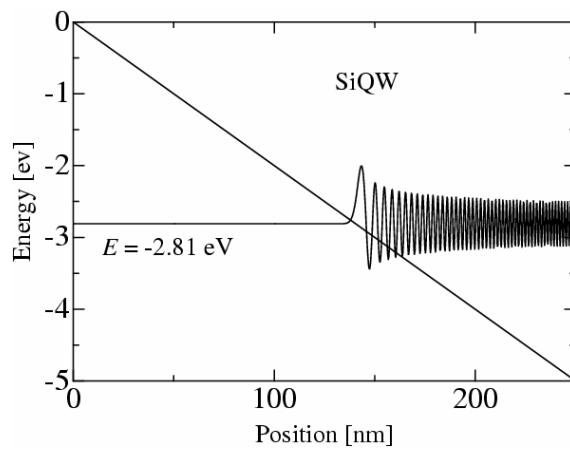


図 3.4.21 SiQW 内の電子波動関数

3.4.1.3-4-2：電子フォノン相互作用

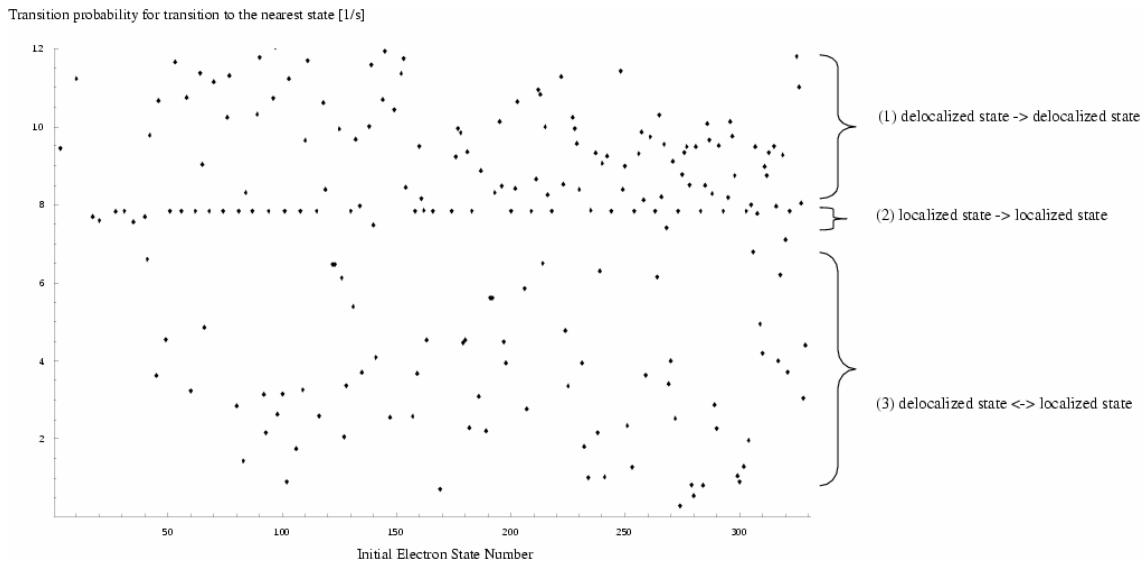


図 3.4.22 強電界下 1DSiQDA 内での電子フォノン散乱遷移確率

図 3.4.22 はある電子始状態から別の電子状態へ ADP 散乱によって遷移する確率の計算結果である。横軸は電子始状態の番号、縦軸はひとつ下の準位へ遷移する確率である。図から、2 準位間の遷移確率には非常に大きなばらつきがあることがわかるが、この各遷移について詳しく見ると、実はこれらは 3 つの異なる遷移パターンに分類されることがわかった。すなわち、

- (1) 非局在状態から非局在状態への遷移
- (2) 局在状態から局在状態への遷移
- (3) 非局在状態から局在状態への遷移、あるいはその逆

である。遷移確率は (1) の場合が最も大きく、それに続いて (2)、(3) という順番で急激に減少する。これは始状態と終状態の電子波動関数の空間的オーバーラップによって理解することができる。すなわち、遷移確率はこれらの電子波動関数の積の空間中の積分によって与えられ、始状態と終状態の空間的重なりが大きな(1)では大きな遷移確率を得るが、ほとんどオーバーラップのない (3) のような遷移確率は非常に小さい。このように、高電界下 1DSiQDA では非局在状態間での遷移のみが支配的であり、非局在状態にある電子にとって局在状態はフォノン散乱の遷移先とはならない。これは実質的に電子の散乱先の数を減らし、散乱レートの減少につながる可能性を示唆している。

謝辞

電子フォノン相互作用計算について多大なるご支援をいただいた大阪大学助教授 森伸也先生に深く感謝する。

3.4.1.4 参考文献

- [1] N. Koshida, T. Ozaki, X. Sheng, and H. Koyama, Jpn. J. Appl. Phys. 34, pp. L705-707 (1995)
- [2] K. Nisiguchi, X. Zhao, and S. Oda, J. Appl. Phys., vol. 92, p.2748, (2002)
- [3] N. Koshida, X. Sheng, and T. Komoda, Applied Surface Science, 146, pp. 371-376 (1999)
- [4] T. Komoda, X. Sheng, and N. Koshida, J. Vac. Sci. Technol. B, 17 pp. 1076-1079 (1999)
- [5] X. Sheng, A. Kojima, T. Komoda, and N. Koshida, J. Vac. Sci. Technol. B, 19 pp. 64-67 (2001)
- [6] A. Kojima and N. Koshida, Mat. Res. Soc. Symp. Proc. 638 pp. F3.3.1-3.3.6 (2001)
- [7] N. Koshida, A. Kojima, Y. Nakajima, T. Ichihara, Y. Watabe, and T. Komoda, Electro-chemical Society 201st Meeting Philadelphia #463 (2002)

- [8], A. Kojima and N. Koshida , Solid State Device & Materials Nagoya (2002)
- [9] H. Mimura, K. Miyajima, K. Yokoo, Tech. Dig. 15th Int. Vacuum Microelectronics Conf. (Lyon France, 2002) PM18.
- [10] Y. Nakajima, A. Kojima, and N. Koshida,, Appl. Phys. Lett, 81 pp.2472-2474 (2002)
- [11] C. A. Spindt, C. E. Holland, A. Rosengreen, and I. Brodie, J. Vac. Sci. Technol. B, 11 pp. 468-473 (1993)
- [12] D. Nicolaescu, J. Vac. Sci. Technol. B, 17 pp. 542-546 (1999)
- [13] J. Vac. Sci. Technol. B, 13 pp. 505-510 (1995)
- [14] S. D. Brorson, D. J. DiMaria1, M. V. Fischetti, F. L. Pesavento, P. M., Solomon, and D.W. Dong, J. Appl. Phys. 58 pp. 1302-1313 (1985)
- [15] S. T. Purcell and V. T. Binh, *Appl. Phys. Lett.*, vol. 67, no. 3, pp.436–438, 1995.
- [16] J. M. Bonard, J. P. Salvetat, T. Stöckli, L. Forró, and A. Châtelain, *Appl. Phys. A*, vol. 69, pp. 245–254, 1999.
- [17] A. G. CiteCullis17, L. T. Canham, and P. D. J. Calcott,, J. Appl. Phys. 82 pp. 909-965 (1997)
- [18] J. Vac. Sci. Technol. B, 11pp. 429-432 (1993)
- [19] J. Vac. Sci. Technol. B, 11pp. 433-436 (1993)
- [20] Phys. Rev. Lett. 30 pp. 1333-1337 (1973)
- [21]J. Appl. Phys. 57 pp. 302-309 (1985)
- [22] Morse, R. W. Morse, Journal of the Acoustical Society of America 20, 833 (1950)
- [23] H. Tanino, A. Kuprin, H. Deai and N. Koshida, Phys. Rev. B 53, 1937 (1996)
- [24] N. W. Ashcroft and N. D. Mermin, “Solid state physics”, Saunders college press
- [25] Yu, and Cardona, “Fundamentals of Semiconductors”, Springer-Verlag

3. 4. 2 ナノ結晶シリコン薄膜における粒界制御と単電子帯電効果

(日立ケンブリッジ研究所 古田善一、中里和郎、水田 博)

3. 4. 2. 1 はじめに

ネオシリコン材料の一つであるナノ結晶シリコン極薄膜では、その膜内に自然形成される数10～数ナノメータの結晶シリコン粒を帶電島に、また厚み1～3ナノメータの粒界をトンネル障壁として利用することで、単電子素子の基本要素である多重トンネル接合を容易に形成することができる。そのため、ナノ結晶シリコン薄膜は、単電子素子の研究において早い段階から有力な材料系として取り上げられ、単電子メモリとしては初の室温動作実証へと繋がった。この材料系では、結晶シリコン粒の寸法と形状を、膜厚と結晶化プロセス条件を介してある程度制御することが可能であり、現在の微細加工技術では極めて困難な数ナノメータ領域の構造を大面積で形成できる利点もある。他方、トンネル障壁となる粒界については、薄膜トランジスタ（TFT）やSRAMの研究において、素子のマクロな移動度向上の観点から、パッシベーション方法などプロセス条件の最適化が盛んに研究されてきた。しかし、個々の粒界（図3.4.23参照）のミクロな性質については、これまで研究報告が殆ど無く、トンネル障壁特性を最適化して単電子素子の特性を向上させるための明確な指針が求められていた。本研究においては、ナノ結晶シリコン薄膜上に量子ポイントコンタクトトランジスタを形成することで、極短細線チャネル内に存在する個々の粒界の性質を明らかにするとともに、粒界に対するパッシベーション条件と、素子のクーロン振動特性との関係を調べることにより、トンネル障壁としての粒界特性の向上方法を検討した。

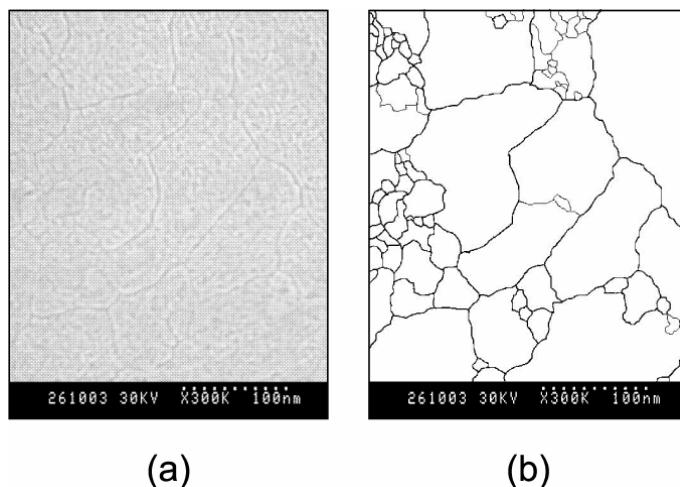


図3.4.23 (a)ナノ結晶シリコン薄膜のSEM像と(b)粒界分布の抽出図

3. 4. 2. 2 ポイントコンタクトトランジスタを用いたナノ結晶シリコン薄膜内单一粒界の評価

本研究では、薄膜多結晶シリコンの单一もしくは極少数の結晶粒界介した電子輸送を詳しく調べるために、薄膜多結晶シリコン上に粒径と同程度の大きさのポイントコンタクトを作製し、素子のサイズの違いによる電位障壁の高さを調べた。図3.4.24にポイントコンタクト素子の模式図を示す。薄膜多結晶シリコン上に粒径程度の大きさのポイ

ントコンタクト素子を作製すれば、チャネル部分に結晶粒界を含まない場合(図 3.4.24 (a))と含む場合(図 3.4.24 (b))の試料が得られる。このときポイントコンタクト素子の電流・電圧特性はそれぞれ線形もしくは非線型な特性が得られることが予想できる。この電流電圧特性の温度変化を調べることにより、結晶粒界の電位障壁を直接観測することができる。本研究で用いた多結晶シリコン膜の結晶粒の大きさは 20 nm~ 150 nm に分布しているので、ポイントコンタクト素子はチャネル幅 30 nm~ 50 nm, チャネル長 30 nm~ 50 nm で設計した。

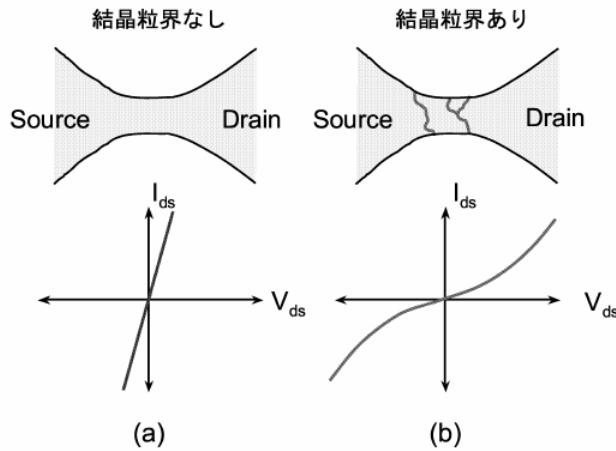


図3.4.24. ポイントコンタクト素子チャネル内粒界の概念図と予想される電流-電圧特性

実験においては、多結晶シリコン膜を堆積したウェハを準備し、このウェハ上に素子を作製した。具体的には、コンタクト電極間を電気的に分離し、電子ビームを描画するためのアライメントマークを作製した後、電子ビーム露光を用いたリソグラフィ技術と反応性イオンエッチングによりポイントコンタクト素子を作製して、さらに反応性イオンエッチングによる素子分離を経て、アルミニウム電極により測定用のコンタクトを取ることで素子を作製した。以上の工程を経て作製した素子を、HP4155B 半導体パラメータアナライザと低温プローバを用いて電気的特性を 300K から 19K まで測定した。また、プロセスシミュレータによる多結晶シリコン膜内の不純物濃度の推定を行った。一方、薄膜多結晶シリコンの結晶粒の平面断面構造を TEM と SEM で観測した。

薄膜多結晶シリコンウェハの作製手順を図 3.4.24 に示す。まず n 型(100)Si ウェハを洗浄後、熱酸化法により 40 nm のシリコン酸化膜(SiO₂) 層を成長させた(図 3.4.24(b))。その後、LPCVD(Low pressure chemical vapor deposition) 法により 50 nm の非晶質シリコン層を堆積した(図 3.4.24(c))。この非晶質シリコン層にイオン注入法により燐イオンを注入エネルギー 20 keV, ドーズ量 $3 \times 10^{14} \text{ cm}^{-2}$ で注入した(図 3.4.24(d))。イオン注入法は、従来の固体拡散源からのドライブインによる方法と比べて、ドーズ量を正確に制御でき、加速エネルギーを調整することで不純物を導入する深さを決めることができる。また、この方法は質量分析法により純度の高い不純物原子を導入できるという利点がある。イオン注入に続いて、試料を電気炉中で 850°C で 30 分間熱処理した。この処理により、シリコン酸化膜/非晶質シリコン界面から固相結晶化(SPC : Solid phase crystallisation) するため、非晶質シリコン層は多結晶シリコン層になる(図 3.4.24(e))。また、イオン注入した燐原子は電気的に活性化する。この固相結晶化工程では、高温熱処

理を用いるので、結晶成長核の密度が高く、固相成長速度が速いため、得られる多結晶シリコン膜の結晶粒のサイズは小さい。

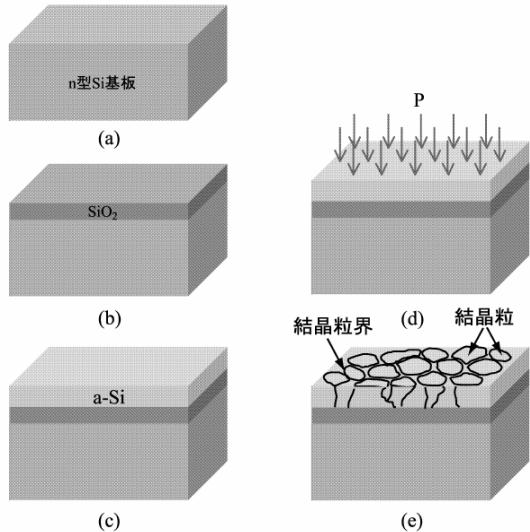


図3.4.24 ナノ結晶シリコン薄膜作製工程

続いて、高解像度電子ビーム露光装置(NANOWRITER)とRIE装置を用いてポイントコンタクトを形成した。作製した幅30 nm、長さ30 nmのポイントコンタクト素子のSEM像を図3.4.25(a), (b)に示す。

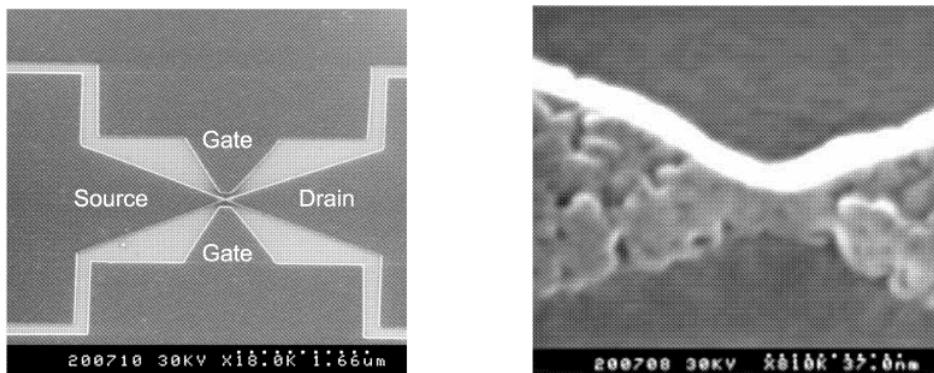


図3.4.25 作製したポイントコンタクトトランジスタのSEM：(a)像全体像、(b)チャネル部

作製したサイドゲート付きのポイントコンタクト素子は、レイアウト設計寸法の±20%前後の誤差で作製できている。また、ゲート/チャネル間は、RIEによるエッチングにより素子分離されているため、空気とSiO₂により電気的に絶縁されている。さらに、ゲート/チャネル間の距離は、設計通り約120 nmであることを確認した。実験では、幅30～50 nm、長さ30～50 nmのポイントコンタクト素子を30素子以上作製し、室温から19Kまでの素子の電気的特性の温度依存性を測定した。その結果、作製したポイントコンタクト素子は2種類、線形もしくは非線形電流・電圧特性を示す素子、に大別できることが分かった。図3.4.26(a), (b)に代表的な2つの素子のIds-Vds特性を示す。素子の寸法は幅40 nm、長さ50 nmである。これらの図からDevice Aには明確な非線形Ids-Vds特性が、Device Bには線形Ids-Vds特性が現れていることが分かる。

さらに、 $V_{ds} \approx 0$ の微小電圧領域では、Device A の抵抗は Device B の抵抗より一桁程度大きい。また、図 3.4.26(a)の素子には微小ではあるが、 $I_{ds} - V_{ds}$ 特性に非対称性が見られる。この非対称 $I_{ds} - V_{ds}$ 特性は、線型 $I_{ds} - V_{ds}$ 特性の素子には見られない。図 3.4.26(a)に示す非線型 $I_{ds} - V_{ds}$ 特性は作製したポイントコンタクト素子の約 3 分の 1 に見られた。その他の素子は線型な $I_{ds} - V_{ds}$ 特性を示していた。

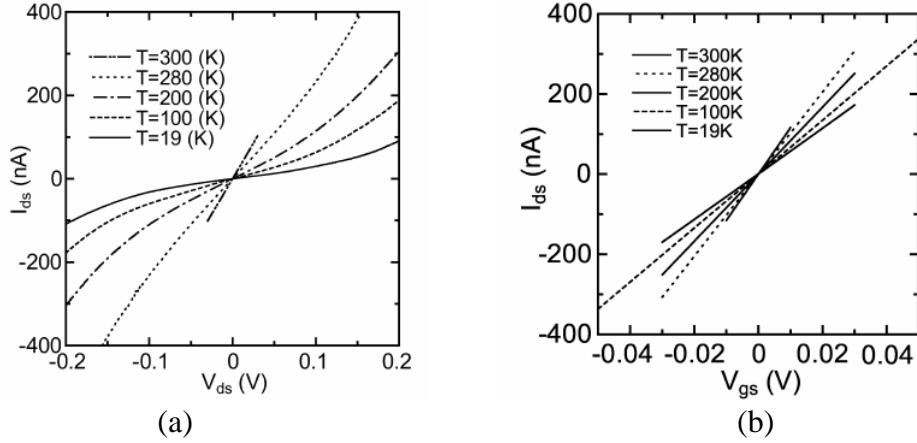


図3.4.26 ポイントコンタクト素子の電流－電圧特性：(a) 非線型特性 (Type: Device A), (b) 線型特性 (Type: Device B)

上記の $I_{ds} - V_{ds}$ 特性のメカニズムを明らかにするため、ゲートバイアスを印加した時の I_{ds} の変化を測定した。ゲートバイアスの印加時の電界効果によりドレイン電流には変調が見られたが、コンダクタンスのクーロン振動は観測されず、図 3.4.26 (左) の非線型 $I_{ds} - V_{ds}$ 特性は、クーロンブロックエイド現象によるものではなく、チャネル上に存在する結晶粒界に起因すると考えられる。結晶粒界がチャネル領域に直列に N 個配列していると仮定して、次式を $I_{ds} - V_{ds}$ 曲線にフィッティングすることで、非線型 $I_{ds} - V_{ds}$ 特性を示した素子のチャネル領域に存在する結晶粒界の数を推定した。

$$J = 2qn \left(\frac{k_B T}{2\pi m^*} \right)^{1/2} \exp \left(-\frac{qV_B}{k_B T} \right) \sinh \left(\frac{qV}{2k_B TN} \right) \quad (3.4.22)$$

チャネル幅 50 nm, チャネル長さ 50 nm のポイントコンタクト素子の場合、この解析から得られた結晶粒界の個数 N は、約 100K 前後まで $N \approx 3.5$ と一定な値を示している。他の素子についても約 100K 前後まで N は一定な値を示しており、 $N = 2 \sim 4$ であることが分かった。したがって、非線型 $I_{ds} - V_{ds}$ 特性を示した素子は、チャネル領域に 4 個以下の結晶粒界が存在し、線型 $I_{ds} - V_{ds}$ 特性を示した素子は、チャネル領域にまったく結晶粒界が存在しないか、電位障壁が非常に低い結晶粒界が含まれていると考えられる。また、約 100K 前後で急激に N の値が増加しているが、これは結晶粒界電位障壁のトンネル電流の影響である。本実験で使用したナノ結晶シリコン膜は高濃度にドーピングされており、コンダクタンスが大きい事から、これは粒界トラップ準位を介したホッピング伝導によるものではない。

多結晶シリコン膜における結晶粒界の電気特性を理解するために、作製したポイントコンタクト素子に含まれる結晶粒界の実効的な電位障壁高さを抽出した。薄膜多結晶シ

リコンの電位障壁高さ qV_B は、ポイントコンタクト素子の伝導率の温度依存性から次式を用いて抽出できる。

$$\sigma_{\text{eff}} = \frac{J}{E} = \frac{J}{V/L} = \frac{q^2 n L}{k_B T} \left(\frac{k_B T}{2\pi m^*} \right)^{1/2} \exp \left(-\frac{qV_B}{k_B T} \right) \quad (3.4.23)$$

なお、多結晶シリコン膜中の電気特性は、トンネル電流は無視でき、結晶粒界の電位障壁を電子が熱的に越えて流れる熱電子放出電流が支配的であると仮定した。結晶粒界の電位障壁高さの抽出の際には、220K 以上の抵抗率の温度依存性を用い、低温で支配的となるトンネル伝導の影響を避けた。

図 3.4.27(a)は非線型 $Id_s - V_{ds}$ 特性を示した素子の qV_B の分布を、図 3.4.27(b)は線型 $Id_s - V_{ds}$ 特性を示した素子の qV_B の分布を示している。非線型 $Id_s - V_{ds}$ 特性を示した素子の qV_B は約 30 meV から 80 meV に分散していることが分かる。一方、線型 $Id_s - V_{ds}$ 特性を示した素子の qV_B は、約 30 meV を中心に半値幅が小さいガウス分布をしている。線型 $Id_s - V_{ds}$ 特性を示した素子の qV_B が約 30 meV を中心に集中して分布しており、その分布がガウス分布をしているのは、チャネルの外側の広大なソース・ドレイン領域に存在する多数の結晶粒界のマクロな電気的特性を観測していることに起因している。一方、非線型 $Id_s - V_{ds}$ 特性を示した素子の qV_B は、チャネル領域の少数結晶粒界による実効的な電位障壁であると考えられる。

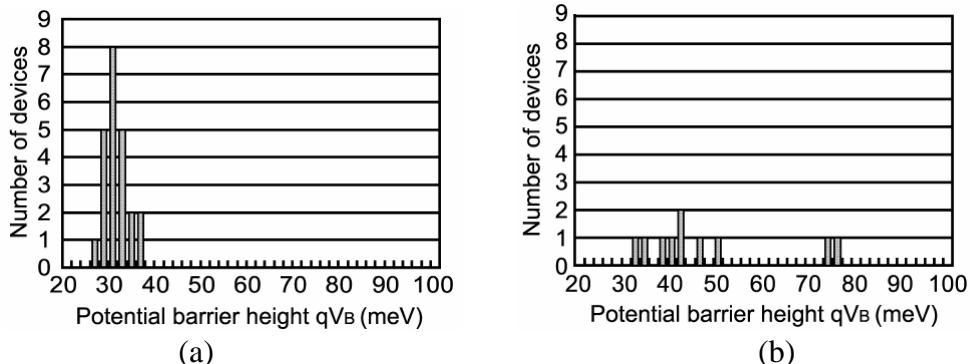


図3.4.27 (a) 線型特性を示した素子の qV_B 分布 (Type: Device A) (b) 非線型特性を示した素子の qV_B 分布 (Type: Device B)

3.4.2.3 ナノ結晶シリコン単電子トランジスタの動作温度向上に向けた粒界特性の制御

前節で述べたように、As-prepared のナノ結晶薄膜を用いて作製したポイントコンタクトトランジスタは、温度 4. 2 Kにおいてもクーロン振動を示さなかった。これは、①個々の粒界のトンネル抵抗が量子抵抗($R_Q = 25.6 \text{ k}\Omega$)程度と小さい、②隣接するナノ結晶シリコン粒間の結合容量が大きい、の 2 つに起因している。この節では、前節と同じプロセスで作製されたポイントコンタクトトランジスタに対して高温酸化処理を加えることで、粒界のトンネル障壁としての特性を変化させ、素子の電気特性がどのように変化するかを調べる。

今回の実験での素子作製プロセスフローを図 3.4.28 に示す。ナノ結晶シリコン薄膜は、前節の実験で成膜したものを用いた。結晶粒径が 20 nm ~ 150 nm であることから(図 2.19 参照), 素子のチャネル長, チャネル幅が 30 nm ~ 50 nm になるように設計・作製した。ポイントコンタクト素子作製後, まず、1000°C で 15 分間ドライ酸素雰囲気中でポイントコンタクト素子に酸化処理を施した。この酸化処理済ポイントコンタクト素子と前節で作製した酸化処理無しポイントコンタクト素子の電気的特性と構造を比較することで, 高温酸化処理の結晶粒界トンネル障壁の構造と電気的特性に与える影響を調べた。

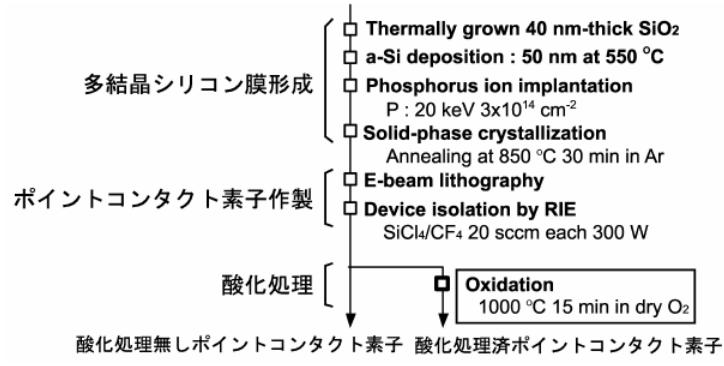


図3.4.28 ポスト高温酸化を加えた素子の作製プロセス

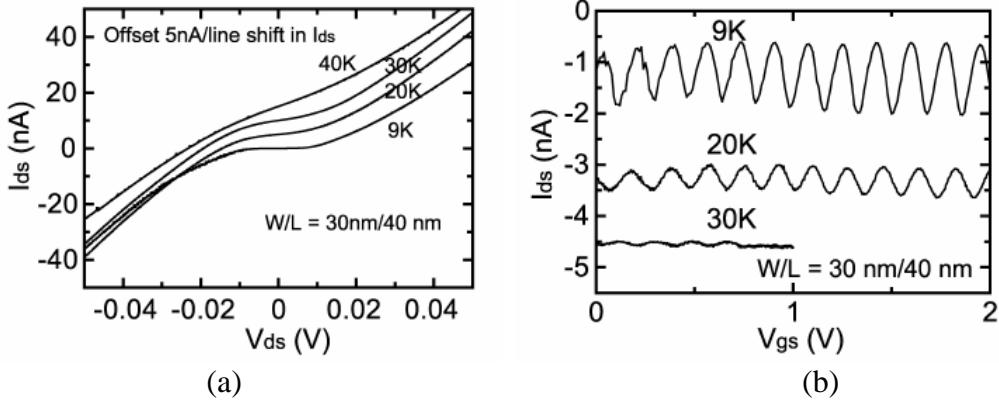


図3.4.29 (a) ポスト高温酸化処理を行った素子(チャネル幅30 nm, チャネル長40 nm)の I_{ds} - V_{ds} 特性 (b) 同素子の I_{ds} - V_{gs} 特性

高温酸化処理を施したポイントコンタクト素子では, ほとんど全てのデバイスにおいてクーロン遮蔽効果に起因するクーロンギャップとコンダクタンスのクーロン振動を観測した。チャネル幅 30nm, チャネル長 40 nm の酸化処理済ポイントコンタクト素子の 1 つの素子から得た I_{ds} - V_{ds} 特性, I_{ds} - V_{gs} 特性の温度変化を図 4.8 と図 4.9 に示す。 I_{ds} - V_{ds} 特性にクーロンギャップが, I_{gs} - V_{ds} 特性にクーロン振動が現れている。また, 温度が高くなるにつれて, 漏れ電流のためにクーロンギャップが不明瞭になり, クーロン振動の Peak-to-Valley 比(On-Off 比)が小さくなっている。酸化処理済ポイントコンタクト素子のクーロンブロッケード効果は温度 40K まで観測した。高温酸化処理した素子で観測されたクーロン振動特性の代表的な 2 つのパターンを図 3.4.30 と 3.4.31 に示す(それぞれの素子を Device A と Device B とする)。Device A のクーロン振動の周期が 0.13 V, Peak-to-Valley (P/V) 比が 1.02 であるのに対して, Device B のク

クーロン振動の周期が 12 V, P/V 比が 116 と両デバイスのクーロンブロッケード特性は大きく異なっている。この Device A と Device B のクーロンブロッケード特性を表 3.4.1 にまとめている。クーロンギャップ, トンネル抵抗, クーロン振動の P/V 比は図 4.12 に示す方法で抽出し, トンネル障壁高さはポイントコンタクト素子のコンダクタンスの温度依存性(220K ~ 300K)より熱電子放出モデルを用いて抽出した。Device A と Device B のクーロンブロッケード特性を比較すると, Device B のトンネル障壁高さとトンネル抵抗は Device A のものより高く, これらの増加がクーロンブロッケード特性の向上に貢献したといえる。これらの酸処理済ポイントコンタクト素子のクーロンブロッケード特性は, 2 つのグループに分類できるを見出した。一つは図 3.4.30 に示すクーロンギャップ V_T が 5 meV 未満の素子, もう一つは図 3.4.31 のようなクーロンギャップ V_T が 5 meV 以上の素子である。クーロンギャップ V_T が 5 meV 未満の素子は, 同じ素子寸法のデバイス間でクーロン振動の周期がほぼ同じであり, クーロン振動の P/V 比が小さい。一方, クーロンギャップ V_T が 5 meV 以上の素子は, デバイス間でクーロン振動の周期が大きく異なり, クーロン振動の P/V 比が大きいという特徴が挙げられる(表 3.4.1)。

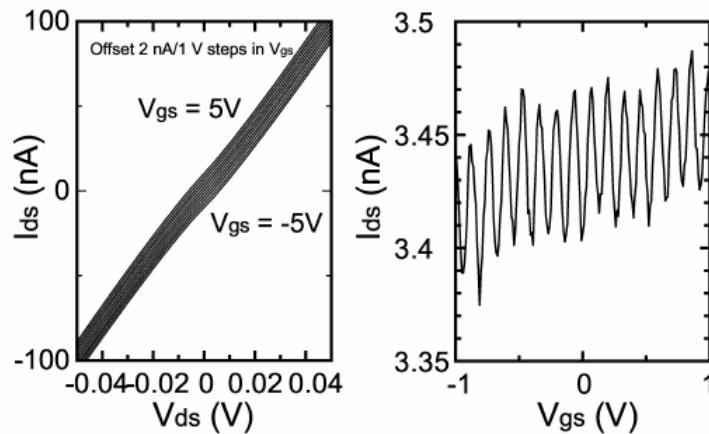


図3.4.30 ポスト高温酸化処理を行った素子(DeviceA)の特性

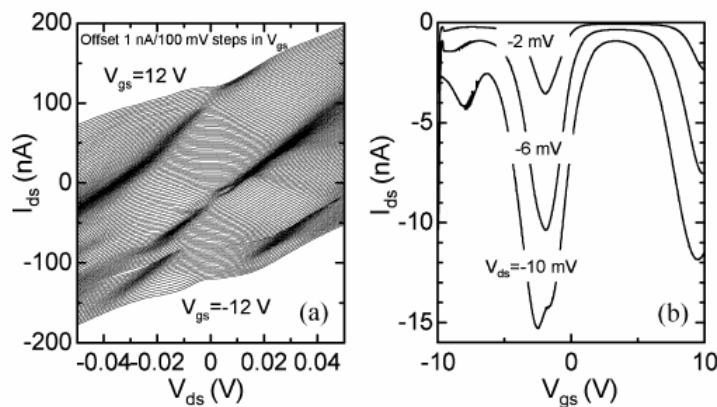


図3.4.31 ポスト高温酸化処理を行った素子(DeviceB)の特性

表3.4.1 DeviceAとDeviceBのクーロン遮蔽特性の比較

	Device A	Device B
クーロンギャップ (meV)	4.4	38
Peak-to-Valley 比	1.02	116
クーロン振動の周期 (V)	0.13	12
トンネル障壁高さ (meV)	33	87.6
トンネル抵抗 (Ω)	0.494×10^6	1.01×10^6

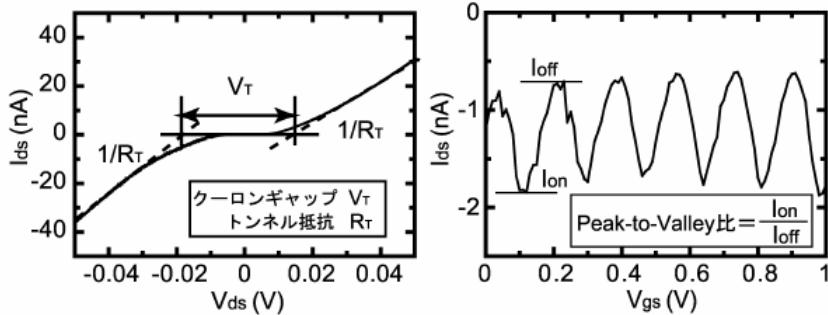


図3.4.32 クーロンブロッケード特性の抽出方法: (a) トンネル抵抗とクーロンギャップ, (b) クーロン振動のP/V比

次に、ポイントコンタクト素子を酸化処理後にクーロンブロッケード特性が観測できた要因について考察を行う。堆積直後の多結晶シリコン膜の TEM 像を図 3.4.33(a)に示す。また、1000°C, 15 分間の酸化処理後の多結晶シリコン膜の TEM 像を図 3.4.33(b)に示す。堆積直後の多結晶シリコン膜の結晶粒は柱状で、結晶粒径は約 20 nm から 100 nm に分布している。一方、酸化処理後の多結晶シリコン膜は、結晶粒径にあまり変化が見られないが、膜厚は 18 nm に減少している。酸化処理無しポイントコンタクト素子では、結晶粒と結晶粒界はそれぞれ電子島とトンネル障壁として働く。高さ 50 nm、結晶粒径 30 nm の柱状の結晶粒が電子島として動作していると仮定すると、トンネル障壁一つあたりのトンネル容量は約 80 aF となる。一方、酸化処理済ポイントコンタクト素子では、酸化処理により結晶粒の高さは 18 nm に減少する。また、素子のチャネル側壁からも酸化が進行するために、チャネル上の結晶粒は水平方向にも小さくなる(図 3.4.34)。仮にポイントコンタクト素子の側壁から 10 nm ずつ酸化されたとすると、トンネル障壁一つあたりのトンネル容量は 10 aF 程度となり、酸化処理前と比べて大きく減少する。このトンネル容量の減少はデバイスの静電エネルギーを増加させる。酸化処理無しポイントコンタクト素子と酸化処理済ポイントコンタクト素子の抵抗の温度依存性を図 3.4.35 に示す。酸化処理済ポイントコンタクト素子の抵抗は、酸化処理無しポイントコンタクト素子の抵抗より 100 倍以上増加しており、量子抵抗 R_Q より十分大きい。この静電エネルギーとトンネル抵抗の増加が酸化処理済ポイントコンタクト素子にクーロンブロッケード現象が観測できた要因である。

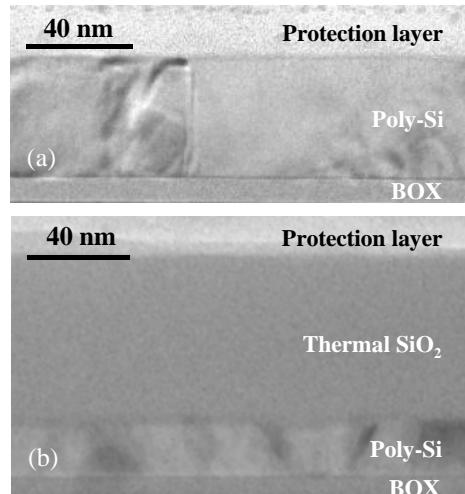


図3.4.33 (a) 堆積直後のナノ結晶シリコン薄膜のTEM像と(b)高温酸化後のTEM像

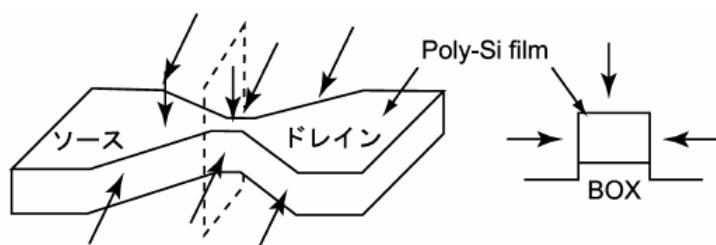


図3.4.34 ポイントコンタクト素子のチャネル酸化の進み方

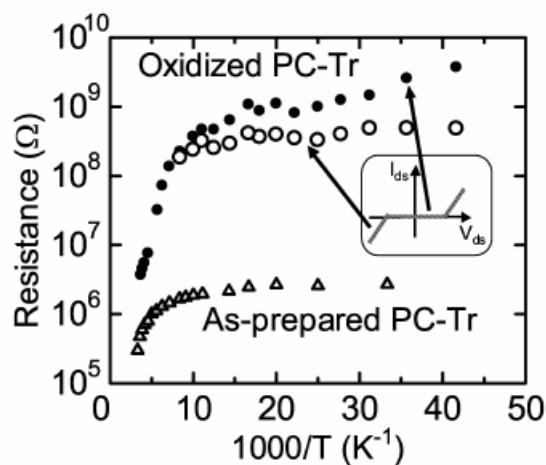


図3.4.35 高温酸化処理前と後でのポイントコンタクト素子の抵抗の温度依存性

線形電流・電圧特性もしくは非線形電流・電圧特性を示した酸化処理無しポイントコンタクト素子の電位障壁高さを図3.4.36(a)に示す。また、 $V_T < 5 \text{ meV}$ もしくは $V_T \geq 5 \text{ meV}$ の酸化処理済ポイントコンタクト素子の電位障壁高さを図3.4.36に示す。酸化処理後には、ポイントコンタクト素子の電位障壁高さが平均で約5meV増加している。また、その最大値が90meV程度であることから、酸化処理後の酸化結晶粒界はSilicon sub-oxide (SiO_x , $0 < x < 1$)である。 $V_T < 5 \text{ meV}$ の酸化処理済ポイントコンタクト素子の電位障壁高さは、 $V_T \geq 5 \text{ meV}$ の酸化処理済ポイントコンタクト素子のものよりも狭いガウス分布を示しており、この分布は線形電圧・電流特性を示した酸化処理無しポイント

コンタクト素子の電位障壁高さの分布に対応している。一方、 $V_T \geq 5$ meV の酸化処理済ポイントコンタクト素子の電位障壁高さの分布は非線形電圧・電流特性を示した酸化処理無しポイントコンタクト素子の電位障壁高さの分布に一致している。ポイントコンタクト素子の電位障壁高さはチャネル内の結晶粒界の数とその配置などの特性を反映する。このことから、前節で議論したように、 $V_T < 5$ meV の酸化処理済ポイントコンタクト素子は、チャネル領域に結晶粒界を含まない素子であると考えられる。一方、 $V_T \geq 5$ meV の酸化処理済ポイントコンタクト素子は、チャネル領域に結晶粒界を含む素子であると考えられる。

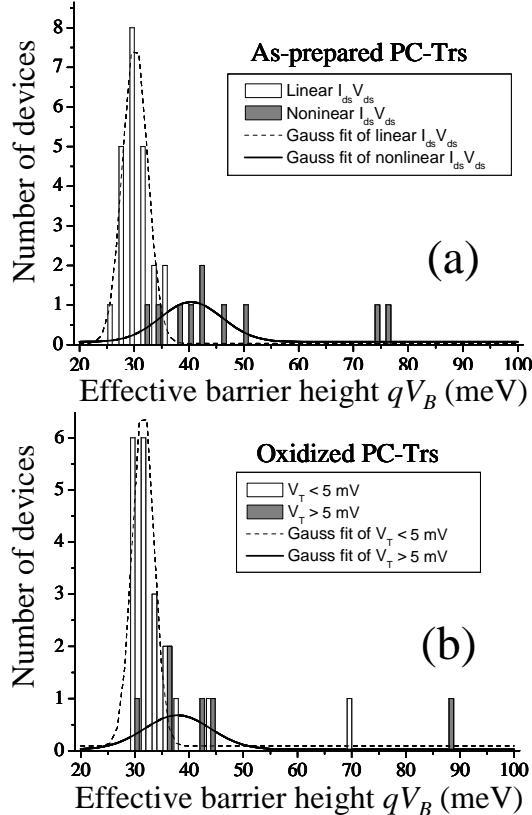


図3.4.36 高温酸化処理前(a)と後(b)でのトンネル障壁高さ分布

酸化処理後のトンネル障壁の電気的特性とその形成メカニズムの理解を深めるために、数値計算によるトンネル障壁幅の見積もりを行った。実験により抽出したトンネル障壁高さを用いて Transfer-matrix 法によりトンネル抵抗を計算し、その値とトンネル抵抗の実測値をトンネル障壁幅でフィッティングすることでトンネル障壁幅を得た。トンネル障壁の障壁高さは単純化のために一定であると仮定した。また、バイアス印加時にはトンネル障壁に一様な電界が加わっていると仮定した。その結果、 $V_T \geq 5$ meV の酸化処理済ポイントコンタクト素子のトンネル障壁幅は 3 nm ~ 4 nm であることが分かった。図 3.4.36 は堆積直後の多結晶シリコン薄膜と酸化処理後の多結晶シリコン薄膜の高解像度透過型電子顕微鏡像を示している。これらの図から、多結晶シリコン薄膜の結晶粒界は結晶粒より酸化速度が速いことが分かる。図 3.4.36 (右) に結晶粒界に沿って格子の乱れが見られている事から、結晶粒界は選択的に約 3 nm 程度酸化されており、この値は数値計算で求めた上記のトンネル障壁幅の計算値と良く一致している。このこ

とから、 $V_T \geq 5$ meV の酸化処理済ポイントコンタクト素子のトンネル障壁は、チャネル内の結晶粒界が選択酸化されて形成されたと考えられる。

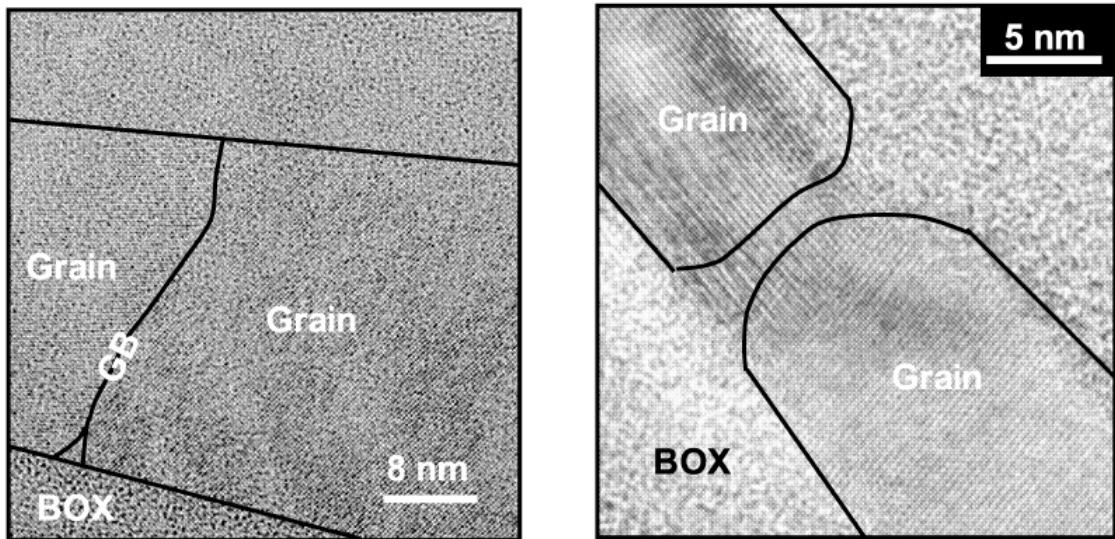


図3.4.36 高温酸化処理前(左)と後(右)での高解像度TEM像

図4.23, 4.24 は 4.2K で測定した時の酸化処理済ポイントコンタクト素子のクーロン振動の P/V 比とクーロンギャップのトンネル抵抗依存性を示している。P/V 比とクーロンギャップはトンネル抵抗の増加と共に増加する傾向が見られる。P/V 比を 100 以上、クーロンギャップを 100 meV 以上に設計する場合、トンネル抵抗は $1 M\Omega$ 以上必要であることがいえる。100 meV 程度の大きなクーロンギャップが観測できたのは、酸化処理によって厚い結晶粒界トンネル障壁が形成されてトンネル容量が減少し、トンネル抵抗が増加したことに起因している酸化温度、酸化時間、トラップの終端化処理を用いてトンネル障壁高さや厚みを正確に調節すれば、多結晶シリコン単電子トランジスタのクーロンブロッケード特性を制御することができる。

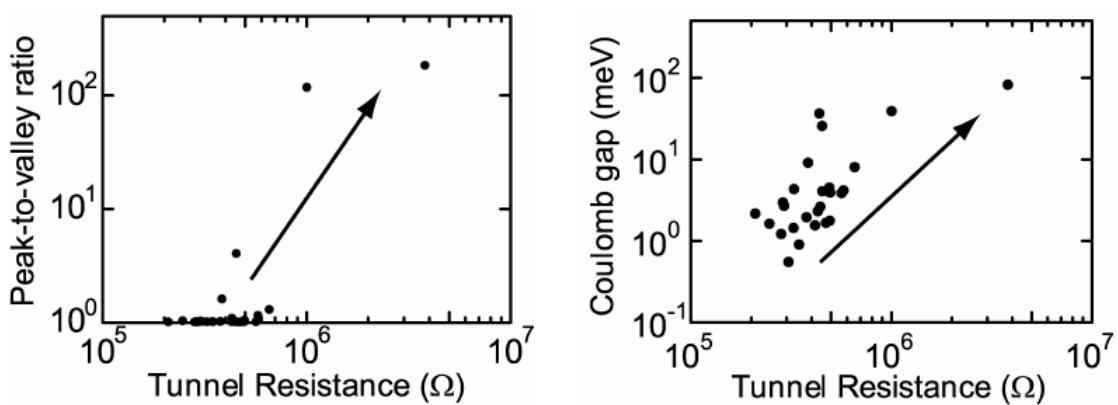


図3.4.36 P/V比(a)とクーロンギャップ(b)とトンネル抵抗の相関

以上節の議論を踏まえると、多結晶シリコン単電子素子の高温動作化、性能の向上に向けた結晶粒及び結晶粒界処理の最適化条件を以下のように導くことができる。結晶粒

のサイズ L_{grain} は、トンネル容量を減少させなければならぬため、

$$L_{\text{grain}} < 5\text{nm}$$

トンネル抵抗は、

$$R_T > 1 \text{ M}\Omega$$

を満たさなければならない。もし、結晶粒のサイズが 3 nm で、トンネル膜厚が 1 nm であるとすると、

$$qV_B > 200 \text{ meV}$$

が式(4.23) を満たすために必要な条件である。

本実験では、高温酸化処理(1000°C, 15 分間) を施したため、結晶粒界が効率良く選択酸化されず、十分な静電エネルギーが得られず、図 4.23 や図 4.24 に示したようにポイントコンタクト素子のトンネル抵抗を均一に 1 MΩ 以上にすることが困難であった。その結果、40K 以上での温度では、クーロンブロッケード効果が観測できなかった。詳細は 3. 3 節に記載するが、本プロジェクト内にて、ケンブリッジ大の神谷らは、結晶粒界を選択酸化する方法として多段階酸化法を提案している。この方法は、650°C~750°C 程度の低温酸化工程と 1000°C 程度の高温熱処理工程を組み合わせた工程を用いて、熱処理時の結晶粒の固相エピタキシャル成長を抑え、結晶粒界を選択酸化することにより障壁高さが 200meV 以上の質の良いトンネル障壁が形成できる。この多段階酸化法と PECVD 法によって堆積した極薄ナノクリスタルシリコンを用いることで、室温でのクーロンブロッケード現象の観測に成功している。

3.4.3 研究成果のまとめ、評価及び今後期待される効果

(1) ネオシリコンにおける電子輸送・電子放出の理論解析

本研究によって明らかになった知見をまとめると以下のようになる。

1. ネオシリコンからの放出電子エネルギー分布は真空・SiO₂を介した電界放出によつては説明できない。
2. 1DSiQDA ではフォノン振動によるストレインが酸化膜層に吸収されるため、ADP 散乱ポテンシャルが弱められている。
3. 低電界下 1DSiQDA では、Si ドットサイズが 6nm 程度以下であれば、ほとんどのミニバンド間でのフォノン散乱が抑制される。
4. 低電界下 1DSiQDA では、ミニバンド下端付近における電子のエネルギー損失レートが著しく低下する。
5. 高電界下 1DSiQDA では非局在状態間での遷移のみが支配的であり、このため非局在状態にある電子の散乱レートは著しく減少する可能性がある。

これらの結果はネオシリコン内での電子輸送の擬パリスティック性を決定的に証明するものとして十分であるとはいえないが、その妥当性を示唆するものとして注目に値する。特に 5 番目の予測は今後さらに散乱レート、エネルギー緩和時間などの計算を進めることで定量的に証明することができ、最終的にはそれによって得られたデータをもとに電子輸送のモンテカルロシミュレーションへつなげることが可能である。

上記の新たな発見に加え、本研究では下記のような成果が得られた。

1. ネオシリコンからの放出電子エネルギー分布の解析を系統的に行う方法論が確立された。
2. 1DSiQDA 内でのフォノン状態の近似的な記述が初めて提示された
3. 1DSiQDA 内での電子フォノン相互作用を簡潔かつ正確に近似する新しい理論フレームワーク初めて確立された。

以上の研究成果は、下記の学会・講演会・論文誌において発表された。

1. S. Uno, Z.A.K. Durrani, M. Khalafalla, K. Nakazato and H. Mizuta, "New insights in electron emission from porous silicon diodes", 2003Silicon Nanoelectronics Workshop, Kyoto (June, 2003), 8-12.
2. Shigeyasu Uno, Kazuo Nakazato, Shinya Yamaguchi, Akira Kojima, Nobuyoshi Koshida, and Hiroshi Mizuta, "New Insights in High-Energy Electron Emission and Underlying Transport Physics of Nanocrystalline Si", IEEE Trans. Nanotechnology, 2, pp. 301-307 (2003).
3. Shigeyasu Uno, "Electron Transport and Electron Emission of nanocrystalline Si" Microelectronics Research Center, Cavendish Laboratory, University of Cambridge, Cambridge, United Kingdom, October 2003.
4. Shigeyasu Uno, Nobuya Mori, Kazuo Nakazato, Nobuyoshi Koshida, and Hiroshi Mizuta, "Electron Energy Loss Behavior in Si Quantum Dots Interconnected with Tunnel Oxide Barriers", 2004 Silicon Nanoelectronics Workshop, Hawaii (June, 2004), 9-8.
5. Shigeyasu Uno, Nobuya Mori, Kazuo Nakazato, Nobuyoshi Koshida, and Hiroshi Mizuta, "Electron-phonon Interaction in Si Quantum Dots Interconnected with Thin Oxide Layers", 27th International Conference on the Physics of Semiconductors, Arizona (July, 2004), H5.046.
6. Shigeyasu Uno, Nobuya Mori, Kazuo Nakazato, Nobuyoshi Koshida, and Hiroshi Mizuta, "Significant Reduction of Phonon Scattering Potential in 1D Si Quantum Dot Array Interconnected with Thin Oxide Layers", 2004 International Conference on Solid State

- Devices and Materials (SSDM 2004), Tokyo, Japan (September 2004),
7. H. Mizuta, M. Khalafalla, Z. A. K. Durrani, S. Uno, N. Koshida, Y. Tsuchiya, and S. Oda, "Electron Transport Properties and Device Applications of Nanocrystalline Silicon Quantum Dots", 206th Meeting of Electrochemical Society, Hawaii (October, 2004),
 8. H. Mizuta, M. Khalafalla, Z. A. K. Durrani, S. Uno, N. Koshida, Y. Tsuchiya, and S. Oda, "Bottom-up Silicon Nanoelectronics (Invited Paper)", IEEE The 7th International Conference on Solid-State and Integrated-Circuit Technology, Beijing (October, 2004)

このように、本研究はネオシリコンからの電子放出およびネオシリコン内での電子輸送に関する基礎的な理解の拡大・深化をもたらし、今後より定量的な理論構築のための基礎となる理論体系および計算手法を確立した点において重要な貢献を果したものと考える。

(2) ナノ結晶シリコン薄膜における粒界制御と単電子帯電効果

本研究では、シリコン粒のサイズが数10～数ナノメータのナノ結晶シリコン薄膜における微小シリコン粒と粒界特性の解明・制御に成功した。チャネル長がシリコン粒サイズと同程度に短い量子ポイントコンタクトトランジスタ構造を提案・試作し、1本の粒界が素子特性に与える影響を直接観測するとともに、酸化、熱水蒸気処理等のパッセンジレーション処理を変えることにより、粒界のバリア高さを30～200meVの範囲で制御できる可能性を示した。また、長時間低温酸化と高温アニールを組み合わせた多段階酸化処理により、粒界をSiO_x化することで、高温動作単電子素子に最適なトンネルバリアを形成できることを見出した。

粒界特性の実験的評価としては、ここ数年でスタンフォード大から粒径数100nmの膜に関する検討が報告され、またコーネル大からシミュレーションによる解析が報告されているが、量子効果やクーロン遮蔽効果が顕著になる数10nm以下の領域の膜を実験的に直接評価した報告はこれまでに皆無である。本成果は2002年9月の多結晶半導体国際会議や2003年2月のANM-1(International Conference on Advanced Materials and Nanotechnologies)会議への招待講演を受けるなど、ナノエレクトロニクスの分野だけでなく、ポリシリコン薄膜に対する「グレインバウンダリエンジニアリング技術」としてTFT研究・開発分野からも注目を受けており、基礎科学と産業応用の両面でインパクトの高い研究と考えられる。

以上の研究成果は、下記の学会・講演会・論文誌において発表された。

1. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed and K. Taniguchi, "Carrier transport across few grain boundaries in highly doped polycrystalline silicon", Jpn. J. Appl. Phys. **40**, pp. L615-L617, 2001.
2. Y. Furuta, H. Mizuta, K. Nakazato, T. Kamiya, Y. T. Tan, Z. A. K. Durrani and K. Taniguchi, "Characterisation of tunnel barriers in polycrystalline silicon point-contact single-electron transistors", Jpn. J. Appl. Phys. **41**, pp. 2675-2678, 2002.
3. P. Walker, H. Mizuta, S. Uno, Y. Furuta and D. Hasko, "Improved off-current and subthreshold slope in aggressively scaled poly-Si TFTs with a single grain boundary in the channel", IEEE Trans. Electron Device **ED-51**, pp. 212-218, 2004.
4. T. Kamiya, Z.A.K. Durrani, H. Ahmed, T. Sameshima, Y. Furuta, H. Mizuta and N. Lloyd, "Reduction of grain-boundary potential barrier height in polycrystalline silicon with hot H₂O vapor annealing probed using point-contact devices", J. Vac. Sci. Technol. B **21**, pp. 1000-1003, 2003.
5. H. Mizuta, Y. Furuta, T. Kamiya, Y. T. Tan, Z. A. K. Durrani, K. Nakazato and H. Ahmed,

- “Single-electron charging phenomena in nano/polycrystalline silicon point-contact transistors (**Invited Paper**)”, *Polycrystalline Semiconductors VII – Bulk Materials, Thin Films, and Devices*, T. Sameshima, T. Fuyuki, H.P. Strunk, J.H. Werner eds., in Series ‘Solid State Phenomena’, Scitech Publ., Uettikon am See, Switzerland, pp. 419 – 429 2003.
6. H. Mizuta, Y. Furuta, T. Kamiya, Y.T. Tan, Z.A.K. Durrani, S. Amakawa, K. Nakazato and H. Ahmed, “Nanosilicon for single-electron devices (**Invited paper**)”, Current Applied Physics **4**, pp. 98-101, 2004.
 7. T. Kamiya, Y. Furuta, Y. -T. Tan, Z. A. K. Durrani, H. Mizuta and H. Ahmed, “Effects of oxidation and annealing temperature on grain boundary properties in polycrystalline silicon probed using nanometer-scale point-contact devices”, *Polycrystalline Semiconductors VII – Bulk Materials, Thin Films, and Devices*, T. Sameshima, T. Fuyuki, H.P. Strunk, J.H. Werner eds., in Series ‘Solid State Phenomena’, Scitech Publ., Uettikon am See, Switzerland, pp. 351 –354, 2003
 8. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed and K. Taniguchi, “Carrier transport across a few grain boundaries in polycrystalline silicon”, Condensed Matter and Materials Physics 2000, Bristol, December 2000.
 9. T. Kamiya, Y. T. Tan, Y. Furuta, H. Mizuta, Z. A. K. Durrani and H. Ahmed, “Carrier transport in ultra-thin nano/polycrystalline silicon films and nanowires”, 2001 Spring Meeting of Materials Research Society, Vol. 664, pp. A16.2.1-A16.2.6, April 2001.
 10. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z. A. K. Durrani and K. Taniguchi, “Electron transport via a few grain boundaries in heavily doped polycrystalline-silicon point contact devices”, 2001 Silicon Nanoelectronics Workshop, pp. 44, Kyoto, June 2001.
 11. Z. A. K. Durrani, T. Kamiya, Y. T. Tan, H. Mizuta, Y. Furuta and H. Ahmed, “Nanocrystalline silicon point-contact single-electron transistor”, 2001 Silicon Nanoelectronics Workshop, pp. 38, Kyoto, June 2001.
 12. H. Mizuta, Y. Furuta, G. Evans, K. Nakazato, T. Kamiya, Y. T. Tan, Z. A. K. Durrani and H. Ahmed, “Local disorder effects on electron transport in silicon nanostructures (**Invited Talk**)”, TRENDS IN NANOTECHNOLOGY 2001, Segovia, September 2001.
 13. Y. Furuta, H. Mizuta, K. Nakazato, T. Kamiya, Y. T. Tan, Z. A. K. Durrani and K. Taniguchi, “Characterization of tunnel-barriers in polycrystalline Si point-contact single-electron transistors”, 2001 International Conference on Solid State Devices and Materials, Tokyo, September 2001.
 14. H. Mizuta, Y. Furuta, T. Kamiya, Y. T. Tan, Z. A. K. Durrani, K. Nakazato and H. Ahmed, “Single-electron charging phenomena in nano/polycrystalline silicon point-contact transistors (**Invited Talk**)”, The International Conference of Polycrystalline Semiconductors 2002, pp. 12, Nara, September 2002.
 15. Y. Furuta, H. Mizuta, T. Kamiya, Y. T. Tan, K. Nakazato, Z. A. K. Durrani and K. Taniguchi, “Tunnel barrier properties in polycrystalline-Si single-electron transistors”, 32th European Solid-State Device Research Conference, pp. 399-402, Firenze, September 2002.
 16. T. Kamiya, Y. Furuta, Y. -T. Tan, Z. A. K. Durrani, H. Mizuta and H. Ahmed, “Effects of oxidation and annealing temperature on grain boundary properties in polycrystalline silicon probed using nanometer-scale point-contact devices”, The International Conference of Polycrystalline Semiconductors 2002, p. 11, Nara, September 2002.
 17. H. Mizuta, Y. Furuta, T. Kamiya, Y. T. Tan, Z. A. K. Durrani, K. Nakazato and H. Ahmed “Nanosilicon for single-electron devices (**Plenary Talk**)”, International Conference on Advanced Materials and Nanotechnologies, p. Tu3-1, Wellington, February 2003.

また、本研究で開発された粒界制御技術を日立製作所から特許出願した。

1. “Correlated charge transfer device and a method of fabricating a correlated charge transfer device”, T. Kamiya, Z.A.K. Durrani, Y.-T. Tan, H. Ahmed, H. Mizuta and Y. Furuta, EP01300880 (filed 31 May 2001).

3. 5 発光・電子放出検討グループ（東京農工大学）

（東京農工大学・越田信義）

3. 5. 1 ねらい

ナノ結晶シリコンで現れる多様な量子的機能のうち、室温可視域発光と弾道性冷電子放出の2点に焦点を当て、それぞれの発現機構究明と基本特性の向上を図り、さらに素子化技術の基盤を固める。

3. 5. 2 研究実施方法・体制

東京農工大学工学部電子情報工学科越田研究室において、結晶シリコンおよび多結晶シリコン薄膜の陽極酸化処理により作製したナノ結晶ポーラスシリコンを基盤材料とし、可視発光および弾道性冷電子放出について、特性向上の検討、動作機構の解析、さらに素子の試作と特性評価を行った。

3. 5. 3 成果の概要[1-3]

シリコン発光素子の高効率化については酸化処理の適正化によるリーク電流低減と動作安定化については、素子の表面を SiO_2 膜でキャップする方法とナノ結晶シリコン自身の表面水素終端を共有結合で置き換える方法につき、赤色ELにおいてそれぞれ別個に有効性を確認した。シリコン発光素子のマルチカラー化については、熱酸化を行わず、ナノ結晶シリコンのサイズ制御のみでPLでは赤・緑・青色発光を得ることができた。しかし、短波長するほどナノ結晶シリコン表面が活性になることから、ELについては緑色帯の観測にとどまり、効率もまだ低い。表面終端技術が、短波長域ではますます重要となる。

弾道性冷電子放出の機構究明と高効率化を検討し、実験的・理論的に、ナノ結晶シリコン間の多重トンネルによって電子が弾道化し真空に放出されるというモデルを裏付けるデータを蓄積でき、電子放出効率や動作寿命も改善された。

弾道性冷電子放出素子の大面積化については、石英ガラス基板での結果をふまえ、TFT用ガラス基板上に電子放出素子アレイを構成する低温プロセス技術を開発した。また、真空中封止や真空維持などについても基礎技術を固めた。さらに、プラズマディスプレイ用ガラス基板を用いたプロトタイプの対角 2.6 インチ 168×126 画素さらには 7.6 インチ 336×252 画素のフルカラー薄型平面ディスプレイを試作し、単純マトリクス方式による動画表示を確認した。

また、蛍光体として有機および無機の薄膜をナノ結晶シリコン層に堆積した弾道電子励起形の全固体発光素子を開発し、面発光動作を確認した。弾道電子発生の利用は真空だけでなく、固体素子への展開を可能とすることから、大きな可能性をもつ成果といえる。

3. 5. 4 当該分野における位置づけと産業技術上のインパクト

シリコン発光素子については、当グループが初めて開発に成功して以来、発光効率および動作寿命についてはトップデータを更新している。また、緑・青色EL素子については、内外で研究されているが、発光波長の連続制御や集積化に成功した報告例はまだ

ない。弾道電子放出に関しては、1995 年に当グループが最初に報告して以来、常に新規の論文発表を続けており、基礎、応用の両面で先駆的な位置を保っている。

シリコン発光素子はシリコンテクノロジーの革新につながり、また弾道性冷電子放出源は、低消費電力・高解像度・高速応答を満たす自発光平面ディスプレイなどへ応用展開が可能であり、ともに産業上のインパクトは大きい。

3. 5. 5 研究項目ごとの成果

3. 5. 5. 1 シリコン発光素子の高効率化と動作安定化

本研究の初期に見いだした E L 発光効率の改善方法[4,5]を発展させ、動作の長期安定化を検討した。そのさい、E L 特性劣化の主因がナノ結晶シリコン発光層の電流誘起酸化にあると考え、素子の表面を半透明 SiO_2 膜でキャップする方法[6,7]とナノ結晶シリコン自身の表面終端を制御する方法[8]の二つについて、実験的に効果を調べた。その結果、赤色 E L においてそれぞれ有効性を確認した。特にナノ結晶シリコン自身の表面水素終端 (Si-H) を共有結合性の Si-C や Si-O で置き換える方法により(図 3.5.1)、E L の dc 連続動作の寿命を数 1000h まで向上することができた(図 3.5.2)。これは今後の方向に重要な示唆を与える。これを基に、発光効率を低下せずに実用レベルの長期安定性を得る方法をさらに検討していく。

3. 5. 5. 2 シリコン発光素子のマルチカラー化・機能化と集積化

先に報告した P L 発光波長のチューニング技術を E L 素子作製に適用し、同程度の発光効率を有する赤・緑・青の E L 素子実現を試みた。熱酸化なしにナノ結晶シリコンのサイズ制御のみで赤・緑・青色 P L 発光を得ることができたが、短波長するほどナノ結晶シリコン表面が活性になることから、高効率で安定な緑・青色 E L を実現するには、より完全な表面終端技術が必要となる。また発光性メモリ[9]や導波路[10-11]、非線形光学素子[12] の基本動作を確認し、E L 素子と導波路を同一チップ上に集積化するプロセス技術[13]を検討した。

3. 5. 5. 3 弹道性冷電子放出の機構究明と高効率化

放出電子のエネルギー分布とその温度依存性[14,15](図 3.5.3)、飛行時間法による電子ドリフト過程の解析[16,18] (図 3.5.4)、モンテカルロ法による電子輸送シミュレーション[19]、1 次元ナノドットアレイにおけるフォノン散乱の理論解析[20]などにより、ナノ結晶シリコン層において電子が多重トンネルによってホット化さらには弾道化するというモデル(図 3.5.5)を裏付けることができた。それに基づいてナノ結晶シリコン層のナノ構造制御を行い弾道電子放出の効率と安定性を向上する上でカギとなる要素技術を固め [21-23]、実用化の見通しを得た。

3. 5. 5. 4 弹道性冷電子放出素子の大面積化

ガラス基板上に堆積した多結晶シリコン膜に陽極酸化処理を施してナノ結晶化した層を電子ドリフト層として用いる電子放出素子のプロセス技術を検討した。そのさい、

ガラス基板の場合にカギとなる低温プロセスを重点的に開発した[24]。

3.5.5.5 弹道性冷電子エミッタによる平面ディスプレイの開発

前項の研究と並行して、この電子エミッタを励起源とした真空封止形の平面ディスプレイの作製に関するプロセスフローを検討した。また画素形成、駆動方式などの概念設計に基づいて特性の予測を行い、素子を試作した。石英ガラス基板での結果をふまえ、TFT用ガラス基板、さらにはプラズマディスプレイ用ガラス上に電子放出素子アレイを構成する低温プロセス技術を開発した。また、真空封止や真空維持などについても基礎技術を固めた。

これらをふまえプラズマディスプレイ用ガラス基板を用いたプロトタイプの対角 2.6 インチ 168×126 画素さらには 7.6 インチ 336×252 画素のフルカラー薄型平面ディスプレイを試作し、単純マトリクス方式による動画表示を確認した[25-27] (図 3.5.6, 3.5.7)。この方式の特長は、低消費電力・高解像度・高速応答・低コストを満たすところにあり、新しい自発光平面ディスプレイの一つとして発展が期待できる。

3.5.5.6 弹道電子励起による新しい固体面発光素子の開発

ナノ結晶シリコン層における弾道電子生成を発展させ、弾道電子を真空に放出させることなく蛍光体薄膜を直接励起する方式の全固体面発光素子を考案し、じっさいに素子の作製を行った。そのさい、ナノ結晶シリコン層上に積層する蛍光体薄膜として発光波長の異なる有機または無機の薄膜を用い、その上に透明電極を蒸着またはスパッタで形成しトップコンタクトとした。素子の動作特性評価により、赤・緑・青の可視域全体をカバーした固体面発光を観測し、予測した高速応答性を確認した[28-30] (図 3.5.8, 図 3.5.9)。これは新しい超薄型で高機能の集積形発光素子として発展する可能性を有し、前項の平面ディスプレイの発展形態を示唆するもので、技術的意義はきわめて大きい。

3.5.6 今後の研究の方向と見通し

EL発光素子については、動作寿命のさらなる向上とマルチカラー化を引き続き追求していく。前者については表面完全終端による赤色において 10^5 h 以上のdc連続動作、後者ではナノドットサイズへの効率的キャリア注入による緑・青色ELの高効率化を目指す。赤色ELの動作寿命向上と並行して、PLでは確認済みの緑・青色帯がELでも可能になると思われる。

弾道性冷電子放出については、弾道電子の生成機構を詳細に解析し、ナノ結晶系に特有な多重トンネル伝導モデルをさらに実証したい。また弾道電子の特長を生かして、平面ディスプレイや面電子源を中心に応用研究をさらに発展させていく。さらに、真空形素子を先行させつつ、その基本的知見をフィードバックして全固体形面発光素子の開発を急ぐ。

ナノ結晶シリコン素子の特長と技術的有効性はこれまでの基礎および応用の両面にわたる研究の過程で実証されつつあり、今後の発展には十分の見通しがある。

参考文献

1. N. Koshida and N. Matsumoto, Fabrication and quantum properties of nanostructured silicon, Materials Science and Engineering R **40**, 169-205 (2003).
2. N. Koshida, B. Gelloz, A. Kojima, T. Migita, Y. Nakajima, T. Ichihara, Y. Watabe, and T. Komoda, Photon, electron and ultrasonic emission from nanocrystalline porous silicon devices (Invited), Mater. Res. Soc. Symp. Vol. **737**, 801-812 (2003).
3. N. Koshida, Multifunctional properties of nanocrystalline porous silicon as a quantum-confined material (Invited), Mater. Sci. & Eng. C **724**, 285-289, 2002
4. B. Gelloz and N. Koshida, Electroluminescence with high and stable quantum efficiency and low threshold voltage from anodically oxidized thin porous silicon diode, J. Appl. Phys. **87**, 4319-4324 (2000).
5. B. Gelloz et al, Electroluminescence of nanocrystalline porous silicon devices, Chap. 5 in Handbook of Luminescence, Display Materials, and Devices Vol. **3**, Ed. H.S. Nalwa and L.S. Rohwer (American Sci. Publ., 2003) pp.127-156.
6. B. Gelloz and N. Koshida, Effects of amorphous carbon films on the performance of porous silicon electroluminescence, Mater. Res. Soc. Symp. Vol. **737**, 581-586 (2003).
7. N. Koshida, J. Kadokura, M. Takahashi, and K. Imai, Stabilization of porous silicon electroluminescence by surface capping with silicon dioxide films, Materials Res. Soc. Symp. Proc. **638**, F.18.3.1-F.18.3.6, 2001
8. B. Gelloz, H. Sano, R. Boukherroub, D.D.M. Wayner, D.J. Lockwood, and N. Koshida, Stabilization of porous silicon electroluminescence by surface passivation with controlled covalent bonds, Appl. Phys. Lett. **83**, 2342-2344 (2003).
9. B. Ueno and N. Koshida, Optical accessibility of light-emissive nanosilicon memory, Physica Status Solidi A Appl. Res. Vol. **182**, 579-584 (2000).
10. M. Takahashi, Y.Toriumi, and N. Koshida, Current-Induced optical effect in porous silicon Fabry-Perot resonators, Physica Status Solidi A Appl. Res. Vol. **182**, 567-572 (2000).
11. M.Takahashi, Y.Toriumi, T. Matsumoto, Y.Masumoto, and N.Koshida, Significant photoinduced refractive index change observed in porous silicon Fabry-Perot resonators, Appl. Phys. Phys. **76**, 1990-1992 (2000).
12. Y. Toriumi, M. Takahashi, and N. Koshida, A significant change in refractive index of nanocrystalline porous silicon induced by carrier injection, Materials Res. Soc. Symp. Proc. **638**, F.8.3.1-F.8.3.6, 2001
13. L.Ling, B. Gelloz, and N. Koshida, Monolithic integration of silicon light-emitting device and optical waveguide, ECS Int. Semiconductor Technology Conference, Tokyo, Sept. 2002.
14. X. Sheng, A. Kojima, T. Komoda and N. Koshida, Efficient and ballistic cold electron emission from porous polycrystalline silicon diodes with a porosity multilayer structure, J. Vac. Sci. Technol. B **19**, 64-67 (2001).
15. T. Komoda, T. Ichihara, Y. Honda, K. Aizawa, and N. Koshida, Ballistic electron surface-emitting cold cathode by porous polycrystalline silicon film formed on glass substrare (Invited), Materials Res. Soc. Symp. Proc. **638**, F.4.1.1-F.4.1.12, 2001
16. A. Kojima, X. Sheng, and N. Koshida, Analyses of ballistic electron transport in nanocrystalline porous silicon, Materials Res. Soc. Symp. Proc. **638**, F.3.3.1-F.3.3.6, 2001
17. A. Kojima and N. Koshida, Evidence of enlarged drift length in nanocrystalline porous silicon layers by time-of-flight measurements, Jpn. J. Appl. Phys. **40**, 366-368, 2001.
18. A. Kojima and N. Koshida, An analysis of electron transport in surface-passivated nanocrystalline porous silicon, Jpn. J. Appl. Phys. **42**, 2395-2398 (2003).
19. A. Kojima and N. Koshida, A Monte-Carlo simulation of ballistic transport in nanocrystalline silicon diode, phys. stat. sol. (a) **197**, 452-457 (2003).
20. S. Uno, K. Nakazato, S. Yamaguchi, A. Kojima, N. Koshida, and H. Mizuta, New insights in high-energy electron emission and underlying transport physics of nanocrystalline Si", IEEE Trans. Nanotechnology **2**(4), 301-307 (2003).
21. 2. T. Ichihara1, Y. Honda1, T. Baba1, T. Komoda1, and N. Koshida: Annealing effects on the operation stability of ballistic electron emission from electrochemically oxidized nanocrystalline silicon diodes, J. Vac. Sci. Technol. B **23** (2004) (In press).
22. T. Ichihara, T. Baba, T. Komoda and N. Koshida, Correlation between nanostructure and electron emission characteristics of a ballistic electron surface-emitting device, J. Vac. Sci.

- Technol. B **22**, 1372- 1376 (2004).
23. T. Ichihara, T. Hatai, K. Aizawa and T. Komoda. A. Kojima and N. Koshida, Key role of nanocrystalline feature in porous polycrystalline silicon diodes for efficient ballistic electron emission, J. Vac. Sci. & Technol. B **24**, 57-59 (2003).
 24. T. Ichihara, Y. Honda, K. Aizawa, T. Komoda, and N. Koshida, Development of ballistic electron cold cathode by a low temperature processing of polycrystalline silicon films, J. Cryst. Growth **237-239**, 1915–1919 (2002).
 25. T. Komoda, Y. Honda, T. Ichihara, T. Hatai, Y. Watabe, K. Aizawa, and N. Koshida, Fabrication of a 7.6-in.-diagonal prototype ballistic electron surface-emitting display on a glass substrate, J. of Soc. for Information Display **12**, 29-35 (2004).
 26. T. Komoda, Y. Honda, T. Ichihara, T. Hatai, Y. Watabe, K. Aizawa, and N. Koshida, Demonstration of a possibility for a large panel BSD (Ballistic Electron Surface-Emitting Display) by fabricating 7.6 inches diagonal prototype model, Society for Information Display 2003 Int. Symp., Digest of Technical Papers Vol. **34**, 910-913 (SID, San Jose, 2003).
 27. T. Komoda, Y. Honda, T. Ichihara, T. Hatai, Y. Takegawa, Y. Watabe, and K. Aizawa, Development of a Low Temperature Process of Ballistic Electron Surface-Emitting Display (BSD) on a Glass Substrate, Society for Information Display 2002 Int. Symp. Digest of Technical Papers **33**, No.2 (SID, San Jose, 2002) pp.1128-1131.
 28. T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa, and N. Koshida, Fabrication of ballistic electron surface-emitting display on glass substrates (Invited), Soc. Information Display, Digest of Tech. Papers **32**, 188-191, 2001.
 29. T. Ichihara, T. Komoda, Y. Honda, Y. Watabe, T. Hatai, T. Baba K. Aizawa, and N. Koshida, Improved characteristics of ballistic electron surface-emitting display device (BSD) fabricated on a quartz glass substrate, Proc. 2001 Int. Display Workshop, 1193-1196, 2001
 30. T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa, Y. Kondo and N. Koshida, Matrix flat-panel application of ballistic electron surface-emitting display, Society of Information Display Int. Symp., Digest of Technical Papers Vol. **31**, Long Beach, 2000 (SID, San Jose, 2000) pp. 428-431.
 31. Y. Nakajima, A. Kojima, and N. Koshida, Generation of ballistic electrons in nanocrystalline porous silicon layers and its application to a solid-state planar luminescent device, Appl. Phys. Lett. **81**, 2472-2474 (2002).
 32. Y. Nakajima, A. Kojima, and N. Koshida, A novel solid-state light-emitting device based on ballistic electrons excitation, Materials Res. Soc. Symp. Proc. **638**, F.4.2.1-F.4.2.6, 2001.
 33. Y. Nakajima, A. Kojima, and N. Koshida, A solid-state light-emitting device based on excitation of ballistic electrons generated in nanocrystalline porous poly-silicon films, Jpn. J. Appl. Phys. **41**, 2707-2709 (2002).
 34. Y. Nakajima, H. Toyama, T. Uchida, A. Kojima, and N. Koshida, Characteristics of light emission by ballistic electron excitation in nanocrystalline silicon device formed on a p-type substrate, Jpn. J. Appl. Phys. **42**, 2412-2414 (2003).
 35. Y. Nakajima, H. Toyama, A. Kojima, and N. Koshida, A solid-state light-emitting device based on ballistic electron excitation using an inorganic material as a fluorescent film, phys. stat. sol. (a) **197**, 316-320 (2003).

Modification of Termination of nc-Si Surfaces

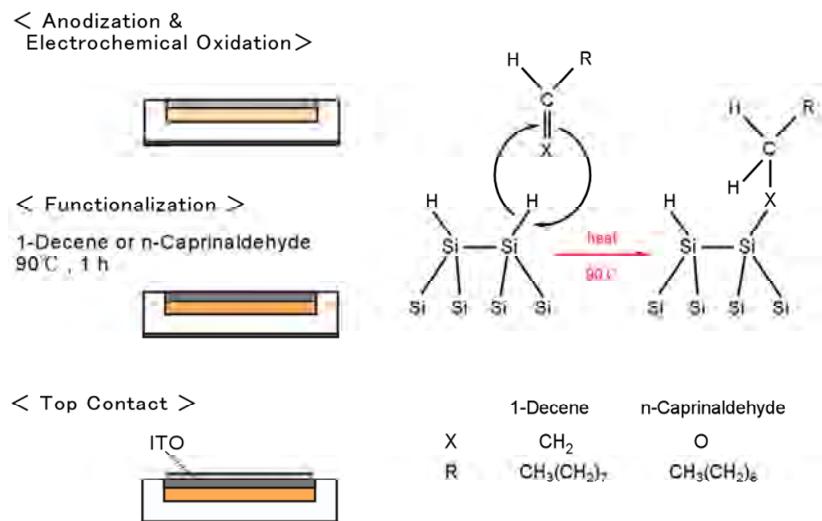


図3.5.1 ナノ結晶シリコン表面の終端制御を適用したEL素子の作製プロセス(a)とSi-H結合の共有性結合への置換処理(b).

Effects of Surface Termination Control on the EL Stability

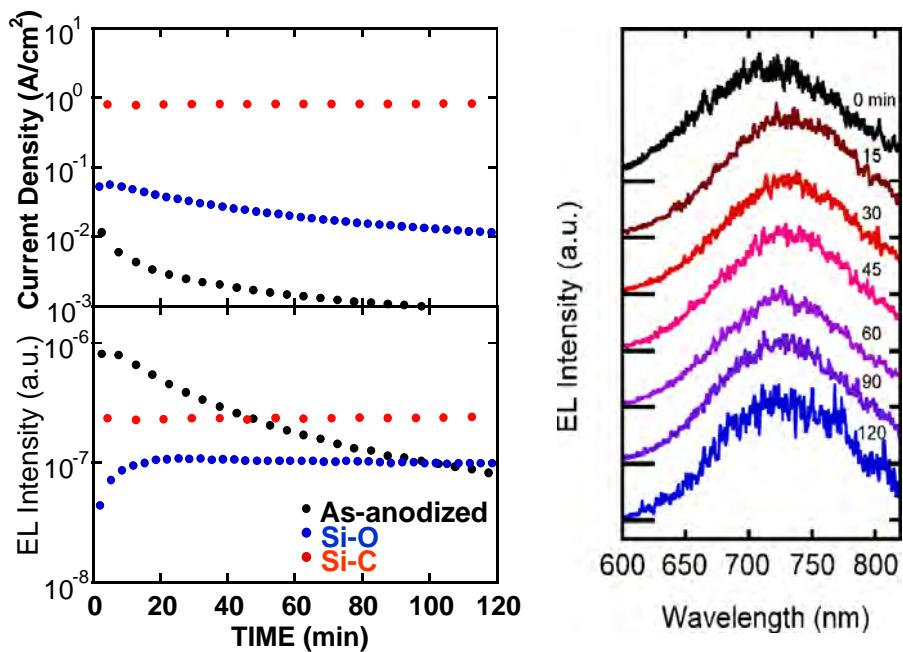


図3.5.2 ナノ結晶シリコン表面の終端制御を適用したEL素子の動作安定性. EL強度の動作時間依存性.(a)と対応するELスペクトル(b).

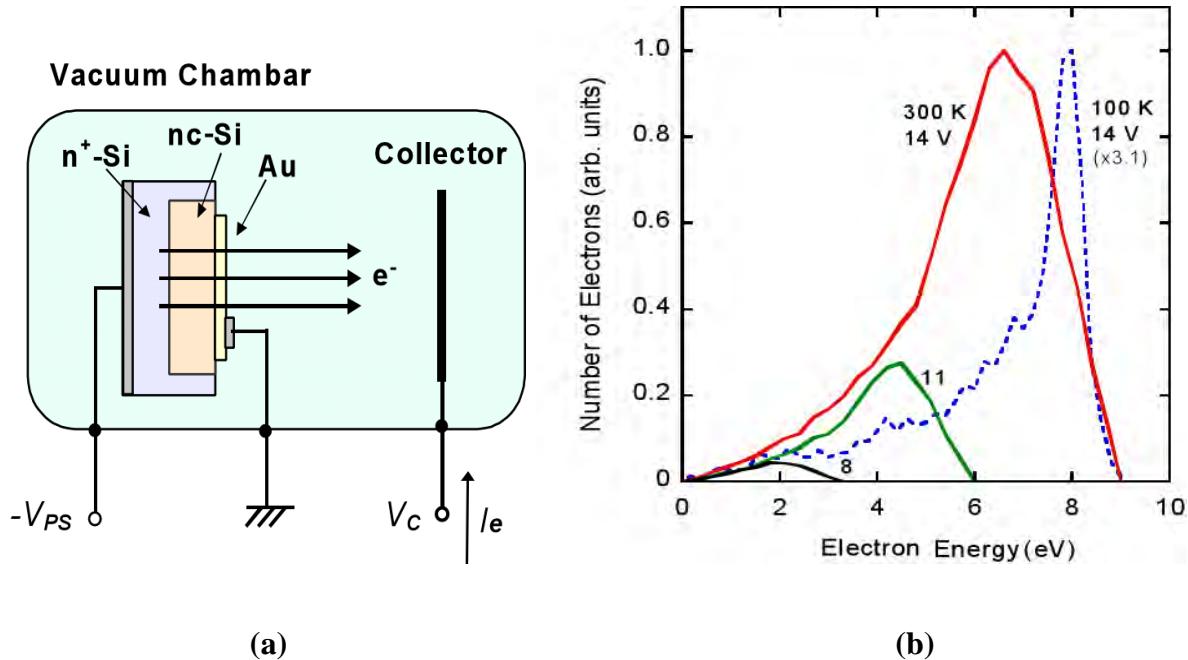


図3.5.3 ナノ結晶シリコンダイオードの電子放出動作(a). 放出電子のエネルギー分布の印加電圧および試料温度依存性(b).

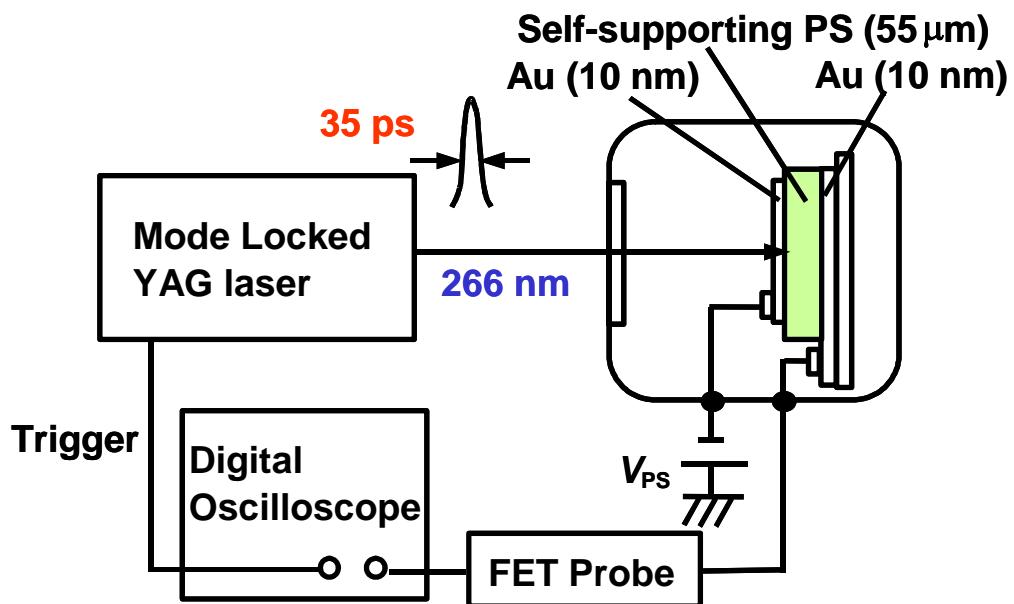


図3.5.4 セルフサポートングナノ結晶シリコン膜を試料とした飛行時間解析の実験系 (励起光: ピコ秒の短パルス紫外レーザ).

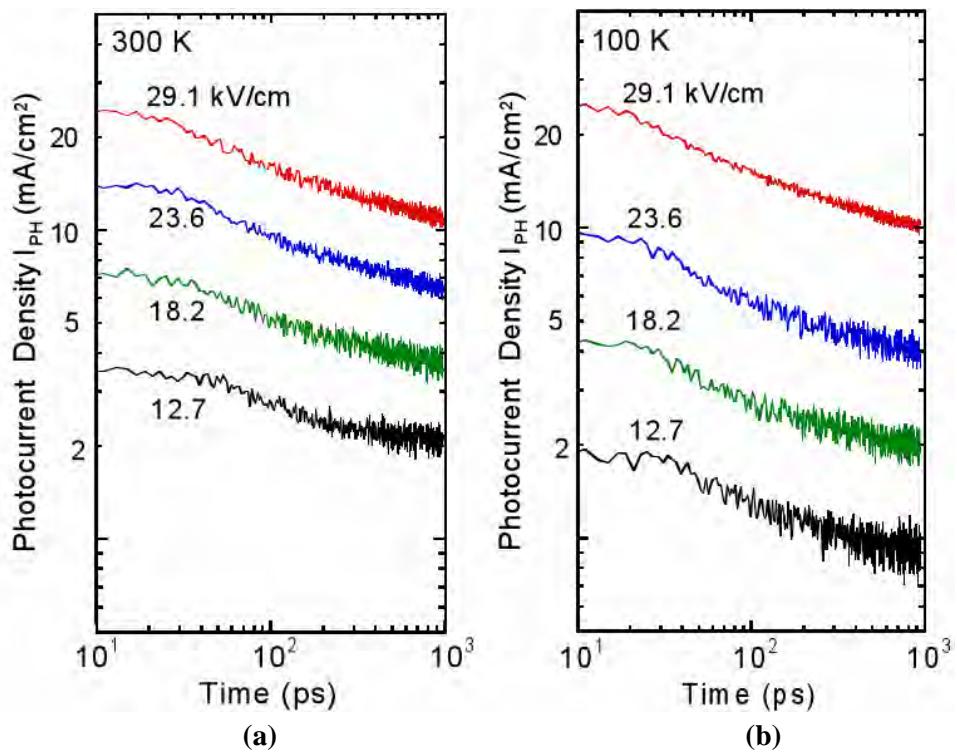


図3.5.5 ナノ結晶シリコン膜の飛行時間解析信号の電界依存性.
(a) : 室温, (b) : 低温 (100 K) .

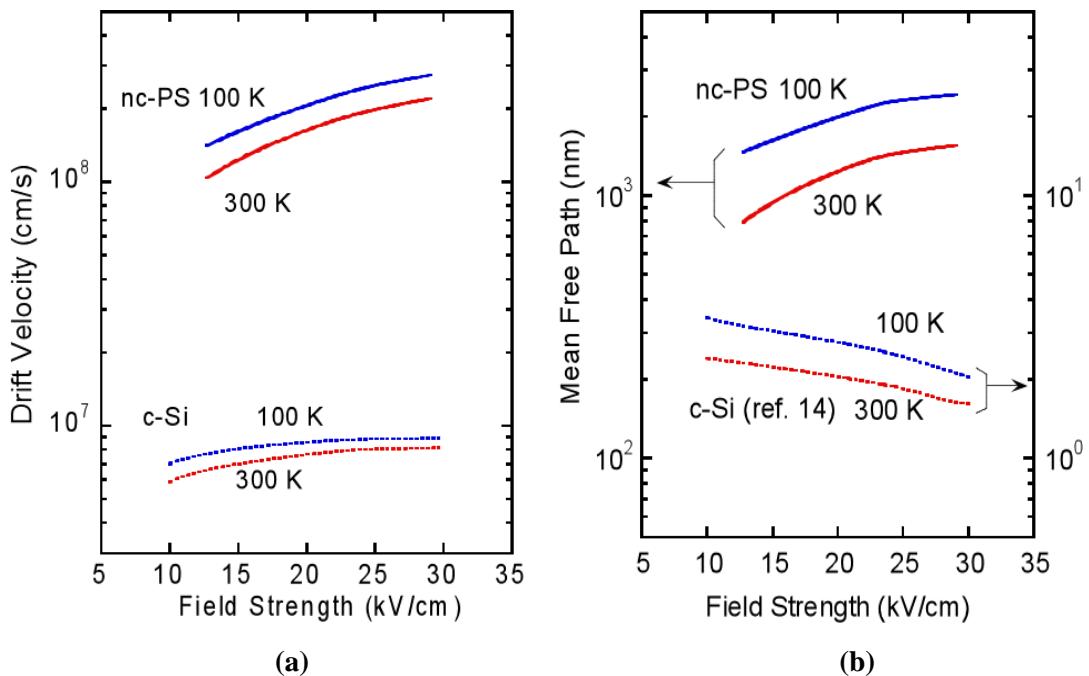


図3.5.6 飛行時間信号から算出された電子ドリフト速度の電界依存性(a)および平均自由行程の電界依存性(b). 単結晶シリコン(c-Si)のデータも参考に示す.

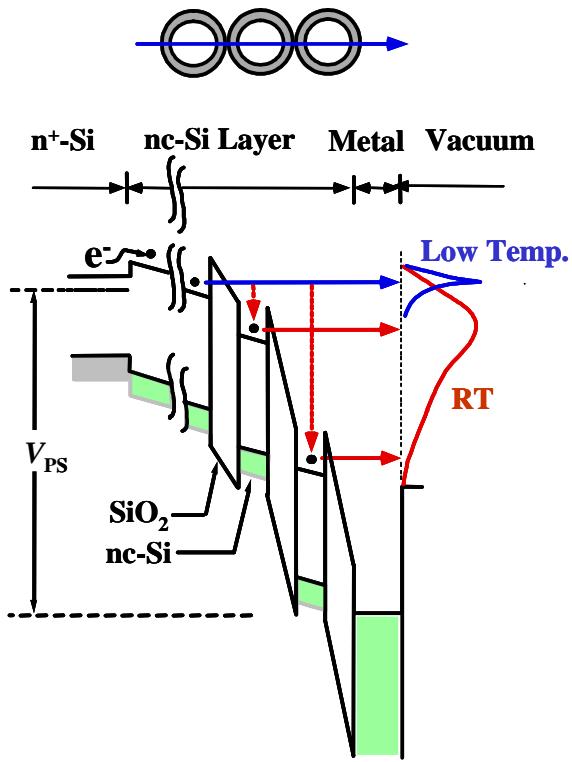
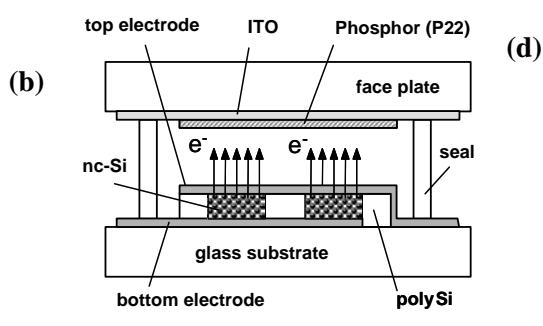


図3.5.7 薄い酸化膜を介して連結したナノ結晶シリコンドットチェーンにおける多重トンネル弾道電子伝導モデル.

- Substrate : PDP Glass
- Panel size : 2.6 ~ 7.6" diagonal
- Pixels: 336(RGB) × 252
- (a) • Pixel size : 106 × 320 μm
- Pixel Pitch : 50 μm
- Vacuum Spacing: 3 mm
- Driving : Simple Matrix

2.6" (SID Symp. Boston, 2002)



7.6" (SID Symp. Baltimore, 2003)



図3.5.8 弹道電子エミッタを励起源とした平面ディスプレイの仕様(a)と断面構造(b)試作した対角2.6インチ(c)および7.6インチ(d)ディスプレイ(松下電工との共同開発)の映像表示写真.

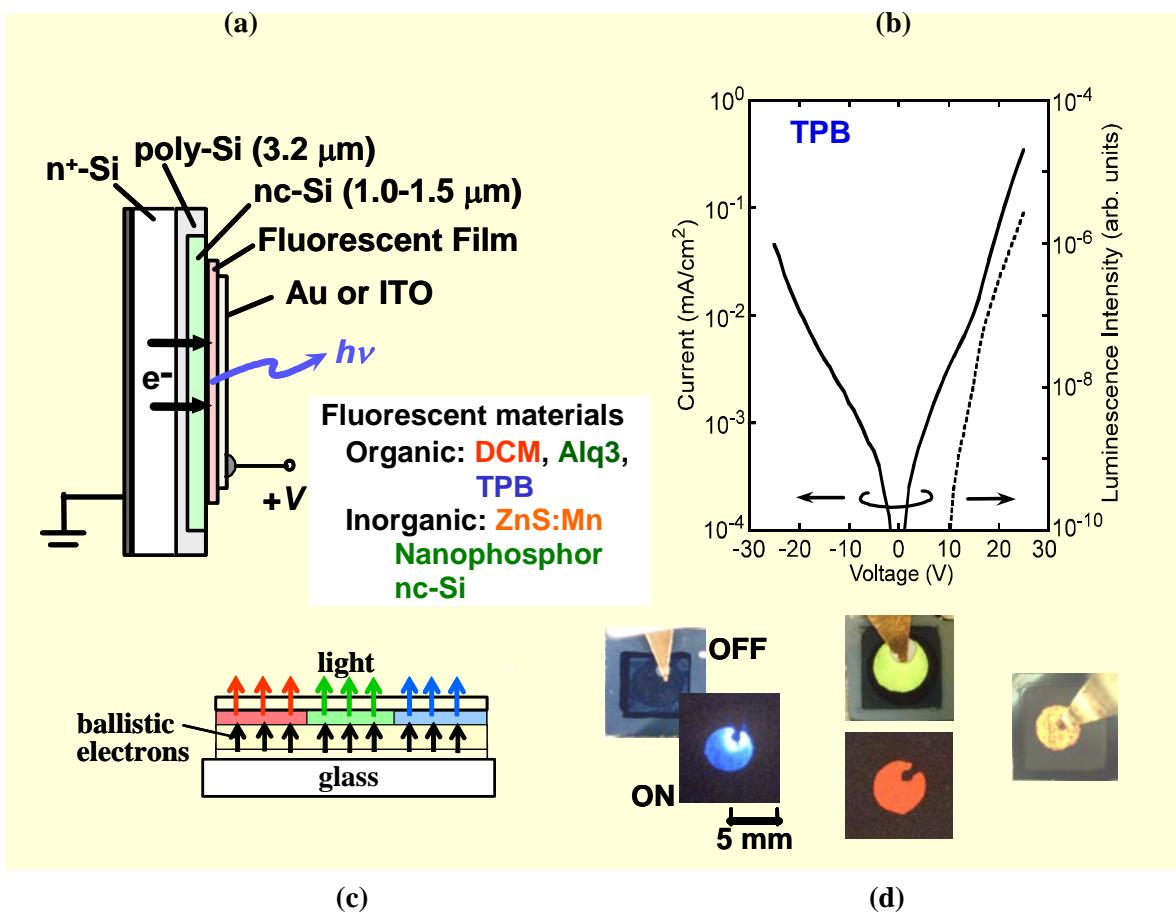


図3.5.9 弹道電子を励起起源とした全固体面発光素子の断面構造(a)と試作素子の発光特性(b). 画素アレイ化素子の概念図(c)と個別色発光の写真(d).

3. 6 素子応用検討グループ（日立製作所）

ネオシリコンの素子応用

(嶋田壽一、河内玄士朗、安藤正彦、木村嘉伸、山口伸也、尾内享祐、斎藤慎一、新井唯、福田宏)

3. 6. 1 はじめに

素子応用検討グループの役割は、ネオシリコンの特徴を生かす応用目標のニーズ面からの探索である。他のグループと相補的、かつ、一体となって進め、知的所有権確保にも努める。具体的には、ネオシリコンを構成する粒内局在電子と粒子間の相互作用による電子輸送、電子トラップ、光放出、電子放出などの新機能の有用性をユーザーの立場で検討した。検討した主たる応用領域は、ユビキタス社会の実現に必要な新機能素子である。ユビキタス社会のコアとなるモバイル&情報ネットワークを実現するために必要なデバイスへの要求は、不揮発性（無電源時）、不動作待機電力零、超低消費電力動作、高速動作、無疲労動作、超高集積小型軽量、などである。対象となるデバイスは、センサー、入力素子、演算素子、記憶素子、表示素子、出力素子、高周波素子、これらの要素素子と複合集積素子などである。

本プロジェクトの最新情報や成果を、素子応用、実用化の観点から評価し、実用技術としての優位性を明らかにするよう努力した。加えて、競合技術との比較などを通じて、実用化の可能性の高い素子提案に注力した。

13年度までの本プロジェクトの前半では、種々のネオシリコン材料物性の新規性を生かす応用先を探査するとともに、本プロジェクトの後半に向け、有望な応用の絞込みに注力した。14年度からの後半では、弾道電子放出効果を利用した固体化積層発光素子と不揮発性をもつNEMS(Nano-Electro-Mechanical System)メモリ応用に注力した。

検討した応用素子は：

1. 弹道電子放出素子

面電子放出素子、固体化積層発光素子、大気圧動作電子放出素子

2. 超低消費電力不揮発性スイッチング素子

超低オフ電流高オンオフ比高速動作スイッチング素子、単電子および少数電子メモリ、NEMSメモリ

である。それぞれの素子について検討を行った結果を以下に述べる。

3.6.2 弹道電子放出素子

3.6.2.1 面電子放出素子

ネオシリコンからの電界電子放出は特異な特性を示す。東京農工大グループのポーラスシリコンからの電子放出現象研究の中で、電子が、熱エネルギーと比較して桁違いに高い初速度 (5-9 eV) を持つて放出されることを明らかにした（図 3.6.1）。これは、ネオシリコンからの電子放出機構が通常の熱電子放出や針状金属からの冷電子放出とは異なることを示唆している。

一方、高効率、高信頼の FED(Field Emission Device)実現に向け、SiC、ダイアモンド薄膜、カーボンナノチューブ等の新材料、スピント型や MIM 型など種々の競合技術が現れている。現状では、動作電圧、放出効率、寿命などではネオシリコン系の FED が特段優れているとは言えない。しかし、電子が、熱エネルギーと比較して桁違いに高い初速度 (5-9 eV) を持つて放出される結果、他の FED に比較して低真空中で、条件によっては大気圧で動作可能である。応用面から見て優位な特性として、この点に注目した。

加えて、弾道化トンネル電子放出型のネオシリコン電子源は、電界集中電子放出型の CNT やスピント型と比較して、数十 nm-数百 nm レベルで均一性の良い平面電子源としての電子放出特性を示す。この特性は二次元アレー化電子源などの応用では、均一性向上にも寄与する。種々の FED の特性を表 3.6.1 に示す。

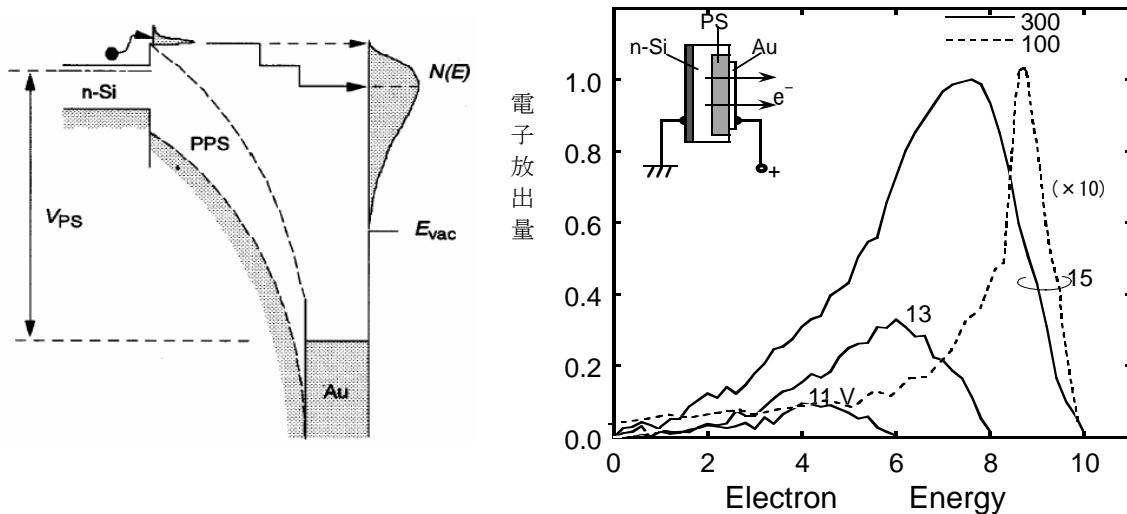


図3.6.1 ネオシリコンからの弾道的な電子放出

Sheng et al.: J. Vac. Sci. Technol. B, Vol. 19, No. 1, Jan/Feb (2001) 64

表 3.6.1 電子放出素子の比較

素子 項目	ネオシリコン		カーボンナノ チューブ	スピント型 (ニードルア レ)	金属/絶縁膜/ 金属型 (MIM)
	ポーラス Si	Si 量子ドット			
動作電圧	15~30 V		>数 100 V	30~80 V	~10V
面積換算 放出電流 密度	8 mA/cm ²	1 μ A/cm ²	0.01~1 A/cm ²	50 A/cm ²	80 mA/cm ²
動作下限 真空間	1 ~10 Pa		10~5~10~6 Pa	<10~5 Pa	0.1 Pa
作製法	陽極酸化	ドライプロセス	アーク放電 or プリント	微細加工	陽極酸化
電子放出 機構	弾道化トンネル		ネオシリコン電 子源	電界放出	トンネル
備考	面放出形 集束電極不要(放出角度分散小) 表面電極仕事関数の影響小 大面積化容易 真空不要発光素子の可能性		高出力 高密度点放出	点放出 集束電極必 要	面放出形 収束電極不要 表面電極仕事 関数の影響小 大面積化容易 動作寿命 1 万 5 千時間
研究機関	東京農工大	東京工業大	三星、 伊勢電子/ 三重大	ソニー/ Candescents	日立

3.6.2.2 固体化積層発光素子

高速電子線源としての特徴を示す応用例として、固体化積層発光素子を取り上げた。図3.6.2に示すように、ネオシリコンFED上にナノ蛍光体層を積層することにより、真空不要の発光素子実現の可能性を検討した。

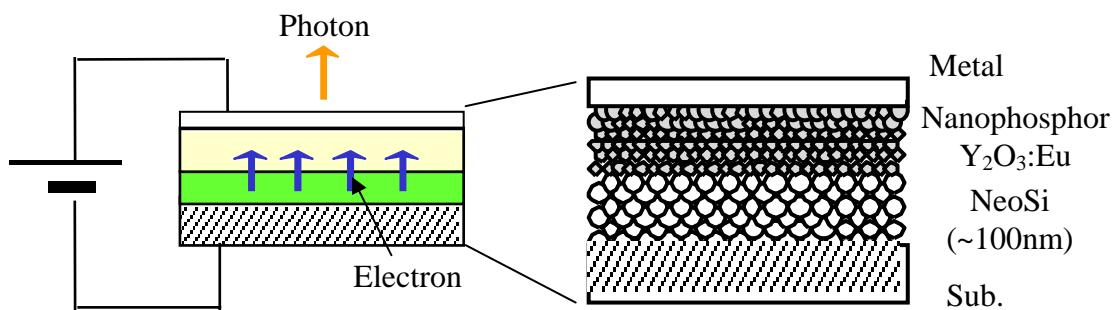


図3.6.2 ネオシリコンFED上にナノ蛍光体層を積層した真空不要の発光素子

ネオシリコン電子源から放出される電子をナノ蛍光体の励起に使う。ナノ蛍光体($\text{Y}_2\text{O}_3:\text{Eu}$)はネオシリコン電子源上に直接薄く塗布すると言う簡単なプロセスのみで自発光素子が実現出来る。塗布後、上下の電極を着ければ完成する。電子を効率よく利用するためには、数 eV - 数十 eV の低エネルギー電子励起での発光効率の高いナノ蛍光体を開発する必要がある。今回は英国オクソニカ社製の数十数百 nm サイズのナノ蛍光体を入手し、ネオシリコン電子源上に塗布して、発光効率を評価した。その結果、参照試料として用いた通常の蛍光体(数ミクロン程度)を塗布したものと大差ない特性を得た。

通常、蛍光体をナノ化すると、蛍光体の表面再結合による非発光再結合により発光効率が低下しやすいが、本実験では、ほぼ同等の性能を得た。蛍光体開発の専門家から見ると、大変興味深い結果である。しかしながら、蛍光体塗布膜厚が数ミクロン以上と高く、低エネルギー電子線励起がネオシリコン電子源側でのみ起こり、結果として光出射側の蛍光体は出力光を減衰させる結果となったため、ユーザーの立場で見ると、現状の特性では従来の高電圧励起の FED 技術による発光効率におよばなかった。そのため、実用化は当面静観することとした。

3.6.2.3 大気圧動作電子放出素子

通常の FED は真空を要するが、この新しいネオシリコン FED を用いると、低真空中や、条件によっては大気圧で動作する素子応用実現の可能性がある。例えば、低真空中での気体のイオン化などによる放電やプラズマの制御素子、大気圧でのイオン生成機器、固体の表面改質やナノサイズ領域での電子照射素子などが考えられる。

この応用は新しい応用領域を開くと考えられるが、その前に、まず 5-10eV 領域のイオン化や化学反応の素過程を明らかにする必要がある。

3.6.3 超低消費電力不揮発性スイッチング素子

3.6.3.1 超低オフ電流高オンオフ比高速動作スイッチング素子

ネオシリコンを利用すれば、単結晶シリコンを用いるよりも MOS タイプの素子を上回る ON/OFF 比が得られる可能性がある。その狙いは、量子閉じ込めによる等価的なバンドギャップのワイド化による OFF 電流の低減、クーロンプロケード効果によるリーク電流の抑制、などにある。この目的のために、シリコングレイン間の輸送現象を掘り下げて検討すること、單一グレインバウンダリの評価、ナノ材料での電子-格子相互作用など、ナノ領域の輸送現象の解明の重要性に注目している。

ユーザーサイドの要求としては、単結晶シリコンを用いず、平面ディスプレーのガラス基板やフレキシブル基板に形成可能なシステムオングラス用薄膜スイッチング素子を、単結晶シリコン素子を上回る性能で実現することにある。 $n\text{S}$ (10^9 S) での高速動作に相当する ON 電流と、10 年 (10^9 S) の情報保持を想定した OFF 電流の比が 18 枝の素子実現が大目標となる。このような素子が実現出来れば、超低消費電力高速演算素子と不揮発メモリを同一種の素子で実現出来る可能性がある。現状では、ON/OFF 比 8-12 枝程度であり、少なくとも 6 枝の ON/OFF 比改善には革新的技術開発が必要である。

このユーザーサイドの要求と合わせて、素子の微細化、高速化、高集積化にともない低下する ON/OFF 比を、ネオシリコンを用いることにより大きくすることを検討した。このような薄膜トランジスタは LCD や有機 EL 駆動用をはじめとして、超低オフ電流で高速動作可能なユビキタス社会の要請に答える素子であり、SOI 技術の先を行く技術となる可能性がある。予想される素子特性は、ON 電流密度 1 A/cm^2 、OFF 電流密度 10^{-18} A/cm^2 、となる。実際の素子は数 μ サイズであろうから、OFF 電流 10^{-24} A の測定も検討する必要がある。しかし、このレベルの電流測定は現実的には不可能であり、この電流を積分して測定する。具体的には容量蓄積型のメモリを試作して、その電荷リークによるメモリの情報消失から OFF 電流を推定すると言う実験法が適用できる。日立ケンブリッジグループの単電子、少数電子研究と協力し、実現の可能性を探った。実験的な実証は困難も大きいが、この特性目標は、モバイル機器に必須のものであり、社会インパクトは極めて大きい。そのため、次の 3.6.3.2 節での単電子および少数電子メモリの研究を通じて上記素子の実現の可能性を探ることとした。

3. 6. 3. 2 単電子および少数電子メモリ

実際に試作された代表的な量子閉じ込め効果とクーロンブロッケード効果を利用したメモリの例（PLED と SESO メモリ）とその等価回路を図 3.6.3 に示す。

両メモリとも純粹の単電子メモリではなく、次世代程度の ULSI プロセス技術で製造可能である。素子の微細化、立体化、薄膜化により、高インピーダンス化を図り、その上で、ON 電流の低下を防ぎつつ、OFF 電流の低減を図っている。その結果、図 3.6.4 に示す通り、OFF 電流 10^{-19} A 以下、ON/OFF 比 10^{13} レベルを実証している。しかしながら、不揮発化には、さらに 5 枠の ON/OFF 比向上が必要である。そのためには、さらに、詳細な材料物性の解明とプロセス技術の開発が必要である。

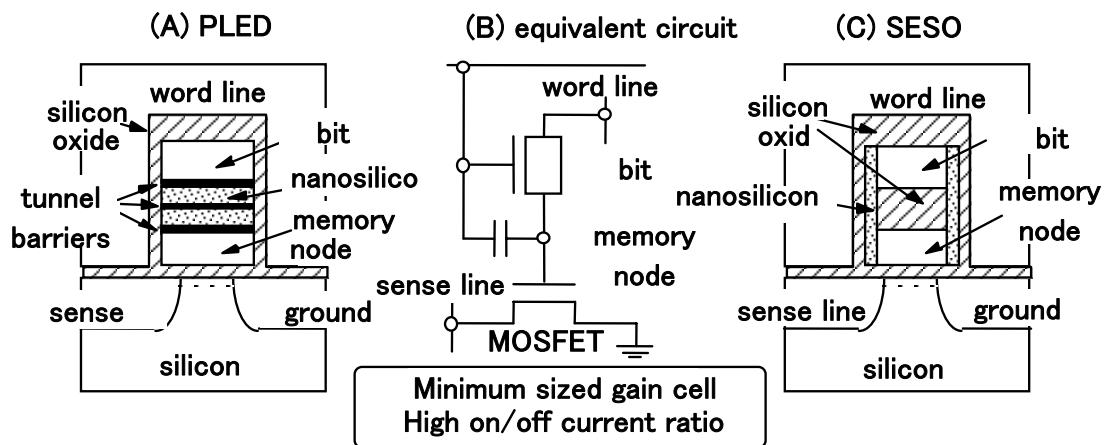


図3.6.3 少数電子素子とその等価回路の例

PLEDTr. (Phase-state Low Electron-number Drive) Transistor (A) [1] と SESOTr. (Single-Electron Shut-Off) Transistor(C) [2]、および等価回路 (B)

[1] K. Nakazato, K. Itoh, H. Mizuta and H. Ahmed, Elect. Lett. 35 (1999) 848.

[2] T. Osabe, T. Ishii, T. Mine, F. Murai and K. Yano, Proc. IEDM (2000) 301.

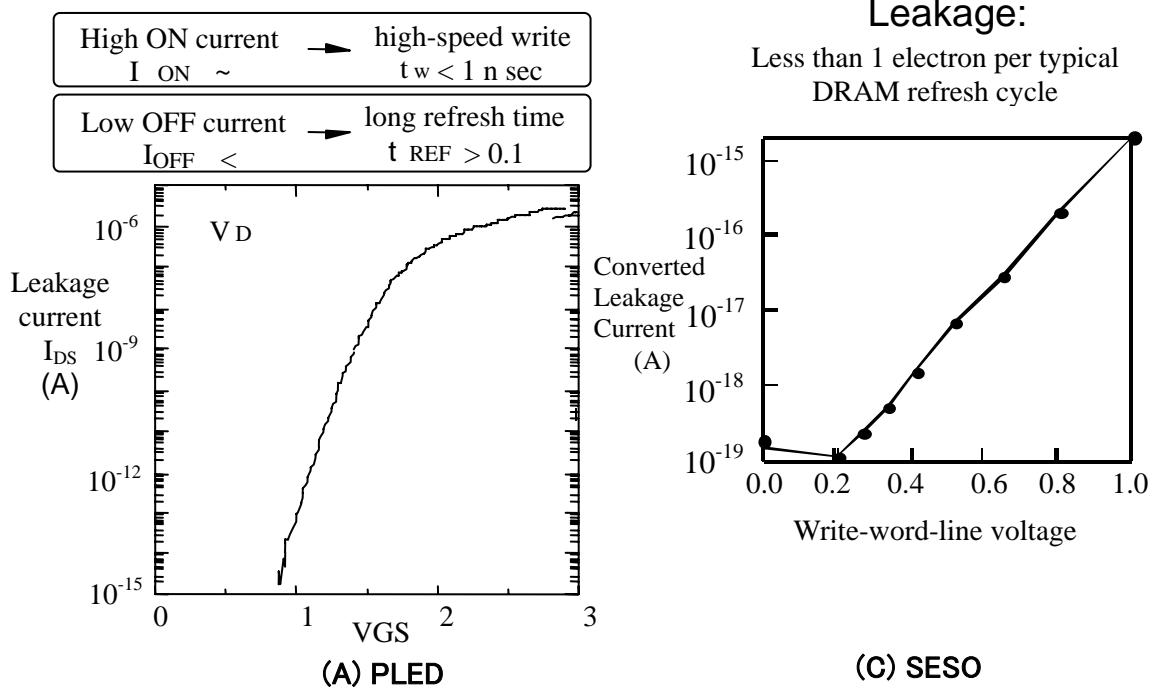


図3.6.4 PLEDトランジスタ(A) [1]とSESOトランジスタ(C) [2]のリーク電流
[1] K. Nakazato, K. Itoh, H. Mizuta and H. Ahmed, Elect. Lett. 35 (1999) 848.
[2] T. Osabe, T. Ishii, T. Mine, F. Murai and K. Yano, Proc. IEDM (2000) 301.

3.6.3.3 NEMSメモリ

上述のごとく、ON/OFF 比 18 枠を実現するのは容易ではない。そこで、ネオシリコンの特徴を生かした他のアプローチを検討した。そのアプローチは高速、低消費電力化と不揮発性を異なった物理現象を組合すことで実現する方法を検討することである。具体的にはネオシリコンが持つクーロンブロッケード効果やシリコン MOS 素子との整合性の良さを利用した高速・低消費電力化と、ナノサイズネオシリコンの機械的変位の高速性と不揮発性の容易性に着眼し、両者を組み合わせて高速・超低消費電力不揮発性メモリを実現しようとするものである。

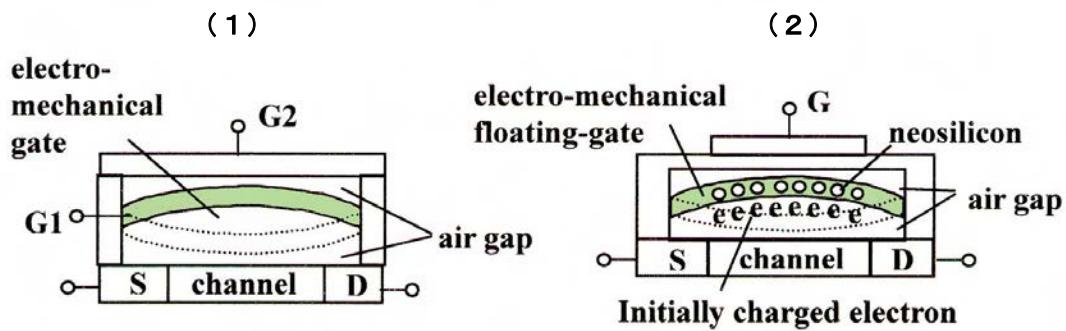
この方向の応用には、多くの競合技術がある。現状のフラッシュメモリの微細化、縦型化などの立体化技術開発、FeRAM(Ferroelectric Random Access Memory)、OUM(Ovonic unified Memory)や MRAM(Magnetic Random Access Memory)などの新機能素子の開発も盛んである。

本プロジェクトでは、不揮発性を実現する方法として、ネオシリコンとナノメカニクスを組み合せることを提案した。ナノメカニクスでは 1 GHz の動作や、非接触化による耐久性向上も可能と予測され、電子素子と肩を並べられると期待される。

1nm-100nm サイズ領域の電子系はメソスコピック系として注目されている。この場合は ULSI の縮小技術の活用などによる”トップダウン”手法による研究方向と、分子サイ

ズを大きくする”ボトムアップ”手法による研究方向が、きちんと意識されて、研究が進められている。また、メソスコピック領域特有の性質を意識した応用、例えば共鳴トンネル素子や単電子素子なども検討されている。

しかし、1nm-100nm レベルのナノメカニクスシステムは、このような意識を明確に持つて議論されていない。フォノンスペクトルの変化と言った点に注目はされているが、その応用を考える場合、この系自身の外形変形や外部環境との相互作用、動的特性などを意識して検討し、この系特有の特徴や問題点を検討しようと言う意識に乏しいと考える。本研究では、このナノエレクトロメカニカル系”NENS”的特徴に注目し、その応用を考える場合に重要な電子系との結合まで意識した問題点を顕在化することを目的とした。この問題点の顕在化を通じて、”NENS”が、単に”MENS”的縮小版とは異なる特徴が現れ、新しい研究とその応用が開けることを期待した。以下、提案した NEMS メモリ、検討すべき事項についてまとめた。提案した NEMS メモリを図 3.6.5 に示す。



B.Haelg : IEEE Trans. ED,
37, no.10, Oct. (1990) 2230

Y. Tsuchiya et al., SNW2004, June 13-14,
2004 ,Honolulu, USA.

図3.6.5 提案したNEMSメモリ

(1) は以前に提案されたエレクトロメカニカルメモリ。ネオシリコンによる電荷保持機能が無いので、4端子素子となり、集積素子としては現実性に欠ける。(2) は本提案素子で、3端子素子として従来素子同様に使える。

本素子の要点は、フラッシュメモリのフローティングゲートへの電荷の出し入れによる情報の不揮発記録の代わりの、電荷保持したフローティングゲートの機械的な2値安定性を利用して不揮発性記録を行うものである。このような素子の素子特性予測や問題点の抽出を行った。

NENS の特徴と検討すべき問題点

- (1) 応答周波数：表 3.6.2 に示すとおり、この例の NEMS 系では、2 – 20 GHz の動作が可能との見積を得た。すなわち、電子デバイスと同等、あるいはそれ以上の高速性が期待できる。
- (2) 変位速度：この例での可動部分の速度は 10GHz (動作周波数) X 10nm (最大変位) とすると = 100m/s 程度と見積もられ、音速と同程度と考えられる。
- (3) 振動・動作モード：曲げ、ねじり、伸縮の固有振動モードと、それぞれの高次モードが存在し、マクロな系と相似な変位量を想定すると、上記 10nm 程度の曲げ変位量は妥当である。振動・動作モードの一例と、動作例を図 3.6.6 に示す。

表3.6.2 NEMSのスイッチング周波数
NEMSは電子素子と同等以上に高速動作が可能。その場合の動作部品の速度は大気中の音速程度。

Device parameter	Example 1	Example 2
Channel length [μm]	1.0	0.1
Channel width [μm]	1.0	0.1
Floating gate thick [μm]	0.1	0.01
Charge density [cm ⁻³]	1×10^{20}	1×10^{20}
Total charge [C]	1.6×10^{-12}	1.6×10^{-15}
Elastic potential ψ [J]	3.5×10^{-12}	3.5×10^{-15}
R/W time [s]	4.76×10^{-10}	4.76×10^{-11}
R/W frequency	2.1 GHz	21 GHz

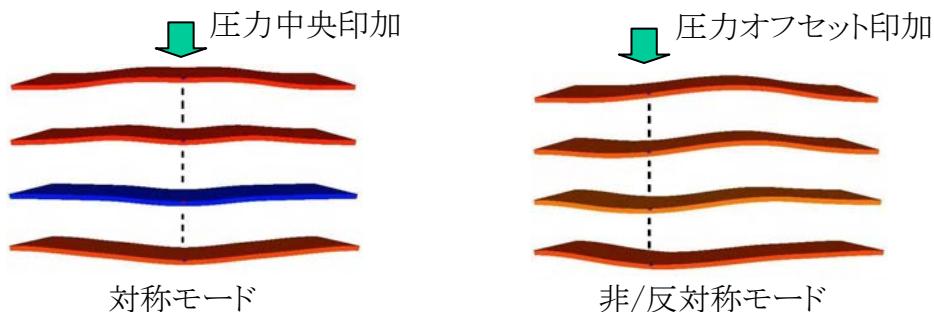


図3.6.6 振動・動作モードの一例
モードによってその振動数やスイッチングエネルギーが大きく異なる。電荷のようにスカラ量でない機械系は設計工夫が必要。

- (4) 振動のダンピング：電子系の場合、例えば、フラッシュメモリのフローティングゲートにトンネル注入された電子は急速にエネルギーを失い（ピコ秒レベル）基底状態に落ち着くが、機械振動系では制動メカニズムとその大きさが明らかでない。そのため、種々のダンピングの可能性を検討する必要がある。
GHz 領域での音波の伝送は、室温では、マクロな系では損失が大きく、分散、減衰的な振る舞いとなるが、nm 領域では共鳴的な振る舞いとなり、モードや材料の種類によって伝播特性が大きく異なる。このことは、高速変形時の内部損失を考えるときに重要となる。
さらに、外部（周辺大気など）との相互作用の検討が必要である。例えば常圧大気中を考える。常圧大気は気体分子が平均 1nm 間隔で 3 次元的に並んでいる。振幅 10nm で GHz 程度の振動を考えると、以外に分子衝突によるダンピングは期待できない。そのため、インパルス的な動作では臨界制動が出来ず、振動的なスイッチング動作となる可能性がある。そのため、下記のような可能性のあるダンピング機構を議論しておく必要がある。

振動するハリの内部損失、ハリの表面あるいは表面に付着させた高ダンピング材料

- による損失、内部電流損失、エディカーレント損失、周辺（空気/溶液など）との粘性損失など、多くの可能性がある。定量的な評価、選定は今後の研究に待つ。
- (5) 消費エネルギー：振動モードの選定、素子設計手法の確立により、低電力素子としてのポテンシャルの評価が可能となる。
 - (6) 集積密度：“NEMS”系を集積する場合、電子系に比べ、長距離の相互作用を生むクーロン力ではないので、集積度を上げても素子間の相互作用が小さく、局所容量の応答速度低下が起こりにくく、高集積化が期待できる。
 - (7) プロセス：ナノ領域のプロセスは通常の電子デバイスの微小化と同様の問題点の他に、片持ち梁やブリッジングなど、より3次元性の高い加工を必要とする。当然ナノ部分の可動性を持つので、加工時の化学的、物理的、電気的な力の存在のために、加工中や加工後に変形が残留する可能性がある。大きなサイズでは、例えば加工表面の帶電や電気二重層の存在が、機械的強度に比べて無視出来ても、ナノ領域ではその力は無視できなくなり、吸着や反発力が顕著な変形を生じさせる可能性がある。これらの効果を活用して図3.6.5の圧縮ハリを形成するなど、新プロセス構築が必要である。

現時点でのNEMSメモリの予測性能と問題点を表3.6.3に示す。

表3.6.3 NEMSメモリの予想仕様と問題点

- | |
|---|
| <ul style="list-style-type: none"> (1) 不揮発性：圧縮機械ハリの2値性を利用 (2) 書き込み消去法：荷電圧縮機械ハリの静電力によるスイッチング (3) 書き込み消去回数：荷電圧縮機械ハリの疲労限界 (4) 読み出し法：MOS素子の敷居値シフト (5) 動作周波数：数十GHz動作可能（ダンピング法の検討要） (6) オンオフ比：$>10^{10}$ (7) 消費電力：設計法と動作モードの選定により nW? (8) セルサイズ：DRAMと同等 (9) セル間相互作用：フラッシュメモリと同等 (10) 信頼度：機械系の疲労が問題か？ (11) 製造プロセス：ナノスペースプロセス開発要 |
|---|

予想仕様を既存競合素子性能と比較するのはその成熟度から言って問題があるが、あえて比較した結果を図3.6.7に示す。NEMSメモリについては、今後さらに特性予測の精度を上げるとともに、実験的に実証していく必要がある。

Cell	Flash	Nano-Crystal	FeRAM	PCRAM	MRAM	NEMS-Memory
Device Structure						
Mechanism of Non-volatility	Charge in Floating Gate	Charge	Polarization	Phase Change	MR Change	Mechanical bistability
Issues	Program Volt. reduction	Program Volt. reduction	H ₂ block	Program Curt reduction	Program Curt reduction	Program Power reduction,
Cell Size	4-8 F ²	4-8 F ²	10-20 F ²	8-15 F ²	8-15 F ²	6-10 F ² ?
Speed	Program	10 us	10 us	<50	100 ns	<50 ns
	Read	<20 ns	<20 ns	100 ns	<20 ns	<20 ns
Voltage	< 12 V	< 12	5 V	3 V	3 V	5V
P/E Cycle	10 ⁸	10 ⁸	10 ¹⁰	10 ¹²	10 ¹⁵	10 ¹²

図3.6.7 各種不揮発性メモリの特性比較

本研究での成果として、NEMS メモリの予想性能がある程度見えた。その結果、不揮発性、動作速度、については他の競合メモリと十分優位性がある。一方、書き込み・消去電力、書き込み・消去回数、などは問題点として残っている。また、プロセス技術、については今後の開発に期待するところである。

3.6.4 得られた研究成果の評価及び今後期待される効果

検討した素子応用例は、面電子放出素子、固体化積層発光素子、大気圧動作電子放出素子、超低オフ電流高オンオフ比高速動作スイッチング素子、単電子および少数電子メモリ、NEMS メモリである。これらの中で、注目すべき素子応用として：

1. 固体化積層発光素子
2. NEMS メモリ

を上げた。この二種の素子応用については、特許を出願した。今後権利化に努めるとともに、実用化を視野に、さらに、具体的な研究開発につなぎたい。

当グループは本プロジェクトの他のグループの成果を応用面からその特長を捉えて具体的な素子などの提案を行なった。オリジナル論文の客観的評価については、本プロジェクトの他のグループの項を参照戴きたい。

弾道電子放出素子に関しては、表 3.6.1 の通り、カーボンナノチューブ(CNT)などの他の競合技術が存在する。弾道放出型のネオシリコン電子源は電界集中放出型の CNT と比較して、均一な構造を精度良く作製できるのが最大の特徴である。また、低電圧動作が得られている。放出電流は現在でもディスプレイなどへの応用は可能な値だが、将来ドット密度を上げることで、格段に増加できると思われる。雑音特性や短時間の安定性に関する系統的なデータは今後の研究に待たれる。現時点で、1 万時間を越える経時安定性は問題である。寿命に関しては今後さらなる研究開発が必要だが、本質的な問題で

は無いと考えている。競合技である MIM 型は研究の成熟度が高いため、現状では有望と見られるが、ネオシリコンの魅力は初速度の大きい電子が出る点にあると考えている。3.6.2.1-3 の大気圧動作電子放出素子で述べたとおり、通常の FED は真空を要するが、この新しいネオシリコン FED を用いると、低真空中や、条件によっては大気圧で動作する素子応用実現の可能性がある。大気圧でのイオン生成機器、固体の表面改質への応用、バイオメディカル領域への応用が期待され、新しい応用領域を開くと考えられる。そのためにも、10eV 領域の電子衝突や吸着によるイオン化や化学反応の素過程を明らかにする必要がある。

超低消費電力不揮発性スイッチング素子実現のために、オン/オフ電流比の格段の向上を意識して狙った研究は見あたらない。単電子素子や少数電子素子によるその試みは特異なもので、他に類を見ない先駆的なものであった。

今後注力する電荷保持能力のあるネオシリコンを用いた NEMS メモリは新しいアイデアであり、フラッシュメモリと同様に 3 端子素子として使える。ナノメカニクスに関する要素技術的な研究は国際的に活発化しており、ナノサイズ領域まで視野に入れた”NEMS” 応用素子の提案は、今後の研究領域の創生と先導につながると期待している。

本プロジェクトにより、新しい基礎研究の芽と、実用化を試みる成果を得たと考えている。その意味で、上述の通り、良い提案が出来たと自負している。本プロジェクトは企業の立場から見ると材料基礎研究であるが、基礎研究の段階から、大学と一体となって研究を進め、基礎的研究成果をオンタイムに近い状況で活用出来たことは有効であった。一方、応用の可能性とその意義について大学にフィードバックすることで、実用化面での研究指針を出せたと判断し、大変有効であった。また、将来を担う基礎研究を直接担当実行した大学院生やポスドクに対しても、その相互作用は大いに役立ったと判断している。

文献/学会発表/特許など

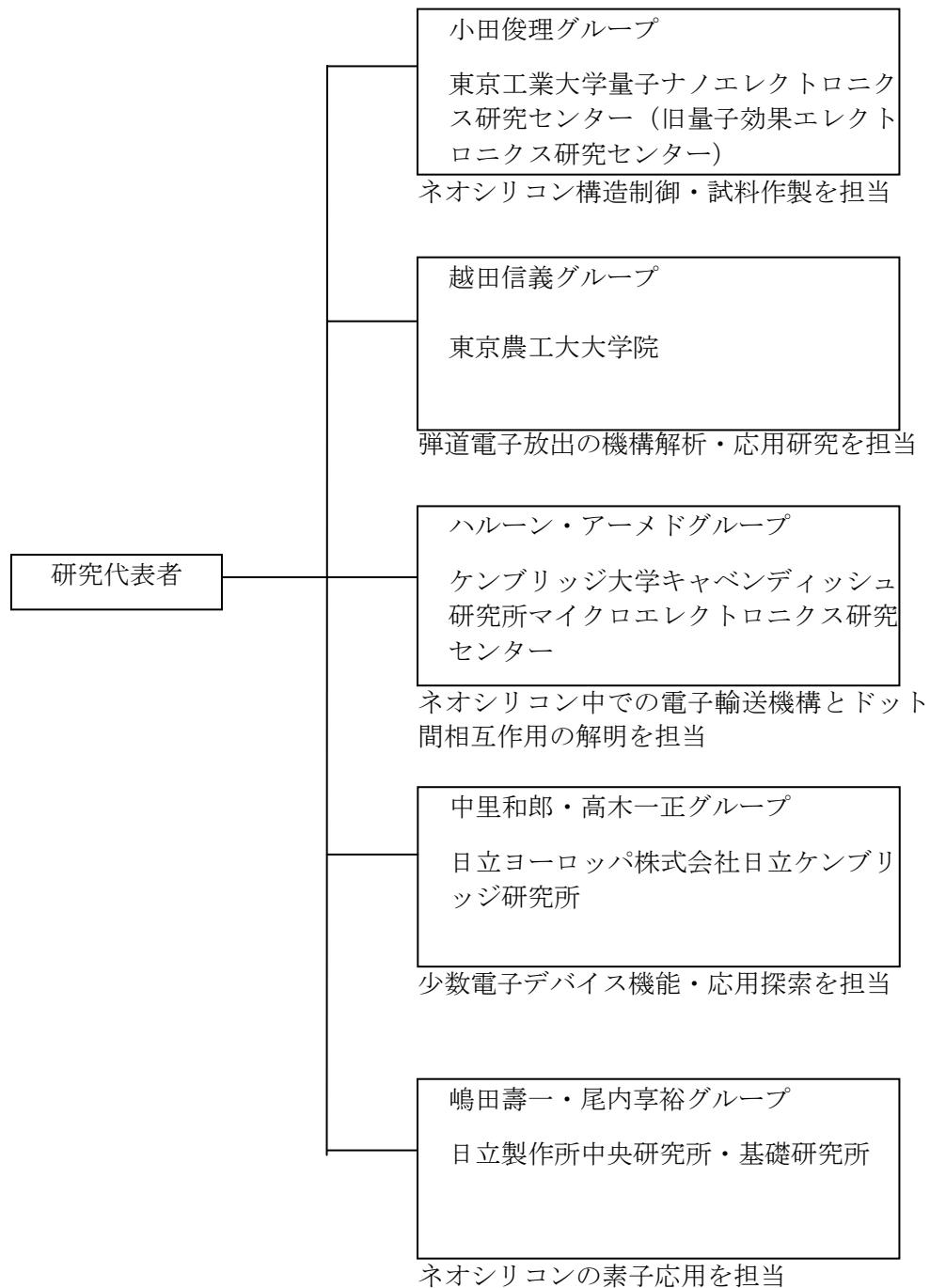
- 1) 嶋田壽一、「シリコンナノ構造の制御と応用面からの期待」、応用物理学会 シリコンテクノロジー分科会第27回研究集会、東京工業大学、2001年3月1日
- 2) T. Shimada, "Electron Transfer Characteristics and Potential Applications of Silicon-Based Nanostructures", Sixth China-Japan Symposium on Thin Films (CJSTF VI), Kunming Yunnan, China, 5-8 November 2001.
- 3) Toshikazu Shimada, Masahiko Ando, Shinya Yamaguchi "Potential Device Applications of Neo-silicon and it's Material Characterization", The 2nd CREST symposium on FEMD, Tokyo, Japan, 25 October 2001.
- 4) T. Shimada, "Electron Transfer in/into/from Nano-Silicon Materials from Device Applicational Viewpoint", 19th International Conference on Amorphous and Microcrystalline Semiconductors, Nice, France, 27-31 August 2001.
- 5) T. Shimada, M. Ando, S. Yamaguchi, A. Kojima and N. Koshida, K. Takai, Y. Tsuchiya and S. Oda "Potential Device Applications of Nano-sized Grain Silicon", 20th International Conference on Amorphous and Microcrystalline Semiconductors - ICAMS 20, Campos do Jordão, S.P., Brazil, 25-29 August 2003.
- 6) 高居康介、山口伸也、土屋良重、嶋田壽一、水田博、小田俊理：NEMSメモリデバイスの実現に向けた機械的特性の検討、第51回応用物理学関係連合講演会、2004年3月29日
- 7) Y. Tsuchiya, K. Takai, N. Momo, S. Yamaguchi, T. Shimada, S. Koyama, K. Takashima, Y. Higo, H. Mizuta and S. Oda, "Nano Electromechanical MemoryDevice using Nanocrystalline Si Dots", 2004 Silicon Nanoelectronics Workshop, Honolulu, 6-7 June 2004.
- 8) Y. Tsuchiya, K. Takai, N. Momo, S. Oda, S. Yamaguchi, T. Shimada, and H. Mizuta, "High-speed and Nonvolatile Nano Electromechanical Memory incorporating Si Quantum Dots", 27th International Conference on the Physics of Semiconductors (ICPS), Flagstaff, 26-30 July 2004.
- 9) T. Shimada, S. Yamaguchi, M. Ando, K. Nakazato, N. Koshida, K. Takai, Y. Tsuchiya, H. Mizuta and S. Oda' Neosilicon-Created New Applications, Seventh China-Japan Symposium on Thin Films (CJSTF VII), Cheng Du, China, 19-22 September, 2004

特許出願：

- 1) 発明者：安藤正彦他、
発明の名称：「固体自発光表示装置及びその製造方法」、
出願人：科学技術振興事業団および日立製作所、
出願日：平成13年10月1日
- 2) 発明者：山口伸也他、
発明の名称：「情報記憶素子及びその製造方法」、
出願人：科学技術振興事業団および日立製作所、
出願日：平成14年9月30日

4. 研究実施体制

(1) 体制



(2) メンバー表

①ネオシリコン試料作製グループ

氏名	所属	役職	担当する研究項目	参加時期
小田 俊理	東京工業大学 量子ナノエレクトロニクス研究センター	教授	ネオシリコン試料の作製、全体の統括	平成11年11月～平成16年10月
水田 博	東京工業大学大学院理工学研究科電子物理工学専攻	助教授	ネオシリコン試料の作製・評価・解析	平成15年10月～平成16年10月
畠谷 成郎	東京工業大学 量子効果エレクトロニクス研究センター	助手	ネオシリコン試料の作製	平成11年11月～平成12年10月
土屋 良重	東京工業大学 量子ナノエレクトロニクス研究センター	助手	ネオシリコン試料の作製	平成13年4月～平成16年10月
宇佐美浩一	東京工業大学 量子ナノエレクトロニクス研究センター	技官	ネオシリコン試料の作製	平成13年4月～平成16年10月
新井 健太	東京工業大学 量子効果エレクトロニクス研究センター	CREST研究員	ネオシリコン試料の作製	平成12年4月～平成15年3月
Souri Banerjee	東京工業大学 量子効果エレクトロニクス研究センター	非常勤研究員	ネオシリコン試料の作製	平成13年4月～平成15年10月
Brice Hinds	東京工業大学 量子効果エレクトロニクス研究センター	学振外国人特別研究員	ネオシリコン試料の作製	平成11年11月～平成13年5月
趙 新為	東京理科大学理学部物理学科	助教授	ネオシリコン試料の作製	平成11年11月～平成 年月
西口 克彦	東京工業大学 量子効果エレクトロニクス研究センター	大学院生(CREST研究補助員)	ネオシリコン試料の作製	平成11年11月～平成14年3月
黄 少云	東京工業大学 量子ナノエレクトロニクス研究センター	大学院生(CREST研究補助員)	ネオシリコン試料の作製	平成12年10月～平成16年10月
Mohamed Ali Salem	東京工業大学 量子ナノエレクトロニクス研究センター	大学院生	ネオシリコン試料の作製	平成13年10月～平成16年10月
山中 崇行	東京工業大学 量子効果エレクトロニクス研究センター	大学院生	ネオシリコン試料の作製	平成12年4月～平成14年3月
大町 純一	東京工業大学 量子効果エレクトロニクス研究センター	大学院生	ネオシリコン試料の作製	平成12年4月～平成14年3月
中村 暉	東京工業大学 量子効果エレクトロニクス研究センター	大学院生	ネオシリコン試料の作製	平成13年4月～平成15年3月
小澤 治	東京工業大学 量子効果エレクトロニクス研究センター	大学院生	ネオシリコン試料の作製	平成13年4月～平成15年3月

高居 康介	東京工業大学 量子効果 エレクトロニクス研究セ ンター	大学院生	ネオシリコン試料の 作製	平成14年4月 ～平成16年3 月
中務 琢也	東京工業大学 量子効果 エレクトロニクス研究セ ンター	大学院生	ネオシリコン試料の 作製	平成14年4月 ～平成16年3 月
田中 敦之	東京工業大学 量子ナノ エレクトロニクス研究セ ンター	大学院生	ネオシリコン試料の 作製	平成15年4月 ～平成16年1 月
川田 善之	東京工業大学 量子ナノ エレクトロニクス研究セ ンター	大学院生	ネオシリコン試料の 作製	平成15年4月 ～平成16年1 月
池澤 健太	東京工業大学 量子ナノ エレクトロニクス研究セ ンター	大学院生	ネオシリコン試料の 作製	平成15年4月 ～平成16年1 月
百々信幸	東京工業大学 量子ナノ エレクトロニクス研究セ ンター	大学院生	ネオシリコン試料の 作製	平成16年4月 ～平成16年1 月
Raymond Tung	東京工業大学 量子効果 エレクトロニクス研究セ ンター	客員教授	ネオシリコン試料の 作製	平成13年1月 ～平成14年6 月

②発光・電子放出特性評価グループ

氏名	所属	役職	担当する研究項目	参加時期
越田 信義	東京農工大学 大学院	教授	散乱機構、高効率化・低電圧化、材料プロセスの検討	平成11年11 月～平成16年 10月

③微細領域電気特性評価グループ

氏名	所属	役職	担当する研究項目	参加時期
ハルーン・ア ーメド	ケンブリッジ大学 キャ ベンディッシュ研究所	教授	極微細加工、極微領 域電気特性評価	平成11年11 月～平成16年 10月
神谷 利男	東京工業大学応用セラミ ック研究所	助手 (ケンブリ ッジ大客員 研究員)	ナノシリコン単電子 素子解析	平成12年4月 ～平成14年2 月
Z. Durrani	ケンブリッジ大学 キャ ベンディッシュ研究所	研究員	極微細加工、極微領 域電気特性評価	平成11年11 月～平成16年 10月
Gareth J. Evans	ケンブリッジ大学 キャ ベンディッシュ研究所	大学院生	ナノワイヤ電子状態 計算	平成11年11 月～平成13年 9月
Yong Tsong Tan	ケンブリッジ大学 キャ ベンディッシュ研究所	大学院生	ナノシリコン単電子 素子解析	平成11年11 月～平成13年 10月
Philip M. Walker	ケンブリッジ大学 キャ ベンディッシュ研究所	大学院生	ナノ TFT 解析	平成14年1月 ～平成16年1 0月
Mohammed	ケンブリッジ大学 キャ	大学院生	ナノシリコン単電子	平成14年1月

Khalafalla	ベンディッシュ研究所		素子解析	～平成16年10月
Aftab Rafiq	ケンブリッジ大学 キャベンディッシュ研究所	大学院生	ナノピラー電子放出デバイス解析	平成15年1月～平成16年10月

④ 少数電子デバイスグループ

氏名	所属	役職	担当する研究項目	参加時期
高木一正	日立ヨーロッパ社ヨーポレートテクノロジーグループ	ゼネラルマネージャ	電子デバイス応用全般	平成16年4月～平成16年10月
中里 和郎	日立ヨーロッパ社日立ケンブリッジ研究所(H16年4月より名古屋大学大学院)	主管研究員	モデリング・応用探索	平成11年11月～平成16年10月
水田 博	日立ヨーロッパ社日立ケンブリッジ研究所(H15年10月より東京工業大学大学院)	所長	モデリング・応用探索	平成11年11月～平成15年9月
古田 善一	日立ヨーロッパ社日立ケンブリッジ研究所	研究員	ポイントコンタクト電気評価	平成11年11月～平成14年10月
宇野 重康	日立ヨーロッパ社日立ケンブリッジ研究所	研究員	放出解析・シミュレーション	平成14年8月～平成16年10月

⑤ 素子応用グループ

氏名	所属	役職	担当する研究項目	参加時期
尾内 享裕	日立製作所 研究開発本部	センタ長	TFTなどネオシリコンの素子応用検討	平成15年11月～平成16年10月
福田 宏	日立製作所 研究開発本部	主任研究員	TFTなどネオシリコンの素子応用検討	平成15年11月～平成16年10月
新井 唯	日立製作所 研究開発本部	研究員	TFTなどネオシリコンの素子応用検討	平成15年11月～平成16年10月
斎藤 慎一	日立製作所 研究開発本部	研究員	TFTなどネオシリコンの素子応用検討	平成15年11月～平成16年10月
嶋田 壽一	日立製作所 研究開発本部	嘱託	ネオシリコンの各種素子応用検討	平成11年11月～平成13年9月
嶋田 壽一	日立製作所 研究開発本部	嘱託 (技術アドバイザー)	ネオシリコンの各種素子応用検討	平成13年9月～平成16年10月
河内玄士朗	日立製作所 日立研究所	主任研究員	TFTなどネオシリコンの素子応用検討	平成11年11月～平成12年9月

木村 嘉伸	日立製作所 日立研究所	研究員	TFT などネオシリコンの素子応用検討	平成 12 年 4 月～平成 13 年 3 月 H12,4
安藤 正彦	日立製作所 研究開発本部	主任研究員	TFT などネオシリコンの素子応用検討	平成 12 年 10 月～平成 16 年 10 月
山口 伸也	日立製作所 研究開発本部	主任研究員	TFT などネオシリコンの素子応用検討	平成 13 年 4 月～平成 15 年 1 月

5. 研究期間中の主な活動

(1) ワークショップ・シンポジウム等

年月日	名称	場所	参加人数	概要
平成 12 年 2月 2 日	小田チームキックオフ会議	東工大	13 人	研究チームの顔合わせ、研究目標と役割分担の確認
平成 12 年 3月 14 日	ケンブリッジグループ会議	ケンブリッジ大学キャベンディッシュ研究所	8 人	ケンブリッジ大学、日立ケンブリッジ研究所の研究内容を中心に議論
平成 12 年 4月 4 日	電子放出に関する会議	東工大	8 人	東工大、農工大、日立グループによる電子放出応用に関する検討
平成 12 年 9月 1 日	小田チーム会議	東工大	21 人	平成 12 年度前半の進捗状況と今後の計画を議論
平成 13 年 3月 15 - 16 日	小田チーム会議	ケンブリッジ大学キャベンディッシュ研究所	14 人	平成 12 年度後半の進捗状況と今後の計画を議論
平成 13 年 6月 9 日	小田チーム会議	京都	6 人	平成 13 年度研究計画に関して役割分担と共同研究体制の詳細を確認
平成 13 年 9月 15 日	小田チーム会議	東工大	20 人	平成 13 年度前半の進捗状況と今後の計画を議論
平成 14 年 3月 7 - 8 日	小田チーム会議	ケンブリッジ大学キャベンディッシュ研究所	10 人	平成 13 年度後半の進捗状況と今後の計画を議論
平成 14 年 5月 2 日	電子放出に関する会議	東工大	8 人	東工大、農工大、日立グループによる電子放出応用に関する検討
平成 14 年 7月 4 日	小田チーム会議	日立中央研究所(ビデオ会議)	9 人	ケンブリッジと中間評価に向けて発表内容を検討
平成 14 年 7月 16 日	小田チーム会議	東工大	7 人	中間評価に向けて発表内容を検討
平成 14 年 10月 24 日	小田チーム会議	東工大	20 人	シンポジウム発表内容を検討
平成 15 年 3月 6 - 7 日	小田チーム会議	ケンブリッジ大学キャベンディッシュ研究所	11 人	平成 14 年度研究成果のまとめと今後の研究計画を討論

平成 15 年 4月 25 日	電子放出に関する会議 (ビデオ会議)	日立中央研究所一日立 ケンブリッジ研究所	7 人	日立ケンブリッジ、農工大、 日立中研による電子放出メ カニズムの議論
平成 15 年 10 月 28 日	小田チーム会議	東工大	20 人	研究成果のまとめと今後の 研究計画を討論
平成 16 年 6月 21 日	小田チーム会議	東工大	20 人	プロジェクト終了に向けて のまとめ方を検討

(2) 招聘した研究者等

氏名 (所属、役職)	招聘の目的	滞在先	滞在期間
水田博 (日立ケンブリッジ研究所、所長兼主任研究員)	キックオフ会議出席	東工大	平成 12 年 2 月 2 日
Y. T. Tan (ケンブリッジ大学 キヤベンディッシュ研究所、大学院生)	ナノ結晶シリコン 単電子素子に関する共同研究	東工大	平成 12 年 2 月 1 日～2 月 7 日
西口 克彦 (東京工業大学量子効果エレクトロニクス研究センター、大学院生)	ネオシリコンの電子輸送・放出メカニズムに関する共同研究	日立ケンブリッジ 研究所	平成 12 年 2 月 23 日～3 月 2 2 日
神谷利夫 (東京工業大学応用セラミックス研究所、助手)	ナノ結晶シリコン 薄膜単電子素子の共同研究	ケンブリッジ大学 キヤベンディッシュ 研究所	平成 12 年 4 月 1 日～平成 14 年 3 月 31 日
古田義一 (日立ケンブリッジ研究所、研究員)	チーム会議出席	東工大	平成 12 年 9 月 1 日
西口 克彦 (東京工業大学量子効果エレクトロニクス研究センター、大学院生)	ネオシリコンの電子輸送・放出メカニズムに関する共同研究	日立ケンブリッジ 研究所	平成 13 年 3 月 7 日～3 月 22 日
土屋良重 (東京工業大学量子効果エレクトロニクス研究センター、助手)	ネオシリコンの電子輸送・放出メカニズムに関する共同研究	日立ケンブリッジ 研究所	平成 14 年 3 月 4 日～3 月 15 日
古田義一 (日立ケンブリッジ研究所、研究員)	チーム会議・中間評価会議出席	東工大	平成 14 年 7 月 16 日～17 日
水田博 (日立ケンブリッジ研究所、所長兼主任研究員)	チーム会議・中間評価会議出席	東工大	平成 14 年 7 月 16 日～17 日
宇野重康 (日立ケンブリッジ研究所、研究員)	ネオシリコンの電子輸送・放出メカニズムに関する検討 まとめ	東工大	平成 16 年 9 月 21 日～10 月 1 日

6. 主な研究成果物、発表等

(1) 論文発表 (和文2件、英文9件)

1. M.Takahashi and N.Koshida, Fabrication and characteristics of three-dimensionally buried porous silicon optical waveguides, *J. Appl. Phys.* **86**, 5274-5278 (1999).
2. N. Koshida, X. Sheng, and T. Komoda, Quasiballistic electron emission from porous silicon diodes, *Appl. Surf. Sci.* **146**, 371-376 (1999).
3. T. Komoda, X. Sheng, and N. Koshida, Mechanism of efficient and stable surface-emitting cold cathode based on porous polycrystalline silicon films, *J. Vac. Sci. Technol. B* **17**, 1076-1079 (1999).
4. K. Nishiguchi and S. Oda, Conductance quantization in nanoscale vertical-structure silicon field-effect transistors with a wrap gate, *Appl. Phys. Lett.*, **76**(20), 2922-2924, 2000
5. 小田俊理, 21世紀への道 電子材料—ナノシリコンとネオシリコン—*Electrochemistry*, **68** (12), 294-296, 2000 (**Invited**)
6. A. Dutta, S. P. Lee, Y. Hayafune, S. Hatatani and S. Oda, Single Electron Tunneling Devices Based on Silicon Quantum Dots Fabricated by Plasma Process, *Jpn. J. Appl. Phys.*, **39**(1), 264-267, 2000
7. B. J. Hinds, K. Nishiguchi, A. Dutta, T. Yamanaka, S. Hatatani and S. Oda, Two-Gate Transistor for the Study of Si/SiO₂ Interface in SOI Nano-Channel and Nanocrystalline Si memory Device, *Jpn. J. Appl. Phys.* **39**(7B), 4637-4641, 2000
8. A. Dutta, S. Oda, Y. Fu and M. Willander, Electron Transport in Nanocrystalline-Si Based Single Electron Transistors, *Jpn. J. Appl. Phys.* **39**(7B), 4647-4650, 2000
9. F. Yun, B. J. Hinds, S. Hatatani and S. Oda, Room temperature single-electron narrow channel memory with silicon nanodots embedded in SiO₂ matrix, *Jpn. J. Appl. Phys.* **39**(8A), L792-L795, 2000
10. Amit Dutta, Yoshinori Hayafune and Shunri Oda, Single Electron Memory Devices Based on Plasma Derived Silicon Nanocrystals, *Jpn. J. Appl. Phys.* **39**(8B), L855-L857, 2000
11. K. Nishiguchi and S. Oda, Electron transport in a single silicon quantum structure using a vertical silicon probe, *J. Appl. Phys.* **88** (7), 4186-4190, 2000
12. A. Dutta, S. P. Lee, Y. Hayafune and S. Oda, Electron-Beam Direct-Writing using RD2000N for Fabrication of Nano-Devices, *J. Vac. Sci. Technol.* **18** (6), 2857-2861, 2000
13. K. Nishiguchi, S. Hara, T. Amano, S. Hatatani and S. Oda, Preparation of Nanocrystalline Silicon Quantum Dots by Pulsed Plasma Processes with High Deposition Rates, *Materials Research Society Symposium Proceedings*, **571**, 43-48, 2000
14. Y. Fu, M. Willander, A. Dutta and S. Oda, Carrier conduction in Si-nanocrystal-based single electron transistor-I. Effect of a gate bias, *Superlattices and Microstructures*, **28**(3), 177-187, 2000
15. Y. Fu, M. Willander, A. Dutta and S. Oda, Carrier conduction in Si-nanocrystal-based single electron transistor-II. Effect of a drain bias, *Superlattices and Microstructures*, **28**(3), 189-198, 2000
16. F. Yun, B. J. Hinds, S. Hatatani, S. Oda, Q. X. Zhao and M. Willander, Study of Structural and Optical Properties of Nanocrystalline Silicon Embedded in SIO₂, Thin Solid Films, **375**(1-2), 137-141, 2000
17. K. Nishiguchi and S. Oda, A self-aligned two-gate single-electron transistor derived from 0.12μm lithography, *Appl. Phys. Lett.* **78**(14), 2070-2072, 2001
18. 小田俊理, 21世紀の单電子デバイス, 電気学会論文誌C, 121-C (1), 19-22, 2001 (**Invited**)
19. Y. T. Tan, T. Kamiya, Z. A. K. Durrani, and H. Ahmed: ‘Single-electron effects in side-gated point contacts fabricated in low-temperature deposited nanocrystalline silicon films’, *Appl. Phys. Lett.* **78**, 1083 (2001).

20. Y. T. Tan, Z. A. K. Durrani, and H. Ahmed, ‘Electrical and structural properties of solid phase crystallised polycrystalline silicon and their correlation to single-electron effects’, *J. Appl. Phys.*, **89**, 1262 (2001).
21. X. Sheng, A. Kojima, T. Komoda and N. Koshida, Efficient and ballistic cold electron emission from porous polycrystalline silicon diodes with a porosity multilayer structure, *J. Vac. Sci. Technol. B* **19**, 64-67 (2001).
22. B. Gelloz and N. Koshida, Electroluminescence with high and stable quantum efficiency and low threshold voltage from anodically oxidized thin porous silicon diode, *J. Appl. Phys.* **87**, 4319-4324 (2000).
23. T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa, Y. Kondo and N. Koshida, Matrix flat-panel application of ballistic electron surface-emitting display, Society of Information Display Int. Symp., Digest of Technical Papers Vol. **31**, Long Beach, 2000 (SID, San Jose, 2000) pp. 428-431.
24. K. Ueno and N. Koshida, Optical accessibility of light-emissive nanosilicon memory, *Physica Status Solidi A Appl. Res.* Vol. **182**, 579-584 (2000).
25. M. Takahashi, Y.Toriumi, and N. Koshida, Current-Induced optical effect in porous silicon Fabry-Perot resonators, *Physica Status Solidi A Appl. Res.* Vol. **182**, 567-572 (2000).
26. M.Takahashi, Y.Toriumi, T. Matsumoto, Y.Masumoto, and N.Koshida, Significant photoinduced refractive index change observed in porous silicon Fabry-Perot resonators, *Appl. Phys. Phys.* **76**, 1990-1992 (2000).
27. S. Oda and K. Nishiguchi, Nanocrystalline silicon quantum dots prepared by VHF plasma enhanced chemical vapor deposition, *Journal de Physique IV*, 11(Pr.3), 1065-1071, 2001
28. B. J. Hinds, T. Yamanaka and S. Oda, Emission Lifetime of Polarizable Charge Stored in Nano-Crystalline Si Based Single Electron Memory, *Journal of Applied Physics*, 90(12), 6402-6408, 2001
29. B. J. Hinds, T. Yamanaka and S. Oda, Charge Storage Mechanism in Nano-Crystalline Si Based Single Electron Memories, *Materials Research Society Symposium Proceedings*, 638, F2.2.1-F2.2.6, 2001
30. J. Omachi, R. Nakamura, K. Nishiguchi and S. Oda, Retardation in the oxidation rate of nanocrystalline silicon quantum dots, *Materials Research Society Symposium Proceedings*, 638, F5.3.1-F5.3.6, 2001
31. K. Nishiguchi, X. Zhao and S. Oda, Fabrication and characterization of cold electron emitter based on nanocrystalline silicon quantum dots, *Materials Research Society Symposium Proceedings*, 638, F5.9.1-F5.9.6, 2001
32. K. Arai, J. Omachi, K. Nishiguchi and S. Oda, Photoluminescence study of the self-limiting oxidation in nanocrystalline silicon quantum dots Materials, *Research Society Symposium Proceedings*, 664, A20.6.1-A20.6.6, 2001
33. S. Oda, Electron transport in silicon nanodevices, APPC 2000, Eds by Y. D. Yao et al (World Scientific, Singapore, 2001), 67-72, 2001 (**Invited**)
34. K. Nishiguchi and S. Oda, Ballistic transport under magnetic field in silicon vertical transistors, *Proceedings of the 25th International Conference on the Physics of Semiconductors*, Eds by N. Miura and T. Ando (Springer, Berlin, 2001), 1037-1038, 2001
35. K. Nishiguchi, X. Zhao and S. Oda, Fabrication and characterization of nanocrystalline silicon electron emitter, *Proceedings of the 25th International Conference on the Physics of Semiconductors*, Eds by N. Miura and T. Ando (Springer, Berlin, 2001), 1749-1750, 2001
36. T. Kamiya, K. Nakahata, Y. T. Tan, Z. A. K. Durrani, and I. Shimuzu, Growth, structure, and transport properties of thin (>10 nm) *n*-type microcrystalline silicon prepared on silicon oxide and its application to single-electron transistor, *Journal of Applied Physics*, Vol. 89, p6265, 2001
37. N. Koshida, Multifunctional properties of nanocrystalline porous silicon as a quantum-confined material (**Invited**), *Mater. Sci. & Eng. C* **724**, 285-289, 2002
38. A. Kojima, X. Sheng, and N. Koshida, Analyses of ballistic electron transport in nanocrystalline porous silicon, *Materials Res. Soc. Symp. Proc.* **638**, F.3.3.1-F.3.3.6,

- 2001
39. T. Komoda, T. Ichihara, Y. Honda, K. Aizawa, and N. Koshida, Ballistic electron surface-emitting cold cathode by porous polycrystalline silicon film formed on glass substrare (**Invited**), Materials Res. Soc. Symp. Proc. **638**, F.4.1.1-F.4.1.12, 2001
 40. Y. Nakajima, A. Kojima, and N. Koshida, A novel solid-state light-emitting device based on ballistic electrons excitation, Materials Res. Soc. Symp. Proc. **638**, F.4.2.1-F.4.2.6, 2001
 41. Y. Toriumi, M. Takahashi, and N. Koshida, A significant change in refractive index of nanocrystalline porous silicon induced by carrier injection, Materials Res. Soc. Symp. Proc. **638**, F.8.3.1-F.8.3.6, 2001
 42. N. Koshida, J. Kadokura, M. Takahashi, and K. Imai, Stabilization of porous silicon electroluminescence by surface capping with silicon dioxide films, Materials Res. Soc. Symp. Proc. **638**, F.18.3.1-F.18.3.6, 2001
 43. T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa, and N. Koshida, Fabrication of ballistic electron surface-emitting display on glass substrates (**Invited**), Soc. Information Display, Digest of Tech. Papers **32**, 188-191, 2001
 44. N. Koshida, T. Migita, Y. Kishimoto, M. Fuchigami, and H. Shinoda, Novel ultrasonic technology by nanocrystalline porous silicon (**Invited**), Proc. Int. Electrochem. Soc. Symp. PV **2000-25**, 326-332, 2001
 45. T. Ichihara, T. Komoda, Y. Honda, Y. Watabe, T. Hatai, T. Baba K. Aizawa, and N. Koshida, Improved characteristics of ballistic electron surface-emitting display device (BSD) fabricated on a quartz glass substrate, Proc. 2001 Int. Display Workshop, 1193-1196, 2001
 46. A. Kojima and N. Koshida, Evidence of enlarged drift length in nanocrystalline porous silicon layers by time-of-flight measurements, Jpn. J. Appl. Phys. **40**, 366-368, 2001
 47. H. Mizuta, H. O. Müller, K. Nakazato, D. Williams, Z. Durrani, A. Irvine, G. Evans, S. Amakawa, K. Nakazato and H. Ahmed, "Nanoscale Coulomb blockade memory and logic devices" Nanotechnology **12**, 155, 2001
 48. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z.A.K. Durrani, H. Ahmed and K. Taniguchi: "Carrier Transport across a Few Grain Boundaries in Highly Doped Polycrystalline Silicon", Jpn. J. Appl. Phys. **40**, L615, 2001
 49. G. Evans, H. Mizuta and H. Ahmed, "Modelling of Structural and Threshold Voltage Characteristics of Randomly Doped Silicon Nanowires in the Coulomb-Blockade Regime" Jpn. J. Appl. Phys. **40**, 5837, 2001
 50. K. Nishiguchi and S. Oda, Ballistic transport in silicon vertical transistors, Journal of Applied Physics, **92**(3), 1399-1405 (2002).
 51. K. Nishiguchi, X. Zhao and S. Oda, Nanocrystalline silicon electron emitter with a high efficiency enhanced by a planarization technique, Journal of Applied Physics, **92**(5), 2748-2757 (2002).
 52. S. Banerjee, S. Y. Huang, T. Yamanaka and S. Oda, Evidence of storing and erasing of electrons in nanocrystalline-Si based memory device at 77K, Journal of Vacuum Science and Technology, **B20**(3), 1135-1138 (2002).
 53. S. Y. Huang, S. Banerjee and S. Oda, C-V and G-V measurements showing single electron trapping in nanocrystalline silicon dot embedded in MOS memory structure, Materials Research Society Symposium Proceedings, **686**, A8.8.1-A8.8.6 (2002).
 54. S. Y. Huang, S. Banerjee and S. Oda, Temperature and frequency dependencies of charging and discharging properties in MOS memory based on nanocrystalline silicon dot, Materials Research Society Symposium Proceedings, **715**, A12.5.1-A12.5.6 (2002).
 55. Shaoyun Huang, Souris Banerjee, Raymond T. Tung, Shunri Oda, Electron Trapping, Storing and Emission in nanocrystalline Si dots by Capacitance-Voltage Measurements, Journal of Applied Physics, **93**(1), 576-581,(2003).
 56. Y. Nakajima, A. Kojima, and N. Koshida, Generation of ballistic electrons in nanocrystalline porous silicon layers and its application to a solid-state planar luminescent device, Appl. Phys. Letters, **81**, 2472-2474 (2002).
 57. K. Yamada, K. Goto, Y. Nakajima, N. Koshida, and H. Shinoda, Wire-Free Tactile Sensing Element based on Optical Connection, Proc.19th Sensor Symposium, 433-436 (2002).

58. N. Asamura, U. K. Saman Keerthi, T. Migita, N. Koshida, and H. Shinoda, Intensifying Thermally Induced Ultrasound Emission, Proc.19th Sensor Symposium, IEEJ, Tokyo, 477-482 (2002).
59. T. Komoda, Y. Honda, T. Ichihara, T. Hatai, Y. Takegawa, Y. Watabe, and K. Aizawa, Development of a Low Temperature Process of Ballistic Electron Surface-Emitting Display (BSD) on a Glass Substrate, Society for Information Display 2002 Int. Symp., Digest of Technical Papers, **33**, No.2, 1128-1131, SID, San Jose (2002).
60. T. Ichihara, Y. Honda, K. Aizawa T. Komoda and N. Koshida, Development of ballistic electron cold cathode by a low temperature processing of polycrystalline silicon films, J. Crystal Growth Special Issue, **237–239**, 1915–1919 (2002).
61. Y. Nakajima, A. Kojima, and N. Koshida, A solid-state light-emitting device based on excitation of ballistic electrons generated in nanocrystalline porous poly-silicon films, Jpn. J. Appl. Phys., **41**, 2707-2709 (2002).
62. T. Migita and N. Koshida, Transient and stationary characteristics of thermally induced ultrasonic emission from nanocrystalline porous silicon, Jpn. J. Appl. Phys., **41**, 2588-2590, (2002).
63. N. Koshida, A. Kojima, T. Migita, and Y. Nakajima, Multifunctional properties of nanocrystalline porous silicon as a quantum-confined material, Mater. Sci. & Eng., **C724**, 285-289 (2002) (**invited**).
64. Y. Osaka, K. Kohno, H. Mizuno, and N. Koshida, Physical properties of SiO₂-doped Si films and electroluminescence in metal/SiO₂-doped Si/p-Si diodes, Jpn. J. Appl. Phys. **41**, 7481-7486 (2002).
65. N. Koshida and N. Matsumoto, Fabrication and Quantum Properties of Nanostructured Silicon, Materials Science and Engineering R **19**, 169-205 (2002).
66. Y. Furuta, H. Mizuta, K. Nakazato, T. Kamiya, Y. T. Tan, Z. A. K. Durrani and K. Taniguchi, Characterisation of tunnel barriers in polycrystalline silicon point-contact single-electron transistors, Jpn. J. Appl. Phys. **41**, 2675 (2002)
67. Y. Furuta, H. Mizuta, T. Kamiya, Y. T. Tan, K. Nakazato, Z. A. K. Durrani and K. Taniguchi, Tunnel barrier properties in polycrystalline-Si single-electron transistors, Proceedings of the 32th European Solid-State Device Research Conference (2002).
68. G. Evans and H. Mizuta, Analysis of negative differential conductance in a two-island Coulomb blockade system by a polytope approximation in phase space, J. Appl. Phys. **92**, 3124 (2002).
69. H. Mizuta, Y. Furuta, T. Kamiya, Y. T. Tan, Z. A. K. Durrani, K. Nakazato and H. Ahmed, Single-electron charging phenomena in nano/polycrystalline silicon point-contact transistors (**Invited**), *Polycrystalline Semiconductors VII – Bulk Materials, Thin Films, and Devices*, T. Sameshima, T. Fuyuki, H.P. Strunk, J.H. Werner eds., in Series ‘Solid State Phenomena’, Scitech Publ., Uettikon am See, Switzerland 419 - 429 (2003).
70. T. Kamiya, Y. Furuta, Y. -T. Tan, Z. A. K. Durrani, H. Mizuta and H. Ahmed, Effects of oxidation and annealing temperature on grain boundary properties in polycrystalline silicon probed using nanometer-scale point-contact devices, *Polycrystalline Semiconductors VII – Bulk Materials, Thin Films, and Devices*, T. Sameshima, T. Fuyuki, H.P. Strunk, J.H. Werner eds., in Series ‘Solid State Phenomena’, Scitech Publ., Uettikon am See, Switzerland 351 – 354 (2003).
71. T. Kamiya, Y. T. Tan, Z. A. K. Durrani and H. Ahmed, Modification of the tunneling barrier in a nanocrystalline silicon single-electron transistor, J. Non-Cryst. Solids **299-302**, 405 (2002).
72. T. Kamiya, Z.A.K. Durrani and H. Ahmed, Control of grain-boundary tunneling barriers in polycrystalline silicon, Appl. Phys. Lett. **81** 2388 – 2390 (2002).
73. Z. A. K. Durrani, T. Kamiya, Y. T. Tan, H. Ahmed, N. Lloyd, Single-electron charging in nanocrystalline silicon point-contacts, Microelectronics Engineering **63**, 267 (2002)
74. S. Oda, NeoSilicon materials and silicon nanodevices, Materials Science and Engineering B, **101**, 19-23, (2003)
75. K. Arai and S. Oda, Photoluminescence of Surface Nitrided Nanocrystalline Silicon Dots, Physica Status Solidi (c), 0(4), 1254-1257, (2003)
76. T. Kamiya, Z.A.K. Durrani, H. Ahmed, T. Sameshima, Y. Furuta, H. Mizuta and N.

- Lloyd, "Reduction of grain-boundary potential barrier height in polycrystalline silicon with hot H₂O vapor annealing probed using point-contact devices", J. Vac. Sci. Technol. B **21**, 1000-1003 (2003)
77. S. Banerjee, M. A. Salem and S. Oda, Conducting-tip Atomic Force Microscopy for Injection and Probing of Localized Charges in Silicon Nanocrystals, Appl. Phys. Lett. **83**, 3788-3790 (2003)
78. S. Banerjee, S. Y. Huang and S. Oda, "A narrow-channel few-electron-memory with nanocrystalline Si dots as floating gate: Evidence of electron trapping and emission", IEEE Trans. Nanotechnology **2**, 88-92 (2003)
79. Shaoyun Huang, Souris Banerjee, Raymond Tung, Shunri Oda, Evaluation of quantum confinement energy in nanocrystalline silicon dots from high-frequency conductance measurement, J. Appl. Phys. **94**, 7261-7265 (2003).
80. M. Khalafallah, Z.A.K. Durrani and H. Mizuta, "Double-gate control of electronic transport in nanoscale point-contact in neo-silicon", IEEE Trans. Nanotechnology **2**, 271-276 (2003).
81. S. Uno, K. Nakazato, S. Yamaguchi, N. Koshida and H. Mizuta, "New insights in high-energy electron emission and underlying transport physics of nanocrystalline Si", IEEE Trans. Nanotechnology **2**, 301-307 (2003).
82. H. Mizuta, Y. Furuta, T. Kamiya, Y.T. Tan, Z.A.K. Durrani, S. Amakawa, K. Nakazato and H. Ahmed, "Nanosilicon for single-electron devices", Current Applied Physics **4**, 98-101 (2004).
83. P. Walker, H. Mizuta, S. Uno, Y. Furuta and D. Hasko, "Improved off-current and subthreshold slope in aggressively scaled poly-Si TFTs with a single grain boundary in the channel", IEEE Trans. Electron Device ED-**51**, 212-218, (2004).
84. Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed, "Room temperature nanocrystalline silicon single-electron transistors", J. Appl. Phys. **94**, pp. 633-637 (2003).
85. Z. A. K. Durrani, "Coulomb blockade, single electron transistors and circuits in silicon", Physica E **17**, p572-578 (2003).
86. N. Koshida and N. Matsumoto, Fabrication and quantum properties of nanostructured silicon, Materials Science and Engineering R **40**, 169-205 (2003).
87. B. Gelloz, H. Sano, R. Boukherroub, D.D.M. Wayner, D.J. Lockwood, and N. Koshida, Stabilization of porous silicon electroluminescence by surface passivation with controlled covalent bonds, Appl. Phys. Lett. **83**, 2342-2344 (2003).
88. N. Koshida, B. Gelloz, A. Kojima, T. Migita, Y. Nakajima, T. Ichihara, Y. Watabe, and T. Komoda, Photon, electron and ultrasonic emission from nanocrystalline porous silicon devices (**Invited**), Mater. Res. Soc. Symp. Vol. **737**, 801-812 (2003).
89. B. Gelloz and N. Koshida, Effects of amorphous carbon films on the performance of porous silicon electroluminescence, Mater. Res. Soc. Symp. Vol. **737**, 581-586 (2003).
90. T. Komoda, Y. Honda, T. Ichihara, T. Hatai, Y. Watabe, K. Aizawa, and N. Koshida, Demonstration of a possibility for a large panel BSD (Ballistic Electron Surface-Emitting Display) by fabricating 7.6 inches diagonal prototype model, Society for Information Display 2003 Int. Symp., Digest of Technical Papers Vol. **34**, 910-913 (SID, San Jose, 2003).
91. A. Kojima and N. Koshida, An analysis of electron transport in surface-passivated nanocrystalline porous silicon, Jpn. J. Appl. Phys. **42**, 2395-2398 (2003).
92. Y. Nakajima, H. Toyama, T. Uchida, A. Kojima, and N. Koshida, Characteristics of light emission by ballistic electron excitation in nanocrystalline silicon device formed on a p-type substrate, Jpn. J. Appl. Phys. **42**, 2412-2414 (2003).
93. B. Gelloz, A. Halimaoui, Y. Campidelli, A. Bsiesy, N. Koshida, and R. Herino, Anodic oxidation of p⁺-type porous silicon having pores uniformly covered with Ge, phys. stat. sol. (a) **197**, 123-127 (2003).
94. Y. Nakajima, H. Toyama, A. Kojima, and N. Koshida, A solid-state light-emitting device based on ballistic electron excitation using an inorganic material as a fluorescent film, phys. stat. sol. (a) **197**, 316-320 (2003).
95. A. Kojima and N. Koshida, A Monte-Carlo simulation of ballistic transport in nanocrystalline silicon diode, phys. stat. sol. (a) **197**, 452-457 (2003).
96. B. Gelloz and N. Koshida, Electroluminescence of nanocrystalline porous silicon

- devices, Chap. 5 in Handbook of Luminescence, Display Materials, and Devices Vol. 3, Ed. H.S. Nalwa and L.S. Rohwer (American Sci. Publ., 2003) pp.127-156.
97. T. Ichihara, T. Hatai, K. Aizawa and T. Komoda, A. Kojima and N. Koshida, Key role of nanocrystalline feature in porous polycrystalline silicon diodes for efficient ballistic electron emission, *J. Vac. Sci. & Technol. B* **24**, 57-59 (2004).
 98. T. Komoda, Y. Honda, T. Ichihara, T. Hatai, Y. Watabe, K. Aizawa, and N. Koshida, Fabrication of a 7.6-in.-diagonal prototype ballistic electron surface-emitting display on a glass substrate, *J. of Soc. for Information Display* **12**, 29-35 (2004).
 99. M. A. Salem, H. Mizuta and S. Oda, "Probing electron charging in nanocrystalline Si dots using Kelvin Probe Force Microscopy", *Appl. Phys. Lett.* **85**, pp. 3262-3264, 2004.
 100. M. A. Salem, H. Mizuta S. Oda, Y. Fu and M. Willandar, "AFM current-imaging study for current density through nanocrystalline silicon dots embedded in SiO_2 ", in press for *Jpn. J. Appl. Phys.* **44**, 2005.
 101. M. Khalafallah, H. Mizuta and Z.A.K. Durrani, "Coherent States in a Coupled Quantum Dot Nanocrystalline Silicon Transistor", *Appl. Phys. Lett.* **85**, pp. 2262-2264, 2004.

(2) 口頭発表

- ①招待、口頭講演 (国内学会 4 1 件、国際学会 1 1 3 件)
1. B. J. Hinds, A. Dutta, F. Yun, T. Yamanaka, S. Hatatani and S. Oda, Single electron memory utilizing nano-crystalline Si over short channel silicon-on-insulator transistors, Device Research Conference, Denver June 2000
 2. K. Nishiguchi and S. Oda, Electron transport in a single silicon quantum dot structure using a vertical silicon probe, Device Research Conference, Denver, June 2000
 3. B. J. Hinds, A. Dutta, T. Yamanaka, S. Hatatani and S. Oda, lifetime measurements of electrons stored nano-crystalline Si single electron memory devices, Silicon Nanoelectrics Workshop, Honolulu, June 2000
 4. K. Nishiguchi and S. Oda, Ballistic transport in a silicon vertical transistor, Silicon Nanoelectrics Workshop, Honolulu, June 2000
 5. Y. Feng, B. J. Hinds, A. Dutta, S. Hatatani and S. Oda, Single electron memory from nano-crystalline Si dots formed by the disproportionation reaction of silicon suboxide, 第47回応用物理学関係連合講演会, 東京, March 2000
 6. 西口克彦、小田俊理, シリコン縦型トランジスタによるパリスティック伝導の観測, 第47回応用物理学関係連合講演会, 東京, March 2000
 7. B. Gelloz and N. Koshida, Enhancing efficiency and stability of electroluminescence of porous silicon using electrochemical techniques, Proc. Int. Symp. on Advanced Luminescent Materials and Quantum Confinement (ECS, 1999) pp.27-34.
 8. M. Takahashi, Y. Toriumi, T. Matsumoto, Y. Masumoto, and N. Koshida: Nonlinear refractive index change in porous silicon Fabry-Perot resonators, Proc. Int. Symp. on Advanced Luminescent Materials and Quantum Confinement (ECS, 1999) pp.35-42.
 9. K. Nishiguchi and S. Oda, Single-Electron Transistors with Two Self-Aligned Gates, Solid State Devices and Materials Conference, Sendai, August 2000
 10. Shunri Oda, Electron Transport in Silicon Nanodevices, The 8th Asia Pacific Physics Conference, Taipei, August 2000
 11. B. J. Hinds, A. Dutta, F. Yun, T. Yamanaka, S. Hatatani and S. Oda, Single electron memory utilizing nano-crystalline Si over short channel silicon-on-insulator transistors, Device Research Conference, Denver, June 2000
 12. K. Nishiguchi and S. Oda, Electron transport in a single silicon quantum dot structure using a vertical silicon probe, Device Research Conference, Denver, June 2000
 13. S. Oda, Si Quantum Dot Devices and NeoSilicon, (**Invited**) JRCAT Workshop "Impact of Nanotechnology on Si Technology", Tsukuba, June 2000
 14. K. Nishiguchi and S. Oda, Ballistic transport in a silicon vertical transistor, Silicon Nanoelectrics Workshop, Honolulu, June 2000
 15. B. J. Hinds, A. Dutta, T. Yamanaka, S. Hatatani and S. Oda, lifetime measurements of

- electrons stored nano-crystalline Si single electron memory devices, Silicon Nanoelectrics Workshop, Honolulu, June 2000
16. S. Oda, Silicon Nanodevices and Neosilicon, (**Invited**) 10th Seoul International Symposium on the Physics of Semiconductor and Applications-2000, Cheju, November 2000
 17. K.Nishiguchi, S.Oda, Ballistic transport in silicon vertical transistors, 4th International Workshop on Quantum Functional Devices, Kanazawa, November 2000
 18. B. J. Hinds, T. Yamanaka, S. Hatatani, S. Oda, Charge Storage Mechanism in Nano-crystalline Si based Single-electron Memories, Materials Research Society, Boston, November 2000
 19. J. Ohmachi, R. Nakamura, K. Nishiguchi, S. Oda, Retardation in the Oxidation rate of Nanocrystalline Silicon Quantum Dots , Materials Research Society, Boston, November 2000
 20. K.Nishiguchi, S.Oda, Fabrication and Characterization of Cold Electron Emitter based on Nanocrystalline Silicon Quantum Dots, Materials Research Society, Boston, November 2000
 21. Katsuhiko Nishiguchi, X. Zhao and Shunri Oda, Fabrication and characterization of nanocrystalline silicon electron emitter, International Conference on Physics of Semiconductors, Osaka, September 2000
 22. Katsuhiko Nishiguchi and Shunri Oda, Ballistic transport under magnetic field in silicon vertical transistors, International Conference on Physics of Semiconductors, Osaka, September 2000
 23. Bruce J. Hinds, Amit Dutta, Takayuki Yamanaka, Shigeo Hatatani and Shunri Oda, Nano-Crystalline Si as Floating Gate Node for Single Electron Memory Devices, International Symposium on Formation, Physics and Device Application of Quantum Dot Structres, Sapporo, September 2000
 24. Shunri Oda, Amit Dutta, Katsuhiko Nishiguchi, Bruce J.Hinds, X. Zhao and Shigeo Hatatani, Single Electron Tunneling and Ballistic Transport in Silicon Nanodevices, International Symposium on Formation, Physics and Device Application of Quantum Dot Structres, Sapporo, September 2000
 25. 西口克彦、趙新為、小田俊理, ナノクリスタルシリコンを用いた平面型電子放出素子の作製, 第 61 回応用物理学会学術講演会, 札幌, September 2000
 26. 吉田征一郎、西口克彦、小田俊理, シリコン量子ドットを用いた短チャネルスイッチング素子の提案, 第 61 回応用物理学会学術講演会, 札幌, September 2000
 27. 西口克彦、小田俊理, セルフアライン・ダブルゲート単電子トランジスタの作製, 第 61 回応用物理学会学術講演会, 札幌, September 2000
 28. 山中崇行、 B.J.ハインズ、畠谷成郎、小田俊理, ナノ結晶シリコンを用いたナノチャネル単電子メモリの作製, 第 61 回応用物理学会学術講演会, 札幌, September 2000
 29. B. J. Hinds, T. Yamanaka, S. Hatatani, S. Oda, Lifetime Analysis of Single Electron Memory from Nano-crystalline Si Dots Floating-Gate over Nano-Scale Channel Transistor, 第 61 回応用物理学会学術講演会, 札幌, September 2000
 30. K. Arai, J. Omachi, K. Nishiguchi and S. Oda, Photoluminescence study of the self-limiting oxidation in nanocrystalline silicon quantum dots, MRS Spring Meeting, San Francisco, April 2001
 31. 小田俊理, シリコンナノデバイスとネオシリコン, シリコンテクノロジー分科会 第 27 回研究集会, 東京, March 2001
 32. B. J. Hinds, T.Yamanaka, S.Huang, R.Nakamura, S.Oda, Quantum Confinement Polarization Model for Lifetime of Discrete Charge Stored in Single Nano-crystalline Si Dot Floating-Gate Memory, 第 48 回応用物理学関係連合講演会, 東京, March 2001
 33. 新井健太、大町純一、西口克彦、小田俊理, Si 量子ドットのストレス誘起酸化抑制 (I I) : PL 評価, 第 48 回応用物理学関係連合講演会, 東京, March 2001
 34. 西口克彦、趙新為、小田俊理, ナノクリスタルシリコン平面型電子放出素子の最適化, 第 48 回応用物理学関係連合講演会, 東京, March 2001

35. 大町純一、西口克彦、新井健太、小田俊理, S i 量子ドットのストレス誘起酸化抑制 (I) : T E M観察, 第 48 回応用物理学関係連合講演会, 東京 , March 2001
36. Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed, and I. Shimizu: ‘Structural and electrical characterisation of nanocrystalline silicon (nc-Si) single-electron transistors’, Ext. Abst. 2000 Int. Conf. Sol. State Dev. And Mater. (SSDM 2000), 29-31 August 2000, Sendai, Japan.
37. T. Kamiya, Y. T. Tan, Z. A. K. Durrani, and H. Ahmed, ‘Carrier transport in ultra-thin microcrystalline silicon films and nanowires’, 48th Japan Society of Applied Physics Meeting Abstract No. 2, p936, 28 March 2001, Tokyo, Japan.
38. T. Kamiya, Y. T. Tan, Z. A. K. Durrani, and H. Ahmed, ‘Room temperature operation of single-electron transistors fabricated in nanocrystalline silicon thin films’, 48th Japan Society of Applied Physics Meeting Abstract No. 2, p970, 28 March 2001, Tokyo, Japan.
39. Y. T. Tan, T. Kamiya, Z. A. K. Durrani, and H. Ahmed, ‘Nanocrystalline silicon single-electron transistors’, Mater. Res. Soc. Symp. Abst., April, 2001, San Fransisco, U. S. A.
40. T. Kamiya, Y. T. Tan, Z. A. K. Durrani, and H. Ahmed, ‘Carrier transport in ultra-thin nano/polycrystalline silicon films’, Mater. Res. Soc. Symp. Abst., April 2001, San Fransisco, U. S. A.
41. N. Koshida, J. Kadokura, M. Takahashi, and K. Imai, Stabilization of porous silicon electroluminescence by surface capping with silicon dioxide films, Mat. Res. Soc. Symp. F, Boston, 2000.
42. Y. Toriumi, M. Takahashi, and N. Koshida, A Significant Change in refractive index of nanocrystalline porous silicon induced by carrier injection, Mat. Res. Soc. Symp. F, Boston, 2000.
43. T. Komoda, T. Ichihara, Y. Honda, K. Aizawa, and N. Koshida, Ballistic Electron Surface-Emitting Cold Cathode by Porous Polycrystalline Silicon Film Formed on Glass Substrate, Mat. Res. Soc. Symp. F, Boston, 2000.
44. A. Kojima, X. Sheng, and N. Koshida, Analyses of ballistic electron transport in nanocrystalline porous silicon, Mat. Res. Soc. Symp. F, Boston, 2000.
45. Y. Nakajima, A. Kojima, and N. Koshida, A novel solid-state light-emitting device based on ballistic electron excitation, Mat. Res. Soc. Symp. F, Boston, 2000.
46. A. Kojima and N. Koshida, An Evidence for Ballistic Transport in Nanocrystalline Porous Silicon Layer by Time-of-Flight Measurements, Ext. Abst. Int. Conf. Solid State Devices and Materials, Sendai, 2000, pp. 106-107.
47. H. Mizuta, H. -O. Müller, K. Tsukagoshi, D. Williams, K. Nakazato, Z. Durrani, A. Irvine, S. Amakawa, G. Evans and H. Ahmed, “Nanoscale Coulomb blockade memory and logic devices”, TNT2000 (16th-20th October, Toledo Spain, 2000)
48. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z.A.K. Durrani, and K. Taniguchi “Electron transport via a few grain boundaries in heavily doped polycrystalline-silicon point contact devices” 2001 Silicon Nanoelectronics Workshop, (11-12 June, Kyoto, 2001)
49. 嶋田寿一、シリコンナノ構造の制御と応用面からの期待、応用物理学会 シリコンテクノロジー分科会第27回研究集会、東京工業大学、2001年3月1日
50. S. Oda, NeoSilicon: Silicon quantum dots with controlled interparticle distanceInternational Workshop on Quantum Dots for Quantum Computing, Kochi, January, 2002
51. K. Arai, J. Omachi, K. Nishiguchi and S. Oda, Photoluminescence study of the self-limiting oxidation in nanocrystalline silicon quantum dots, MRS, Spring Meeting, 32, San Francisco, April, 2001
52. K. Nishiguchi, X. Zhao and S. Oda, Enhancement of Electron Emission Characteristics from Nanocrystalline Silicon by Planarization Technique Device, Research Conference, Notre Dame June, 2001
53. K. Nishiguchi and S. Oda, Ballistic transport under magnetic field in a silicon vertical structure device, Silicon Nanoelectronics Workshop, 22-23, Kyoto, June, 2001
54. S. Oda and K. Nishiguchi, Single electron and ballistic transport in silicon

- nanostructures, (**Invited**) Sweden-Japanese Workshop on Quantum Nanostructure Devices, Stockholm, June, 2001
55. S. Oda, NeoSilicon materials, (**Invited**) Ninth Hitachi-Cambridge Seminar, Cambridge, July, 2001
 56. S. Oda and K. Nishiguchi, Nanocrystalline silicon quantum dots prepared by VHF plasma enhanced chemical vapor deposition, (**Invited**) EUROCVD-13, Athens, August, 2001
 57. S. Oda and K. Nishiguchi, Single electron and ballistic transport in silicon nanoscale devices, (**Invited**) FSRC Science and Technology of Silicon Materials, La Jolla, August, 2001
 58. S. Oda, Fabrication and device application of silicon nanostructures, (**Invited**) AIST International Symposium on Nanotechnology, Tokyo, November, 2001
 59. S. Y. Huang, S. Banerjee and S. Oda, C-V and G-V measurements showing single electron trapping in nanocrystalline silicon dot embedded in MOS memory structure, MRS Fall Meeting, Boston, November, 2001
 60. S. Oda, Nanocrystalline silicon quantum dots: fabrication, characterization and application, Yamada Conference LVII on "Atomic-scale surface designing for functional low-dimensional materials", (**Invited**) Tsukuba, November, 2001
 61. S. Y. Huang, S. Banerjee and S. Oda, Observation of Single Electron Trapping in nc-Si Dot by C-V Measurement 第 62 回応用物理学会学術講演会, 豊田, September, 2001
 62. 新井健太、大町純一、小田俊理 表面酸化による Si 量子ドットの発光強度の増大、第 62 回応用物理学会学術講演会, 豊田, September, 2001
 63. 小田俊理, シリコンナノエレクトロニクス, (**Invited**) 東北大電気通信研究所講演会, 仙台, October, 2001
 64. 小田俊理, シリコンナノデバイス, (**Invited**) 東電記念財団講演会, 東京, November, 2001
 65. S. Banerjee, S. Y. Huang and S. Oda, Electron storing and emission in nanocrystalline Si-based memory device at 77K, 第 49 回応用物理学関係連合講演会, 平塚, March, 2002
 66. S. Y. Huang, S. Banerjee and S. Oda, Investigation of frequency and temperature dependence of C-V and G-V characteristics in SiO₂/nc-Si/SiO₂sandwich structure, 第 49 回応用物理学関係連合講演会, 平塚, March, 2002
 67. 新井健太、小田俊理、表面酸化シリコン量子ドットの PL 特性の粒径依存性, 第 49 回応用物理学関係連合講演会, 平塚, March, 2002
 68. 西口克彦、趙新為, 小田俊理, ナノクリスタルシリコン平面型ホットエレクトロン放出素子の特性向上, 第 49 回応用物理学関係連合講演会, 平塚, March, 2002
 69. Z. A. K. Durrani, T. Kamiya, Y. T. Tan, H. Ahmed, (**Invited**), Single-electron charging in nanocrystalline silicon point-contacts, New Phenomena in Mesoscopic Structure (NPMS-5), Hawaii, USA, 25-30, Nov., 2001
 70. T. Kamiya, Y. T. Tan, Z. A. K. Durrani, H. Ahmed, Single-electron devices and nanostructures in silicon, Proc. 7th International Symposium on Advanced Physical Fields, Tsukuba, Japan, 12-15, Nov., 2001
 71. Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed, Optimisation of tunnel barriers for nc-Si single-electron transistors, Ext. Abstract of the 2001 Int. Conf. on Sol. State Dev. and Mater, Tokyo, Japan, 26-28, P-1-18, pp.434-435, Sep. 2001
 72. T. Kamiya, Y. T. Tan, Z. A. K. Durrani, H. Ahmed, Modification of the tunneling barrier in a nanocrystalline silicon single-electron transistor, 19th International Conference on Amorphous and Microcrystalline Semiconductors (ICAMS19), Nice, France, 27-31, Mo-B1/5, August, 2001
 73. A. Kojima and N. Koshida, A Monte-Carlo simulation of ballistic transport in nanocrystalline silicon diode, The 3rd Int. Conf. on Porous Semiconductors Sci. and Tecnnol., Tenerife, Spain, March, 2002
 74. Y. Nakajima, H. Toyama, A. Kojima, and N. Koshida, A solid-state light-emitting device based on ballistic electron excitation using an inorganic material as a fluorescent film,

- The 3rd Int. Conf. on Porous Semiconductors Sci. and Tecnnol., Tenerife, Spain, March, 2002
75. N. Koshida, T. Migita, J. Hirota, N. Asamura, and H. Shinoda, Enhancement in the thermally induced acoustic output power of nanocrystalline porous silicon ultrasound generator, The 3rd Int. Conf. on Porous Semiconductors Science and Tecnnology, Tenerife, Spain, March, 2002
 76. T. Ichihara, Y. Honda, K. Aizawa, T. Komoda, and N. Koshida, Improved characteristics of ballistic electron surface-emitting display device (BSD) fabricated on a quartz glass substrate, Int. Display Workshop, Nagoya, October, 2001
 77. T. Migita, H. Shinoda, and N. Koshida, Transient and stationary characteristics of thermally induced ultrasonic emission from nanocrystalline porous silicon, Int. Conf. Solid State Devices and Materials, Tokyo, September, 2001
 78. Y. Nakajima, A. Kojima, and N. Koshida, A solid-state light-emitting device based on excitations of ballistic electrons generated in nanocrystalline porous polysilicon film, Int. Conf. Solid State Devices and Materials, Tokyo, September, 2001
 79. T. Ichihara, Y. Honda, K. Aizawa and T. Komoda, N. Koshida, Development of ballistic electron cold cathode by a low temperature processing of polycrystalline silicon films, 13th International Conference on Crystal Growth, Kyoto, July, 2001
 80. N. Koshida, Multifunctional properties of nanocrystalline porous silicon as a quantum-confined material, European Materials Research Society Meeting, Strasbourg, France, June, 2001
 81. T. Komoda, Y. Honda, T. Hatai, Y. Watabe, T. Ichihara, K. Aizawa, and N. Koshida, Fabrication of ballistic electron surface-emitting display on glass substrates, Society of Information Display Meeting, San Jose, USA, June, 2001
 82. N. Koshida, Possible functional devices on nanocrystalline silicon, The 1st Electrochem. Soc. Int. Conf. on Semiconductor Technology, Shanghai, China, May, 2001
 83. Y. Furuta, H. Mizuta, K. Nakazato, T. Kamiya, Y. T. Tan, Z.A.K. Durrani and K. Taniguchi: "Electron transport via a few grain boundaries in heavily doped polycrystalline-silicon point contact devices" 2001 Silicon Nanoelectronics Workshop, 10-11, Kyoto, June 2001
 84. H. Mizuta, "Local disorder effects in nanoscale devices" Ninth Hitachi-Cambridge Seminar (in co-operation with Japan 2001), Cambridge, July 16, 2001
 85. H. Mizuta, Y. Furuta, G. Evans, K. Nakazato, T. Kamiya, Y. T. Tan, Z.A.K. Durrani and H. Ahmed, "Local disorder of effect on electron transport in silicon nanostructures", Trends In Nanotechnology 2001 (TNT2001), Spain, September 3-7, 2001
 86. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z.A.K. Durrani, and K. Taniguchi: "Characterization of tunnel-barriers in poly-Si point-contact single-electron transistors" 2001 INTERNATIONAL CONFERENCE ON SOLID STATE DEVICES AND MATERIALS (2001 SSDM), Tokyo, September 26-28, 2001
 87. T. Shimada, "Electron Transfer Characteristics and Potential Applications of Silicon-Based Nanostructures", Sixth China-Japan Symposium on Thin Films, Kunming Yunnan, China, 5-8 November, 2001
 88. Toshikazu Shimada, Masahiko Ando, Shinya Yamaguchi, "Potential Device Applications of Neo-silicon and it's Material Characterization", The 2nd CREST symposium on FEMD, Tokyo, Japan, 25 October, 2001.
 89. T. Shimada, "Electron Transfer in/into/from Nano-Silicon Materials from Device Application Viewpoint", 19th International Conference on Amorphous and Microcrystalline Semiconductors, Nice, France, 27-31 August, 2001
 90. S. Y. Huang, S. Banerjee and S. Oda, Temperature and frequency dependence of charging and discharging properties in MOS memories based on nanocrystalline silicon dots, MRS Spring Meeting, San Francisco, April2002, 25.
 91. K. Arai, J. Omachi and S. Oda, Manifestation of the Quasi-Direct Recombination in Nanocrystalline Silicon Dots by Reducing the Core Diameter, Electrochemical Society, Philadelphia, May2002.
 92. S. Oda, NeoSilicon material and silicon nanodevices, E-MRS Spring Meeting, Strasbourg, June2002 (**invited**).
 93. S. Banerjee, S. Huang and S. Oda, Operation of a narrow channel memory device with a

- few Si quantum dots in the active region, E-MRS Spring Meeting, Strasbourg, June2002.
94. S. Banerjee, S. Huang and S. Oda, Evidence of Electron Trapping and Emission in Nanocrystalline-Si Based Memory Devices, Silicon Nanoelectronics Workshop, Honolulu, June2002.
 95. S.Oda, Single Electron and Ballistic Transport in Silicon Devices, ECS International Semiconductor Technology Conference, Tokyo, September2002 (**invited**).
 96. K. Arai and S. Oda, Photoluminescence of Surface Nitrided Nanocrystalline Silicon Dots, 2nd International Conference on Semiconductor Quantum Dots, Tokyo, October2002.
 97. Shaoyun Huang, Souris Banerjee, Shunri Oda, Observation of Quantum Confinement Effect in Nanocrystalline Silicon Dot Floating Gate Single Electron Memory Devices, MRS Fall Meeting, Boston, December 2002.
 98. Shunri Oda, High efficiency electron/photon emission from silicon quantum dots, 5th Sweden-Japan QNANO Workshop, Yokohama, December 2002.
 99. Shaoyun Huang, Souris Banerjee and Shunri Oda, Analysis of electron energy spacing in nanocrystalline silicon dots by C-V and G-V method, 第 63 回応用物理学会学術講演会, 新潟, September2002.
 100. 小澤治、高居康介、星出祐亮、土屋良重、小田俊理, セルフアライン金属・半導体ダブルドット単電子素子の作製と評価, 第 63 回応用物理学会学術講演会, 新潟, September2002.
 101. 新井健太、森智彦、小田俊理, 表面酸化シリコン量子ドットの P L 特性の窒化による変化, 第 63 回応用物理学会学術講演会, 新潟, September2002.
 102. S. Banerjee, S. Huang, Y. Tsuchiya, K. Usami and S. Oda, Localized charge injection in nanocrystalline silicon dot using an atomic force microscope tip, 第 50 回応用物理学関係連合講演会, 横浜, March, 2003
 103. S. Huang, S. Banerjee, Y. Tsuchiya, K. Usami and S. Oda, Investigation of nc-Si Quantum Dot Based p/n Channel Few-Electron Devices, 第 50 回応用物理学関係連合講演会, 横浜, March, 2003.
 104. 岩佐達也、土屋良重、宇佐美浩一、小田俊理、液相分散系を用いたナノクリスタルシリコンの配列技術, 第 50 回応用物理学関係連合講演会, 横浜, March, 2003.
 105. 中務琢也、中村暦、土屋良重、宇佐美浩一、小田俊理、小島明、越田信義、ナノクリスタルシリコン平面型電子源の電子エネルギー分布, 第 50 回応用物理学関係連合講演会, 横浜, March, 2003.
 106. Y. Nakajima, H. Toyama, A. Kojima and N. Koshida, The characteristics of light emission by ballistic electron excitation in nanocrystalline silicon device formed on a p-type substrate, Ext. Abst. 2002 Int. Conf. Solid State Devices and Mater, pp.268-269, Nagoya.
 107. A. Kojima and N. Koshida, A analysis of electron transport in surface-passivated nanocrystalline porous silicon, Ext. Abst. 2002 Int. Conf. Solid State Devices and Mater, pp.568-569, Nagoya.
 108. N. Koshida, A. Kojima, Y. Nakajima, T. Ichihara, Y. Watabe, and T. Komoda, Development of Nanocrystalline Silicon Ballistic Electron Emitter and Its Application to Flat Panel Display, The 9th Int. Display Workshop (Hiroshima, 2002).
 109. H. Mizuta, Y. Furuta, T. Kamiya, Y. T. Tan, Z. A. K. Durrani, K. Nakazato and H. Ahmed, Single-electron charging phenomena in nano/polycrystalline silicon point-contact transistors (**Invited**), The International Conference of Polycrystalline Semiconductors (POLYSE2002), Nara, 10 - 14 September 2002.
 110. Y. Furuta, H. Mizuta, T. Kamiya, Y. T. Tan, K. Nakazato, Z. A. K. Durrani and K. Taniguchi, Tunnel barrier properties in polycrystalline-Si single-electron transistors, 32th European Solid-State Device Research Conference (ESSDERC2002), Firenze, 24-26 September 2002.
 111. T. Kamiya, Y. Furuta, Y. -T. Tan, Z. A. K. Durrani, H. Mizuta and H. Ahmed, Effects of oxidation and annealing temperature on grain boundary properties in polycrystalline silicon probed using nanometer-scale point-contact devices, The International Conference

- of Polycrystalline Semiconductors (POLYSE2002), Nara, 10 - 14 September 2002.
112. Z.A.K. Durrani, Coulomb blockade, single electron transistors and circuits in silicon, (**Invited**), International Conference on Superlattices Nano-structures and Nano-devices (ICSNN-02), Toulouse, 22-26 July, 2002
 113. H. Mizuta, Y. Furuta, T. Kamiya, Y. T. Tan, Z. A. K. Durrani, K. Nakazato and H. Ahmed "Nanosilicon for single-electron devices (Plenary Talk)", International Conference on Advanced Materials and Nanotechnologies (AMN-1), Wellington, 9-13 February 2003.
 114. S. Kanjanachuchai, Y. Tsuchiya, K. Usami and S. Oda, Nanocrystalline silicon dots displacement using tapping-mode atomic force microscopy, Micro and Nano Engineering, Cambridge, 24 September 2003.
 115. S. Oda, "Fabrication and Device Application of Nanocrystalline Silicon Particles", International Conference on Gas Phase Cluster Assembling of Nanostructured Materials, Erice-Sicily, 2003.
 116. S. Oda, "Silicon Nanodevices and NeoSilicon (**Invited**)", International Conference on Materials for Advanced Technologies, Singapore 2003.
 117. S. Oda, "Nanocrystalline Silicon Quantum Dot Devices (**Invited**)", 6th Sweden-Japan QNANO Workshop, Stockholm, December 2003.
 118. P.M. Walker, S. Uno, Y. Furuta and H. Mizuta, "Grain boundary effects on subthreshold behaviour in single grain boundary nano-TFTs", 2003 International Conference on Simulation of Semiconductor Processes and Devices, Boston, pp.207-210, 3 – 5 September 2003.
 119. K. Sakemura, N. Negishi, T. Yamada, H. Satoh, A. Watanabe, T. Yoshikawa, K. Ogasawara, and N. Koshida, Development of an advanced HEED (High Efficiency Electron Emission Device), The 16th Int. Vacuum Microelectronics Conference, Osaka, 2003, July.
 120. T. Ichihara, T. Baba, T. Komoda and N. Koshida, Correlation between nanostructure and electron emission characteristics of ballistic electron surface-emitting device (BSD), The 16th Int. Vacuum Microelectronics Conference, Osaka, 2003, July.
 121. Y. Nakajima, T. Uchida, A. Kojima, B. Gelloz, and N. Koshida, A solid-state multicolor light-emitting device based on ballistic electron excitation, Ext. Abst. 2003 Int. Conf. Solid State Devices and Mater, pp. 110-111, Tokyo, 2003, September.
 122. J. Hirota, H. Shinoda, and N. Koshida, Generation of radiation pressure in thermally induced ultrasonic emitter based on nanocrystalline silicon, Ext. Abst. 2003 Int. Conf. Solid State Devices and Mater, pp. 114-115, Tokyo, 2003, September.
 123. B. Gelloz and N. Koshida, High performance voltage-tunable electroluminescence from nanocrystalline Si with carbon buffer, Ext. Abst. 2003 Int. Conf. Solid State Devices and Mater, pp. 892-893, Tokyo, 2003, September.
 124. T. Ichihara, Y. Honda, T. Hatai, T. Baba, Y. Takegawa, Y. Watabe, K. Aizawa, T. Komoda, V. Vezin, and N. Koshida, Development of 7.6-in. diagonal full color ballistic electron surface-emitting display on PDP-grade glass substrate, International Display Workshop 2003, Fukuoka, 2003, December.
 125. N. Koshida, K. Kojima, Y. Nakajima, T. Ichihara, Y. Watabe, and T. Komoda, Application of ballistic electron effect in nanocrystalline silicon diodes to flat panel displays, Electrochemical Society Meeting Int. Symp., Orlando, U.S.A., 2003, October.
 126. B. Gelloz and N. Koshida, Enhancing efficiency and stability of nanocrystalline porous silicon electroluminescence by surface treatments, Electrochemical Society Meeting Int. Symp., Orlando, U.S.A., 2003, October.
 127. B. Gelloz, H. Sano, R. Boukherroub, D.D.M. Wayner, D.J. Lockwood, and N. Koshida, Stabilization of nanocrystalline silicon electroluminescence by surface passivation with organic ligands, International Conf. On Porous Semiconductor Science and Technology, Valencia, Spain, 2004, March.
 128. J. Hirota, A. Kiuchi and N. Koshida, Phased array operation of nanocrystalline porous silicon ultrasonic emitters, International Conf. On Porous Semiconductor Science and Technology, Valencia, Spain, 2004, March.
 129. N. Negishi, K. Sakemura, T. Yamada, H. Sato, A. Watanabe T. Yoshikawa, K. Ogasawara, and N. Koshida, A novel efficient cold electron emitter with a micro-dimple metal-insulator-semiconductor structure, International Conf. On Porous Semiconductor

- Science and Technology, Valencia, Spain, 2004, March.
130. T. Shimada, M. Ando, S. Yamaguchi, A. Kojima and N. Koshida, K. Takai, Y. Tsuchiya and S. Oda, 'Potential Device Applications of Nano-sized Grain Silicon', 20th International Conference on Amorphous and Microcrystalline Semiconductors - ICAMS 20, Campos do Jordão, S.P., Brazil, August 25-29/2003.
 131. M. A. Salem, S. Banerjee and S. Oda, Estimation of charge injected in a single Si dot using AFM, 第 64 回応用物理学会学術講演会、福岡、2003年8月31日発表
 132. S. Huang, K. Arai, K. Usami, Y. Tsuchiya and S. Oda, Long-term retention-time memory devices using dual memory nodes: nanocrystalline-silicon and silicon nitride, 第 64 回応用物理学会学術講演会、福岡、2003年8月31日発表
 133. 高居康介、山口伸也、土屋良重、嶋田壽一、小田俊理：ナノ結晶シリコンドットを用いた NEMS メモリデバイスの提案、第 64 回応用物理学会学術講演会、福岡、2003年8月31日発表
 134. 中務琢也、池澤健太、田中敦之、宇佐美浩一、土屋良重、小田俊理：ナノ結晶シリコン粒径縮小化に向けたパルスガスプロセスの制御、第 64 回応用物理学会学術講演会、福岡、2003年8月31日発表
 135. 高居康介、山口伸也、土屋良重、嶋田壽一、水田博、小田俊理：NEMS メモリデバイスの実現に向けた機械的特性の検討、第 51 回応用物理学関係連合講演会、2004年3月29日発表
 136. S. Huang, K. Usami, Y. Tsuchiya, H. Mizuta and S. Oda : Charge storage in nitrided nc-Si dots, Promising memory nodes for nonvolatile memory applications, 第 51 回応用物理学関係連合講演会、2004年3月29日発表
 137. M. A. H. Khalafalla, H. Mizuta, A. K. Durrani, H. Ahmed and S. Oda : Interdot coupling effects on Coulomb oscillations in dual-gated nanocrystalline silicon point-contact transistors, 第 51 回応用物理学関係連合講演会、2004年3月29日発表
 138. Y. Tsuchiya, K. Takai, N. Momo, S. Yamaguchi, T. Shimada, S. Koyama, K. Takashima, Y. Higo, H. Mizuta and S. Oda, "Nano Electromechanical Memory Device using Nanocrystalline Si Dots", 2004 Silicon Nanoelectronics Workshop, pp. 101-102, Honolulu, June 2004.
 139. S. Huang and S. Oda, Silicon Quantum Dot Based Nonvolatile Memory Devices, 第 66 回半導体集積回路技術シンポジウム, 東京, June 2004.
 140. M. A. Salem, H. Mizuta and S. Oda, Kelvin probe force microscopy study of charging nanocrystalline silicon dots, 第 65 回応用物理学会学術講演会, 仙台, September 2004.
 141. 永見佑、百々信幸、土屋良重、斎藤慎一、新井唯、嶋田壽一、水田博、小田俊理, NEMS メモリデバイスにおけるスイッチング動作解析, 第 65 回応用物理学会学術講演会, 仙台, September 2004.
 142. 黒川康良、東島賢、土屋良重、岡本政邦、水田博、小田俊理, 第一原理シミュレーションによるシリコンナノロッドの電子状態解析, 第 65 回応用物理学会学術講演会, 仙台, September 2004.
 143. 田中敦之、土屋良重、宇佐美浩一、水田博、小田俊理, 分散溶媒を用いたナノ結晶シリコンドットの配列制御, 第 65 回応用物理学会学術講演会, 仙台, September 2004.
 144. 東島賢、黒川康良、土屋良重、岡本政邦、水田博、小田俊理, 第一原理計算(SIESTA)を用いたナノ結晶 Si 量子ドットの電子状態解析, 第 65 回応用物理学会学術講演会, 仙台, September 2004.
 145. 筆宝大平、水田博、小田俊理, 3 次元フォトニック結晶構造 Si 量子ドットレーザの提案, 第 65 回応用物理学会学術講演会, 仙台, September 2004.
 146. Y. Tsuchiya, K. Takai, N. Momo, S. Oda, S. Yamaguchi, T. Shimada, and H. Mizuta, "High-speed and Nonvolatile Nano Electromechanical Memory incorporating Si Quantum Dots", 27th International Conference on the Physics of Semiconductors, p. 208, Flagstaff, July 2004.
 147. M. A. Salem, H. Mizuta, S. Oda, Y. Fu and M. Willandar, "AFM current imaging for

- surface oxidized nanocrystalline silicon dots”, 2004 International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies, p. 241, Niigata, June, 2004.
148. M. A. Salem, Y. Tsuchiya, K. Usami, H. Mizuta and S. Oda, “Study of charge quantization in individual silicon quantum dots using Kelvin probe Force Microscopy”, the 2004 International Conference on Solid State Devices and Materials, pp. 884-885, Tokyo, September 2004.
149. K. Ikezawa, A. Tanaka, Y. Tsuchiya, K. Usami, H. Mizuta and S. Oda, “Controlled fabrication of monodispersed nanocrystalline silicon dots with a diameter down to 5 nm”, 5th Symposium on Function Evolution of Materials and Devices based on Electron/Phonon Related Phenomena, p. 18, Tokyo, September 2004.
150. S. Uno, N. Mori, K. Nakazato, N. Koshida and H. Mizuta, “Significant reduction of phonon scattering potential in 1D Si quantum dot array interconnected with thin oxide layers”, the 2004 International Conference on Solid State Devices and Materials, pp. 116-117, Tokyo, September 2004.
151. M. Khalafalla , H. Mizuta, Z. A.K. Durrani, H. Ahmed and S. Oda, “Intergrain coupling effects on Coulomb oscillations in dual-gated nanocrystalline silicon point-contact transistor”, submitted to International Conference on Polycrystalline Semiconductors 2004, Potsdam, September 2004.
152. H. Mizuta, M. Khalafalla, Z. A. K. Durrani, S. Uno, N. Koshida, Y. Tsuchiya and S. Oda, “Electron Transport and Device Applications of Nanocrystalline Silicon (**Invited**)”, International Symposium on Nanoscale Materials and Devices, 206th Meeting of the Electrochemical Society, p. 1012, Honolulu, October 2004.
153. H. Mizuta, M. Khalafalla, Z. A. K. Durrani, S. Uno, N. Koshida, Y. Tsuchiya and S. Oda, “Bottom-up Silicon Nanoelectronics (**Invited**)”, 2004 7th International Conference on Solid-State and Integrated Circuits Technology, pp. 864-868, Beijing, October 2004.
154. M. Khalafalla, H. Mizuta , Z. A.K. Durrani, H. Ahmed and S. Oda, “Observation of Interdot Coupling Phenomena in Nanocrystalline Silicon Point-Contact Structure”, to be published at 2nd International Conference on Advanced Materials and Nanotechnology, Queenstown, February 2005.

②ポスター発表 (国内学会 0 件、国際学会 16 件)

1. G. Evans, H. Mizuta, H. Ahmed "Simulation of electronic states and transport properties of silicon nanowires with random dopant distribution" 6th MEL/ARI NID Workshop, (27 June, University of Twente Enschede, 2000)
2. Y. Furuta, H. Mizuta, K. Nakazato, Y. T. Tan, T. Kamiya, Z. A. K. Durrani, H. Ahmed, K. Taniguchi "Carrier transport across a few grain boundaries in polycrystalline silicon" Condensed Matter and Materials Physics, (19-21 December, University of Bristol UK, 2000)
3. G. Evans and H. Mizuta, Negative differential conductance and threshold voltage distribution in two-island single-electron tunnelling structures, 26th International Conference on the Physics of Semiconductors (ICPS), Edinburgh, 29 July – 2 August 2002.
4. S. Uno, Z.A.K. Durrani, M. Khalafalla, K. Nakazato and H. Mizuta, "New insights into electron emission from silicon nanocrystallites", 2003 Silicon Nanoelectronics Workshop, Kyoto, 8-9 June 2003.
5. S. Huang, K. Arai, K. Usami and S. Oda, "Towards long-term retention-time single-electron-memory based on nitrided nanocrystalline silicon dots", 2003 Silicon Nanoelectronics Workshop, Kyoto, 8-9 June 2003.
6. M. Khalafalla, H. Mizuta and Z.A.K. Durrani, "Switching of single-electron oscillations in dual-gated nanocrystalline silicon point-contact transistors", 2003 Silicon Nanoelectronics Workshop, Kyoto, 8-9 June 2003.
7. P.M. Walker, H. Mizuta, S. Uno and Y. Furuta, "Improved device characteristics for deca-nanometre scale TFTs with a single GB in the channel", 12th MEL-ARI/NID Workshop, Cork, pp. 23-25, 23 – 25 June 2003.
8. M. Khalafalla, H. Mizuta and Z.A.K. Durrani, "Dual gate control of Coulomb blockade oscillations in a double Si grain structure", 12th MEL-ARI/NID Workshop, Cork, 23 – 25 June 2003.
9. M. A. H. Khalafalla, H. Mizuta, A. K. Durrani, H. Ahmed and S. Oda, "Electron Coupling States in quantum dots in Nanocrystalline Silicon", 2004 Silicon Nanoelectronics Workshop, pp. 137-138, Honolulu, June 2004.
10. M. A. H. Khalafalla, H. Mizuta, A. K. Durrani, H. Ahmed and S. Oda, "Observation of Coherent States in Coupled Nanocrystalline Si Double Dots at 4.2K", 27th International Conference on the Physics of Semiconductors, p. 140, Flagstaff, July 2004.
11. M. A. H. Khalafalla, Z. A. K. Durrani, H. Mizuta and H. Ahmed, "Electrostatic and electron wavefunction interactions in nanocrystalline silicon thin film nano-transistors", 5th Symposium on Function Evolution of Materials and Devices based on Electron/Phonon Related Phenomena, p. 25, Tokyo, September 2004.
12. Y. Tsuchiya, T. Iwasa, A. Tanaka, K. Usami, H. Mizuta, S. Oda, "Formation of an Ordered Array of nc-Si Dots by Using a Solution Droplet Evaporation Method", MRS Spring Meeting, p. 277, April 2004.
13. P.M. Walker and H. Mizuta, "The Dependence of Deca-nanometre Poly-Si Thin Film Transistor Output Characteristics on the Grain Boundary Location", 2004 Silicon Nanoelectronics Workshop, pp. 29-30, Honolulu, June 2004.
14. S. Uno, N. Mori, K. Nakazato, N. Koshida and H. Mizuta, "Electron-phonon interaction in Si quantum dots interconnected with thin oxide layers", 27th International Conference on the Physics of Semiconductors, p. 76, Flagstaff, July 2004.
15. S. Uno, N. Mori, K. Nakazato, N. Koshida and H. Mizuta, "Electron Energy Loss Behavior in Si Quantum Dots Interconnected with Tunnel Oxide Barriers", submitted to 2004 Silicon Nanoelectronics Workshop, pp. 121-122, Honolulu, June 2004.
16. A. Tanaka, Y. Tsuchiya, K. Usami, H. Mizuta and S. Oda, "High-Density Assembly of Nanocrystalline Silicon Quantum Dots", to be published at 2nd International Conference on Advanced Materials and Nanotechnology, Queenstown, February 2005.

(3) 特許出願（国内6件、海外4件）

- 1) 小田俊理、趙新為、西口克彦、「量子サイズ効果型微小電子銃及びこの電子銃を使用した平面型ディスプレイ装置並びにその製造方法」、JST、2000.5.23、特願2000-151448(A111P06)、特開2001-332168(2001.11.30)、PCT出願(PCT/JP01/04221)(A111-08US, 08EP)、2001.5.21、米国、EP(独・仏・英)へ移行、米国特許成立(出願番号：第10/275959、特許番号：第6661021号)、請求項10～16(方法)を分割、「量子サイズ効果微粒子の製造方法」、米国特許成立(出願番号：第10/667517)
- 2) 小田俊理、西口克彦、「短チャネルスイッチング素子及びその製造方法」、JST、特願2000-265680(2000.9.1, A111P13)、特開2002-76358(2002.3.15)
- 3) 神谷利夫、Zahid A. K. Durrani, Yong Tsong Tan, Haroon Ahmed、水田博、古田善一、「Correlated charge transfer device and a method of fabricating a correlated charge transfer device (微結晶シリコン薄膜及びそれを用いた電子デバイスおよびそれらの形成方法)」、JST、日立ケンブリッジ研究所、2001.1.31、EPC-01300880.0、2001.5.17(国際出願)、PCT/GB01/02190
- 4) 小田俊理、西口克彦、趙新為、「S i 単結晶微粒子積層方法」、JST、2001.9.10、特願2001-273153(A111P26)、特開2993-81691(2003.3.19)
- 5) 安藤正彦、嶋田寿一、椎木正敏、小田俊理、越田信義、「固体自発光表示装置及びその製造方法」、JST、(株)日立製作所、特願2001-305857(2001.10.1, A111P27)、特開2003-115385(2003.4.18)、特許成立(第3613792号)、PCT出願(PCT/JP02/10190)(2002.9.30, A111-25PCT)、指定国移行(JST単独)：米国、EP(ドイツ、英国、フランス、オランダ)
- 6) 山口伸也、安藤正彦、嶋田寿一、横山夏樹、小田俊理、越田信義、「情報記憶素子及びその製造方法並びにメモリアレイ」、JST、日立製作所、2002.11.29、特願2002-349249(A111P70)、特開2004-186270(2004.7.2)、PCT出願(PCT/JP2003/015292、2003.11.28)、指定国移行(JST単独)：米国、韓国、中国、台湾

(4) 新聞報道等

① 新聞報道

- 日経先端技術 2001年11月21日
- ナノネットインタビュー 2003年3月4日
- 科学新聞 2004年7月30日

② 受賞

- 藤野研究賞 小田俊理 2002
- 第25回半導体物理国際会議 Young Author Best Paper Awards “Katsuhiko Nishiguchi and Shunri Oda, Ballistic transport under magnetic field in silicon vertical transistors”, 2000.
- Materials Research Society Fall Meeting, Graduate Students Paper Awards, “K.Nishiguchi, S.Oda, Fabrication and Characterization of Cold Electron Emitter based on Nanocrystalline Silicon Quantum Dots”, 2000

③ その他

以上の成果は、論文発表101件、学会発表170件、特許6件として発表され、その内、招待論文10件、招待講演19件と内外で大きな注目を受けた。いくつかの論文は発表後短期間であるにもかかわらず10回以上引用されており、注目論文としてAmerican Institute of Physicsが発行するVirtual Journal of Nanoscale Science & Technologyなどの電子ジャーナルに取り上げられている。

(5)その他特記事項

本研究メンバーが設立したナノテクベンチャー会社の開発力強化に本研究成果が生きている。シリコンナノ材料応用を目指して設立された大学発ベンチャー「㈱カントム14」のコア技術として、弾道的な電子放出特性を利用した新電子源がある。その特性は特異な電子伝導機構に基づくが、本研究の成果の一つである「ネオシリコン中の伝導機構の解明」が弾道化モデルを裏付け、電子放出の性能向上に重要な指針を与えた。本研究が、新事業創成に寄与している。

7. 結び

ネオシリコンの構造制御に関しては、粒径制御、界面制御、高密度集積化においてほぼ目標を達成した。配列制御については今後の課題を明確にした。機能探索については、室温クーロンブロッケード、バリスティック伝導、少數電荷蓄積、高効率電子放出、擬直接遷移光放出などの特異物性を明確にすることが出来た。応用に関しても、量子ドット浮遊ゲート不揮発性メモリデバイス、ナノメカニカルメモリデバイス、バリスティック電子放出デバイス、高効率ディスプレイデバイスなどへの応用の道筋と課題を明確に出来た。

本研究は、発展継続研究に採択され、ネオシリコン量子ドットにシリコンナノワイヤを加えて、ナノメカニカル情報デバイスへの応用に注力することになった。

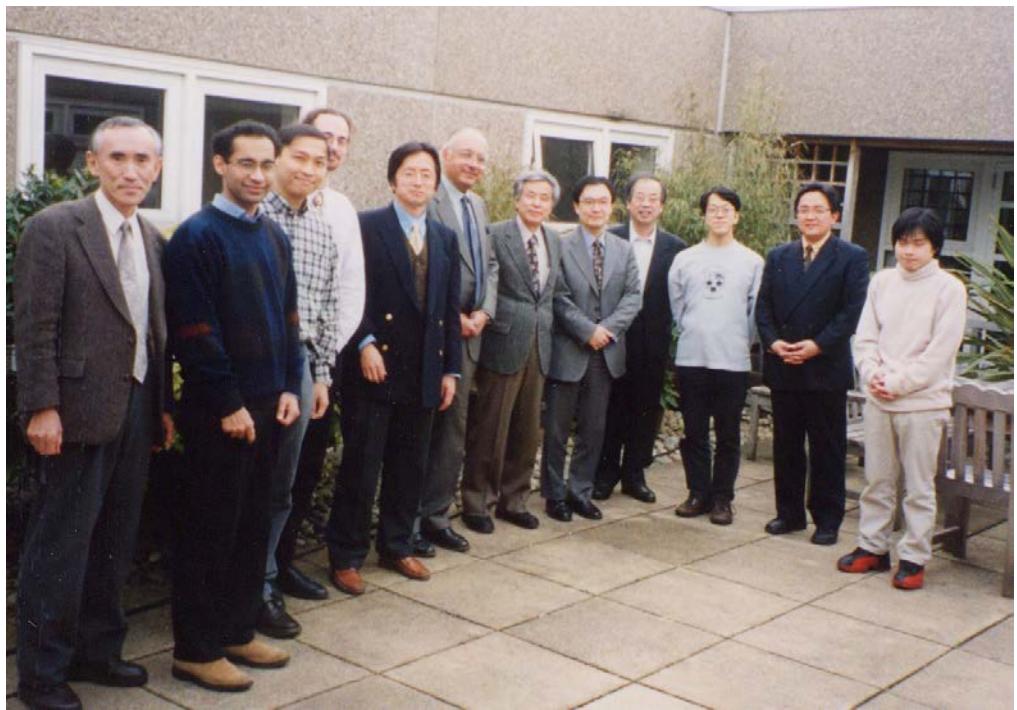
本研究を通じて特記すべきことは、学術誌や国際会議への発表などの学術的成果の他に、若手研究者の育成に大いに貢献できることである。東工大では、アミットダッタ、西口克彦、黄少云、モハメドアリサレンの4名が博士の学位を取得した。ケンブリッジ大学では、ヨンソン・タン、モハメド・カラファラの2名が博士の学位を取得した。また、ポスドクのブルース・ハインズはケンタッキー大学助教授、新井健太は産業技術総合研究所に職を得ることが出来た。さらに日立ケンブリッジの研究者2名は、日本の国立大学に教授職を得た。

ケンブリッジ大学および日立ヨーロッパ社を含む国際产学研共同研究を推進したため、大学院生達にとっては、なかなか得難い異文化の接触を通じて、視野を広げることが出来た。また、共同研究の長い伝統を持つケンブリッジ大学との交流は、共同研究のシナジー効果が現れるまでとことん成果を追求するという共同研究のあり方について大いに学ぶことが出来た。

本研究領域では、毎年のシンポジウム、中間評価ヒヤリング等を通じて、研究総括や領域アドバイザーから他では得難い貴重なアドバイスを受けることが出来た。



ケンブリッジ大学でのチーム会議



ケンブリッジ大学キャベンディッシュ研究所でのチーム会議



ケンブリッジ大学チーム会議