

## 研究課題別事後評価結果

### 1. 研究課題名

3次元集積量子構造の形成と知能情報処理への応用

### 2. 研究代表者名及び主たる研究参加者名（研究機関名・職名は研究参加期間終了時点）

研究代表者	廣瀬 全孝	広島大学工学部	教授
主たる研究参加者	宮崎 誠一	広島大学工学部	助教授
	新宮原 正三	広島大学工学部	助教授
	横山 新	広島大学工学部	教授
	高萩 隆行	広島大学工学部	教授
	伊澤 義雄	広島大学工学部	教授
	芝原 健太郎	広島大学工学部	教授
	岩田 穆	広島大学工学部	教授

### 3. 研究内容及び成果

本研究が最終的に目指すところは、シリコン量子構造を用いて室温動作する知能情報処理機能体を設計する新しい原理を明らかにすることである。また、そのような知能情報処理アーキテクチャの実現を可能にするために、Si量子構造形成技術、素子化技術、微細配線技術及び微弱信号を検出処理できるトランジスタなどの要素技術の研究開発を行った。また、結合量子ドット系の振舞いを取り扱うことのできる量子輸送理論の開発を進めた。

#### (1) Si量子ドットの自然形成メカニズムの解明とドット位置制御法の開発

SiO<sub>2</sub>上でのSi量子ドットの初期核発生は、Si-O結合の切断により起る。核成長は、Siクラスターへの吸着分子の凝集エネルギーに依存する。核発生密度は、SiO<sub>2</sub>表面を水素化するとSi-OH結合がSi反応前駆体（SiH<sub>2</sub>）と反応し易くなるため、劇的に向上することが判った。従って、SiO<sub>2</sub>表面を局部的にSiOH終端にすれば、その場所にSiドットを形成できる。水素分圧下STMのPtIrチップで、低エネルギー（10 eV）電子ビーム励起によりSiO<sub>2</sub>表面にSiOH結合を形成し、Siドットの2次元配列ができることが示された。

#### (2) Si量子ドットフローティングゲートMOSFETの動作機構

SiO<sub>2</sub>上の自然形成Siドットアレーをフローティングゲート（FG）とするメモリは、既にTiwariらにより提案されているが、ドット密度が不明なため、動作機構は未解明であった。本研究では、ドット密度既知のメモリ素子を作製した。MOSキャパシタのC-V特性解析より、FGドット（平均高さ5 nm）に安定保持される電子は1個であることを実測した。トランジスタのドレイン電流は正のゲートパルスに対して階段型に減少し、しきい値電圧も対応して階段型にシフトすることを明らかにした。この階段型特性変化は、中性量子ドットへの電子のトンネル注入に際して、帯電した隣接量子ドットのクーロン場がトンネル遷移を抑圧するためと解釈できる。

#### (3) 30 nmゲート長MOSFETの開発と動作解析

ゲート長26 nm迄のトランジスタの室温動作を確認。ショートチャネル効果を抑えるため、ソース・ドレイン接合深さ20 nmをSb+イオン注入で実現した。ゲート酸化膜厚1.6 nm、リーク電流は理論値通り。イオン注入アニール時、SiO<sub>2</sub>/Si界面にSbがパイルアップする現象をドーパント不動態モデルで説明し、RTA（高速アニール）技術によりこれを回避し、低シート抵抗実現。30 nm MOSFETのゲートトンネル電流解析から、リンドーブpoly-Si電極中のリン原子数が有限であり、且つこのリンがゲートサイドウォールにパイルアップして失われるため、ゲートサイドウォールは空乏化することが判った。TEM/EDXでこのことは直接確認され、ゲート不純物の挙動は微細MOSFET設計上重要なパラメータであることが判った。

#### (4) 多重Si量子ドット構造におけるランダム・テレグラフ・ノイズ（RTN）

厚さ1 nmのSiO<sub>2</sub>膜で隔てられた3層のSi量子ドット（平均高さ3.3 nm）構造において、ランダム・テレグラフ・ノイズの電流ステップ高さがゲート電圧の指数関数に依存し、またRTN周波数もゲート電圧の指数関数に依存することを見出した。このことは、多重量子ドットを介して作られる電流パス（パーコレーションパス）近傍の中性ドットに電子が捕獲される時、その帯電効果により近傍のパーコレーションパス中のドット間トンネル過程が変調されることに起因すると考えられる。

#### (5) 3次元集積量子構造による確率的連想処理システムの提案とシステム評価

単電子デバイス（SEDS）の確率的動作を用いた確率的な連想処理アルゴリズムを提案し、単電子トランジスタを用いた回路構成を提案した。また、システムとしての有効性を評価するために、既存CMOS技術を用いてエミュレータLSIを開発し、動作確認を行った。更に、量子ドット間のクーロン反発力を利用した連想処理回路を提案し、動作温度向上のために、熱雑音の助けを借りて動作する新しい原理に基づく多重ドット連想処理回路を考案した。従来の量子ドット回路は、ドット間の容量で決まる静電エネルギーにより動作温度が決まるため、室温動作には0.01 aFオーダーの接合容量を必要としたが、新たに提案する多重ドット回路では0.1 aFオーダーの接合容量でよく、300 Kで動作する実デバイスの実現性が極めて高くなった。

#### (6) 各サブグループの研究成果概要

##### 1) Si量子ドット自己組織化形成、サイズ・位置制御（宮崎グループ）

モノシラン（SiH<sub>4</sub>）ガスの減圧CVD法によるSi量子ドットの形成において、熱酸化SiH<sub>4</sub>膜上の初期核発生・成長メカニズムを明らかにした。また、SiO<sub>2</sub>表面を局部的に走査プローブによりSiOH結合で終端し、この位置へSi量子ドットを選択形成可能なことを明らかにした。

##### 2) 2次元Si量子ドットアレーをフローティングゲートとするメモリトランジスタ（宮崎グループ）

1) で得られた成果に基づいて、フローティングゲートに用いる量子ドットメモリトランジスタを開発した。Siドットの充放電メカニズムを解明し、ドット当り電子1個を安定保持するメモリ素子を実現した。

##### 3) ナノメータスケールMOSFETの開発と素子分離技術及び極浅接合形成技術（芝原グループ、宮崎グループ）

トランジスタを100×100 nm<sup>2</sup>の素子分離領域に作り込む技術を開発し、少数電子系の輸送現象をMOSFET特性から解明することを狙っている。100 nm素子分離技術は完成した。極浅接合を持つゲート長30 nm MOSFET動作も確認した。

##### 4) 原子層制御選択成長Si細線形成（横山グループ）

Si窒化膜原子層成長技術を活用し、SiO<sub>2</sub>でサンドイッチされたSi<sub>3</sub>N<sub>4</sub>層のサイドウォールに線幅20 nmのSi細線を形成。バルクSiと同じ伝導度を実現した。将来の量子配線として活用できる。

#### 5) 表面反応制御によるSi基板上及び絶縁膜上へのメタルドット及びワイヤ形成（高萩グループ、新宮原グループ）

Si(111)表面をウエハースケールで原子レベル平坦化し、水素終端すると<-1-12>方向にオフしたステップ端にSiH<sub>2</sub>構造が現れる。この位置でAlH(CH<sub>3</sub>)<sub>2</sub>を選択的に分解し、ステップ端に原子層Alワイヤができるが、制御した3次元成長は実現困難であった。

また、SiO<sub>2</sub>上のAl層を2段階陽極酸化して形成される直径15-30 nmの微細孔に、Cu、Niをメッキによって埋め込み、メタルワイヤ（長さ50~2000 nm）を形成できた。また、Si上のAlの陽極酸化により、直径30 nm、高さ12 nmのAlドットの六角格子配列を自然形成できた。

#### 6) 結合量子ドット系の理論（伊澤グループ）

相互作用の強い量子構造中の輸送理論を開発した。Keldyshグリーン関数を自己エネルギーと非摂動グリーン関数の関数と見なし、種々の相互作用、構造に対する一般的な場合の解を、相互作用のない解を利用して導出した。この理論により、結合量子ドット構造のダイナミックな性質を解析できる。

#### 7) 3次元集積量子構造体による知能情報処理（岩田グループ）

確率的に動作する単電子回路に有効なアルゴリズムとして「確率的連想法」を考えた。知的連想処理の実現やベクトル量子化の学習においても従来にない優れた能力を持つことを、シミュレーションで明らかにした。既存のトランジスタ上にSi量子ドットを配置することにより、実現性の高い素子構造を設計した。構造的には少し複雑だが、多重量子ドットによるドット間クーロン反撥力を利用したパターン比較回路を考案し、室温動作の可能性を示した。

### 4. 事後評価結果

#### 4-1. 外部発表（論文、口頭発表等）、特許、研究を通じての新たな知見の取得等の研究成果の状況

当初の構想で、サイズ及び位置制御されたSi量子ドットの形成技術、微細MOS、微細配線技術を確立し、微細MOSFETと量子ドットを結合した3次元情報処理の実現を目指すという大変に挑戦的な目標を掲げた。この目標を達成するためには、それぞれに困難な要素技術を構築し、それを3次元構造の情報処理へ統合する総合力が必要であり、目標達成はかなりの困難が予想された。研究代表者はこの目標達成を最後まで諦めることなく研究を進め、その集大成として単電子連想処理アーキテクチャーが提案された。これは、デジタル情報を確率論的に処理するアーキテクチャーであり、室温動作の可能性も高い独創的なものである。しかし、量子ドットの形成技術等のプロセス技術は、かなりの進展を示したが、本提案を実現するまでには至らなかった。従って、当初構想を満足するものとはなっていない。ただし、量子ドット、微細MOSFETプロセスなどの技術開発は、今後のLSI産業発展の延長線上にあるもので、産業界の技術開発を先取りする形でなされており、その意義は高い。

具体的な成果として、CMOS回路を用いた連想処理メモリーの実証と、室温動作も可能な量子ドットを用いた単電子連想処理アーキテクチャーを提案し設計したこと、電子ビーム入射箇所へのSi量子ドットの選択形成による位置制御技術の開発、世界最少レベルのゲート長26~30nmのMOSFETの開発と、これに付随する微細化技術として、1.6 nmのゲート酸化膜厚、Sbドーブの極浅（20 nm）接合技術の開発、Si量子ドットのフローティングゲートメモリMOSFETの動作原理の解明、などが上げられる。

論文発表は英文19件、和文15件、学会発表は国内学会77件、国際学会8件、特許出願は2件であった。シリコン微細化を進める研究開発が多い研究チームとして、特許は少なかった。ただ、確率的情報処理については、基本的な特許として出願されている。

#### 4-2. 得られた研究成果の科学技術への貢献

提案された量子構造を用いた情報処理のモデル、アルゴリズム、及びアーキテクチャーは、集積回路方式の延長線上にあって決定論的なデジタル動作を行わせる従来の多くの量子構造を用いた情報処理システムの試みとは異なり、確率的動作を積極的に利用するという事で量子現象操作に整合したもので、実現性の高い量子情報処理システムであり、独創性の高い提案である。今後のナノテク集積回路実現の目標になり得るもので科学的、技術的な波及効果は大きいと期待される。

極微細MOSFET（ゲート長26~30 nmのnチャネルMOSFET、ゲート酸化膜厚1.6 nm、Sbドーブのソース・ドレイン接合（深さ20 nm））を実現し、トランジスタの完全動作を世界に先駆けて実証したことは、シリコン集積回路微細化の目標指針を与えたものとして、シリコン半導体産業への貢献度は高い。また、Sbドーブの浅接合技術は独自の技術として完成されたが、今後のシリコン集積回路素子に使われる可能性は高い。

受賞としては、研究代表者は第57回中国文化賞を受賞している。

[戻る](#)